

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2002年8月29日 (29.08.2002)

PCT

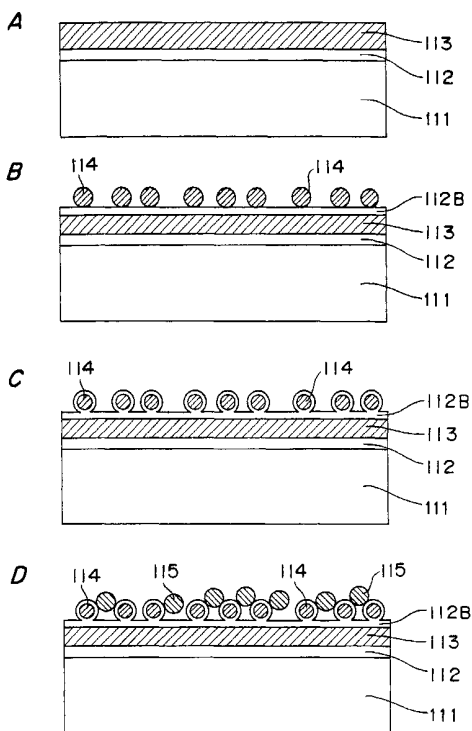
(10) 国際公開番号
WO 02/067336 A1

- (51) 国際特許分類⁷: H01L 29/788, 29/792, 27/115, 21/8247
- (21) 国際出願番号: PCT/JP02/01185
- (22) 国際出願日: 2002年2月13日 (13.02.2002)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2001-046260 2001年2月22日 (22.02.2001) JP
- (71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒545-8522 大阪府 大阪市 阿倍野区長池町2番2号 Osaka (JP).
- (72) 出願人 および
(72) 発明者: 安田 幸夫 (YASUDA, Yukio) [JP/JP]; 〒480-1156 愛知県 愛知郡 長久手町五合池130 Aichi (JP). 財満 鎮明 (ZAIMA, Yoshiaki) [JP/JP]; 〒487-0017 愛知県 春日井市 高座台5丁目5番64号 Aichi (JP). 酒井 朗 (SAKAI, Akira) [JP/JP]; 〒458-0015 愛知県 名古屋市 緑区篠の風3-252 滝の水住宅6-205 Aichi (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 岩田 浩 (IWATA, Hiroshi) [JP/JP]; 〒636-0813 奈良県 生駒郡 三郷町信貴ヶ丘2-4-13 Nara (JP). 柴田 晃秀 (SHIBATA, Akihide) [JP/JP]; 〒631-0803 奈良県 奈良市 山陵町104-B203 Nara (JP). 洗 暢俊 (ARAI, Nobutoshi) [JP/JP]; 〒639-0202 奈良県 北葛城郡 上牧町桜ヶ丘3-33-9 Nara (JP). 小倉 孝之 (OGURA, Takayuki) [JP/JP]; 〒630-8133 奈良県 奈良市 大安寺6-7-2-B102 Nara (JP). 足立 浩一

[続葉有]

(54) Title: MEMORY FILM, METHOD OF MANUFACTURING THE MEMORY FILM, MEMORY ELEMENT, SEMICONDUCTOR STORAGE DEVICE, SEMICONDUCTOR INTEGRATED CIRCUIT, AND PORTABLE ELECTRONIC EQUIPMENT

(54) 発明の名称: メモリ膜およびその製造方法、並びにメモリ素子、半導体記憶装置、半導体集積回路および携帯電子機器



(57) Abstract: A memory film operable at a low voltage and a method of manufacturing the memory film; the method, comprising the steps of forming a first insulation film (112) on a semiconductor substrate (111) forming a first electrode, forming a first conductor film (113) on the first insulation film (112), forming a second insulation film (112B) on the surface of the first conductor film (113), forming a third insulation film containing conductor particulates (114, 115) on the second insulation film (112B), and forming a second conductor film forming a second electrode on the third insulation film.

[続葉有]



WO 02/067336 A1



郎 (ADACHI,Kouichirou) [JP/JP]; 〒632-0093 奈良県
天理市 指柳町 2 2 3-7 1 8 Nara (JP). 柿本 誠三
(KAKIMOTO,Seizo) [JP/JP]; 〒636-0202 奈良県 磯城
郡 川西町 結崎 6 3 6-1 Nara (JP).

(74) 代理人: 青山 葆, 外(AOYAMA,Tamotsu et al.); 〒
540-0001 大阪府 大阪市 中央区 城見 1 丁目 3 番 7 号
I M P ビル 青山特許事務所 Osaka (JP).

(81) 指定国 (国内): KR, US.

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE,
DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

(57) 要約:

低電圧で動作可能なメモリ膜およびその製造方法を提供することにある。第1の電極となる半導体基板111上に第1の絶縁膜112を形成する。第1の絶縁膜112上に第1の導電体膜113を形成する。第1の導電体膜113の表面に第2の絶縁膜112Bを形成する。第2の絶縁膜112B上に導電体の微粒子114, 115を含む第3の絶縁膜を形成する。第3の絶縁膜上に第2の電極となる第2の導電体膜を形成する。

明 細 書

メモリ膜およびその製造方法、並びにメモリ素子、半導体記憶装置、半導体集積回路および携帯電子機器

5

技術分野

本発明は、メモリ膜およびその製造方法、並びにメモリ素子、半導体記憶装置、半導体集積回路および携帯電子機器に関する。より具体的には、導電体の微粒子を含むメモリ膜およびその製造方法、並びにそのようなメモリ膜を有するメモリ素子に関する。また、そのようなメモリ素子を有する半導体記憶装置、半導体集積回路および携帯電子機器に関する。

10

背景技術

電荷を蓄積するメモリ膜をゲート絶縁膜中に備えた電界効果トランジスタを、メモリ素子として用いる従来技術として、フラッシュメモリが挙げられる。フラッシュメモリには、コントロールゲートとチャネル領域との間の絶縁膜中に、フローティングゲートと呼ばれる導電体膜がある。チャネル領域からフローティングゲートへ、FN（ファウラーノルドハイム）トンネリングにより電子を注入または放出することにより、フローティングゲート中の電荷量を変化させ、この電荷量の寡多を記憶情報として保持する。記憶情報の読み出しには、フローティングゲート中の電荷量の寡多を、電界効果トランジスタの閾値の差として検知することができる。

15

20

しかしながら、上記従来技術では、動作電圧が高いという問題があった。フラッシュメモリの動作例としては、例えば、書き込み時には選択ワード線に -8 V、選択ビット線に 6 Vを印加し、消去時には選択ワード線に 10 V、ビット線に -8 Vを印可する。このように動作電圧が高いため、書き込み及び消去時の消費電力が大きく、低消費電力化を阻害していた。また、ゲート絶縁膜に高電界がかかるため、素子の劣化が問題になっていた。

25

発明の開示

本発明は上記の問題を解決するためになされたものであり、その目的は低電圧で動作可能なメモリ膜およびその製造方法を提供することにある。また、本発明の目的は、そのようなメモリ膜を有するメモリ素子を提供することにある。さらに、本発明の目的は、そのようなメモリ素子を有する半導体記憶装置、半導体集積回路および携帯電子機器を提供することにある。

上記課題を解決するため、第1の発明であるメモリ膜の製造方法は、第1の電極となる半導体基板上に第1の絶縁膜を形成する工程と、上記第1の絶縁膜上に第1の導電体膜を形成する工程と、
10 上記第1の導電体膜の表面に第2の絶縁膜を形成する工程と、
上記第2の絶縁膜上に導電体の微粒子を含む第3の絶縁膜を形成する工程と、
上記第3の絶縁膜上に第2の電極となる第2の導電体膜を形成する工程とを含むことを特徴としている。

この明細書において「微粒子」とは、ナノメートル（nm）オーダの寸法を持つ粒子を意味する。

上記第1の発明のメモリ膜の製造方法によれば、上記半導体基板上に上記第1の絶縁膜を介して上記第1の導電体膜が形成され、上記第1の導電体膜上に上記第2の絶縁膜を介して導電体の微粒子を含む第3の絶縁膜が形成され、上記第3の絶縁膜上に第2の導電体膜が形成される。それゆえ、上記半導体基板と上記第2の導電体膜が夫々電極となり、上記第1の導電体膜と導電体の微粒子を含む第3の絶縁膜とが電荷蓄積部となって、メモリ膜を構成する。このようにして形成されたメモリ膜は低電圧での書き込み・消去及び非破壊読み出しが可能である。

1 実施の形態では、上記第2の絶縁膜上に導電体の微粒子を含む第3の絶縁膜を形成する工程は、上記第2の絶縁膜上に導電体の微粒子を形成する工程と、上記導電体の微粒子の表面に第3の絶縁膜を形成する工程とからなる一連の工程を、
25 少なくとも1回行うことからなることを特徴としている。

上記実施の形態によれば、上記一連の工程を少なくとも1回行うことにより、上記一連の工程を行わない場合にはみられなかったメモリ効果を出現させることができる。

1 実施の形態では、上記一連の工程を2回又は3回行うことを特徴としている。
上記実施の形態によれば、顕著なメモリ効果を得られると同時に、短チャネル
効果を抑制して素子の微細化が容易になる。

1 実施の形態では、上記第1の導電体膜は半導体からなり、上記導電体の微粒子
5 子は半導体からなり、上記半導体基板上に第1の絶縁膜を形成する工程と、上記
第1の導電体膜の表面に第2の絶縁膜を形成する工程と上記導電体の微粒子の表
面に第3の絶縁膜を形成する工程とはいずれも熱酸化工程であり、上記第1の絶
縁膜上に第1の導電体膜を形成する工程と、上記第2の絶縁膜上に導電体の微粒
子を形成する工程とはいずれも化学的気相成長法によることを特徴としている。

10 上記実施の形態によれば、上記第1の導電体膜及び上記導電体の微粒子はいず
れも半導体からなり、第1の絶縁膜、第2の絶縁膜及び第3の絶縁膜を形成する
工程はいずれも熱酸化工程である。また、上記第1の導電体膜及び上記導電体の
微粒子の形成は、いずれも化学的気相成長法による。すなわち、熱酸化工程と化
学的気相成長法を繰り返したただけであるにもかかわらず、再現性よくメモリ効果
15 が現れる。したがって、簡単な工程で電気特性が安定したメモリ膜を形成するこ
とが可能である。

1 実施の形態では、上記第1の導電体膜は多結晶半導体もしくは非晶質半導体
であることを特徴としている。

上記実施の形態によれば、上記第1の導電体膜を形成する条件は、広く製造さ
20 れているフラッシュメモリのフローティングゲートを形成する工程と同様のもの
を用いることができる。また、上記第1の導電体膜を形成する条件を、上記第2
の絶縁膜上に導電体の微粒子を形成する工程にそのまま用いることができる。し
たがって、工程及び工程の条件出しを簡略化することができる。

1 実施の形態では、上記半導体基板はシリコン基板からなり、上記第1の導電
25 体膜はシリコンからなり、上記第1乃至第3の絶縁膜はいずれもシリコン酸化膜
からなり、上記導電体の微粒子はいずれもシリコンからなることを特徴としてい
る。

上記実施の形態によれば、LSIの材料として最も広く使われているシリコン
を用いることで、本発明のメモリ膜を用いた素子を、他の素子と混載するのが容

易となる。また、非常に発達したシリコンプロセスを用いることができるので、製造が容易になる。

また、第2の発明であるメモリ膜の製造方法は、半導体基板上に第1の絶縁膜を形成する工程と、

5 上記第1の絶縁膜上に非晶質半導体膜を形成する工程と、

上記非晶質半導体膜を形成する工程の後、大気開放し、上記非晶質半導体膜を清浄化する工程と、

上記非晶質半導体膜上に Si_2H_6 ガス又は SiH_4 ガスの一方若しくは両方を含むガスを導入して半導体核を生成する工程と、

10 上記非晶質半導体膜の一部及び上記半導体核の一部を熱酸化して第1の酸化膜を形成し、第1の半導体の微粒子を形成する工程と、

上記第1の酸化膜上に第2の導電体膜を形成する工程とを含むことを特徴としている。

15 上記第2の発明のメモリ膜の製造方法によっても、上記第1の発明のメモリ膜の製造方法で形成されるメモリ膜と同様な構造のメモリ膜を形成することができる。したがって、上記第1の発明のメモリ膜の製造方法の場合と同様な作用・効果を奏する。

20 更にまた、上記 Si_2H_6 ガス又は SiH_4 ガスの一方若しくは両方を含むガスを導入して半導体核を生成する工程において、ガスの供給時間を変化させるだけでシリコン微粒子の形成密度を制御することができる。したがって、メモリ膜の特性を制御するのが容易となる。

また、第3の発明であるメモリ膜の製造方法は、半導体基板上に第1の絶縁膜を形成する工程と、

上記第1の絶縁膜上に非晶質半導体膜を形成する工程と、

25 上記非晶質半導体膜を形成する工程の後、大気開放し、上記非晶質半導体膜を清浄化する工程と、

上記非晶質半導体膜上に Si_2H_6 ガス又は SiH_4 ガスの一方若しくは両方を含むガスを導入して半導体核を生成する工程と、

上記非晶質半導体膜の一部及び上記半導体核の一部を熱酸化して第1の酸化膜

を形成し、第1の半導体の微粒子を形成する工程と、

上記第1の酸化膜上に第2の導電体の微粒子を形成する工程と、

上記第2の導電体の微粒子表面に第3の絶縁膜を形成する工程と、

上記第3の絶縁膜上に第2の導電体膜を形成する工程と

5 を含むことを特徴とする。

上記第3の発明のメモリ膜の製造方法によっても、上記第2の発明のメモリ膜の製造方法の場合と同様な作用・効果を奏する。更にまた、第1の半導体の微粒子に加えて、第2の導電体の微粒子が形成されているので、上記第1の発明の1実施形態で上記一連の工程を2回行った場合と同様な構造のメモリ膜が形成され

10 る。したがって、顕著なメモリ効果を持つメモリ膜が得られる。

また、第4の発明であるメモリ膜の製造方法は、

半導体基板上に第1の絶縁膜を形成する工程と、

上記第1の絶縁膜上に非晶質半導体膜を形成する工程と、

上記非晶質半導体膜を形成する工程の後、大気開放せずに上記非晶質半導体膜上に Si_2H_6 ガス又は SiH_4 ガスの一方若しくは両方を含むガスを導入して半導体核を生成する工程と、

15

熱酸化により上記非晶質半導体膜の一部及び上記半導体核の一部を酸化して第1の酸化膜を形成し、第1の半導体の微粒子を形成する工程と、

上記第1の酸化膜上に第2の導電体膜を形成する工程と

20 を含むことを特徴としている。

上記第4の発明のメモリ膜の製造方法によっても、上記第2の発明のメモリ膜の製造方法の場合と同様な作用・効果を奏する。更にまた、上記非晶質半導体膜を形成する工程の後、大気開放せずに上記非晶質半導体膜上に Si_2H_6 ガス又は SiH_4 ガスの一方若しくは両方を含むガスを導入するので、上記非晶質半導体膜が汚染されることがなく、半導体核の生成が安定する。したがって、メモリ膜の特性のばらつきを少なくすることができる。

25

また、第5の発明であるメモリ膜の製造方法は、

半導体基板上に第1の絶縁膜を形成する工程と、

上記第1の絶縁膜上に非晶質半導体膜を形成する工程と、

上記非晶質半導体膜を形成する工程の後、大気開放せずに上記非晶質半導体膜上に Si_2H_6 ガス又は SiH_4 ガスの一方若しくは両方を含むガスを導入して半導体核を生成する工程と、

熱酸化により上記非晶質半導体膜の一部及び上記半導体核の一部を酸化して第1の酸化膜を形成し、第1の半導体の微粒子を形成する工程と、

上記第1の酸化膜上に第2の導電体の微粒子を形成する工程と、

上記第2の導電体の微粒子表面に第3の絶縁膜を形成する工程と、

上記第3の絶縁膜上に第2の導電体膜を形成する工程と

を含むことを特徴としている。

上記第5の発明のメモリ膜の製造方法によっても、上記第4の発明のメモリ膜の製造方法の場合と同様な作用・効果を奏する。更にまた、第1の半導体の微粒子に加えて、第2の導電体の微粒子が形成されているので、上記第1の発明の1実施形態で上記一連の工程を2回行った場合と同様な構造のメモリ膜が形成される。したがって、顕著なメモリ効果を持つメモリ膜が得られる。

1実施の形態では、上記非晶質半導体膜上に Si_2H_6 ガス又は SiH_4 ガスの一方若しくは両方を含むガスを導入して半導体核を生成する工程の後に、大気開放せずにアニールを行い上記半導体核を成長させる工程を行うことを特徴としている。

上記実施の形態によれば、半導体核を適当な大きさに制御することができ、メモリ膜の特性を最適化することができる。

また、第6の発明であるメモリ膜は、

第1の電極となる半導体基板と、

上記導電体基板上に形成された第1の絶縁膜と、

上記第1の絶縁膜上に形成された第1の導電体膜と、

上記第1の導電体膜上に形成された導電体の微粒子を含む第3の絶縁膜と、

上記第3の絶縁膜上に形成された第2の電極となる第2の導電体膜と

からなることを特徴としている。

上記構成によれば、上記半導体基板と上記第2の導電体膜が夫々電極となり、上記第1の導電体膜と導電体の微粒子を含む第3の絶縁膜とが電荷蓄積部となっ

て、メモリ膜を構成する。このメモリ膜は、低電圧（例えば±3V）で書き込み・消去が行われ、ヒステリシス特性を持つ。しかも、例えば1Vでは、記憶は破壊されないため、非破壊読み出しが可能である。したがって、従来技術のフラッシュメモリのメモリ膜に比べて著しく低電圧動作が可能である。また、低電圧動作が可能なることにより、メモリ膜の劣化を抑制することができる。したがって、第6の発明であるメモリ膜によれば、低電圧で信頼性の高いメモリ膜が提供される。

1 実施の形態では、上記第3の絶縁膜に含まれる導電体の微粒子の位置は実質的にランダムであることを特徴としている。

10 上記実施の形態によれば、メモリ特性が再現性よく現れる上に、上記第3の絶縁膜に含まれる導電体の微粒子の位置を制御する必要がない。したがって簡単な工程で再現性よくメモリ膜を製造することができる。

1 実施の形態では、上記第3の絶縁膜に含まれる導電体の微粒子は、上記第1の導電体膜に近接する第1の導電体の微粒子と、上記第1の半導体の微粒子の斜め上方に隣接する第2の導電体の微粒子とを含み、上記第1の導電体膜がなす平面上に射影した上記第1の導電体の微粒子の位置は実質的にランダムであることを特徴としている。

上記実施の形態によれば、顕著なメモリ効果を持つメモリ膜が得られる上に、上記第3の絶縁膜に含まれる導電体の微粒子の位置を制御する必要がない。したがって簡単な工程で顕著なメモリ効果を持つメモリ膜を製造することができる。

1 実施の形態では、上記導電体の微粒子の直径もしくは高さをHとし、上記第1の導電体膜と、上記第1の導電体の微粒子との距離をS1とし、上記第3の絶縁膜の厚さの平均をWとするとき、

$$W \leq 2H + S1$$

25 なる関係を満たすことを特徴としている。

上記実施の形態では、上記第2の半導体の微粒子の多くが、上記第1の半導体の微粒子の斜め上方に位置し、真上に位置するものは少ない。したがって、メモリ膜の厚さを薄くして、静電容量を大きくすることができる。例えば、このメモリ膜を電界効果トランジスタのゲート絶縁膜中に導入した場合、実効的なゲート

絶縁膜厚を薄くすることができ、短チャネル効果を抑制し、メモリ素子の微細化が可能となる。

1 実施の形態では、上記半導体基板はシリコン基板であり、上記第1の導電体膜はシリコンからなり、上記第1及び第3の絶縁膜はいずれもシリコン酸化膜からなり、上記導電体の微粒子はシリコンからなることを特徴としている。

上記実施の形態によれば、LSIの材料として最も広く使われているシリコンを用いることで、メモリ膜を用いた素子を、他の素子と混載するのが容易となる。また、非常に高度に発達したシリコンプロセスを用いることができるので、製造が容易になる。

10 1 実施の形態では、上記第1の絶縁膜の厚さは2 nm～5 nmであり、上記導電体の微粒子の直径は3 nm～7 nmであることを特徴としている。

上記実施の形態によれば、上記第1の絶縁膜の厚さを2 nm～5 nmとしているので、電荷がトンネル現象でシリコン酸化膜を透過する確率が増して記憶保持時間が減少したり、短チャネル効果が増して素子の微細化が困難となることを防ぐことができる。また、上記導電体の微粒子の直径を3 nm～7 nmとしているので、量子サイズ効果が大きくなって電荷の移動に大きな電圧が必要となったり、短チャネル効果が増して素子の微細化が困難となることを防ぐことができる。したがって、記憶保持時間が長く、低電圧動作で、微細化が容易なメモリ素子が提供される。

20 また、第7の発明であるメモリ素子は、

電界効果型トランジスタのゲート絶縁膜が上記第6の発明のメモリ膜からなることを特徴としている。

上記第7の発明のメモリ素子は、第6の発明のメモリ膜をゲート絶縁膜とする電界効果トランジスタ型メモリ素子である。これにより、例えば、±3 Vでの書き込み及び消去、1 Vでの非破壊読み出しが可能である。したがって、従来技術のフラッシュメモリに比べて著しい低電圧動作が可能で、低消費電力化が可能となり、素子の信頼性が向上する。

1 実施の形態では、SOI基板上に形成されたことを特徴としている。

上記実施の形態によれば、ソース領域及びドレイン領域と、ボディとの接合容

量を非常に小さくすることができる。さらにまた、SOI基板を用いると、ソース領域及びドレイン領域の深さを浅くするのが容易であり、短チャネル効果を抑制し、メモリ素子を更に微細化することができる。

また、第8の発明である半導体集積回路は、

5 上記第7の発明のメモリ素子を集積したことを特徴としている。

上記発明によれば、低電源電圧で動作可能で、低消費電力であるメモリ集積回路が提供される。

また、第9の発明である半導体記憶装置は、

10 半導体基板の表面に、第1の方向に蛇行して延びる素子分離領域が上記第1の方向に対して垂直な第2の方向に関して並んで形成されて、隣り合う素子分離領域の間にそれぞれ上記第1の方向に蛇行して延びる活性領域が定められ、

上記各活性領域内の蛇行の各折り返し箇所、それぞれソース領域またはドレイン領域として働く不純物拡散領域が形成されて、同一の活性領域内で隣り合う上記不純物拡散領域の間にそれぞれチャンネル領域が定められ、

15 上記半導体基板上に、上記第1の方向に対して垂直な第2の方向にストレートに延びる複数のワード線が、それぞれ第6の発明のメモリ膜を介して各活性領域内のチャンネル領域上を通るように設けられ、

20 上記半導体基板上に、上記第1の方向にストレートに延びる第1のビット線が、同一の活性領域内の蛇行の片側の折り返し箇所に設けられた上記不純物拡散領域上を通るように設けられるとともに、上記第1の方向にストレートに延びる第2のビット線が、同一の活性領域内で蛇行の他方の側の折り返し箇所に設けられた上記不純物拡散領域上を通るように設けられ、

上記第1のビット線、第2のビット線がそれぞれ直下に存する上記不純物拡散領域とコンタクト孔を介して接続され、

25 上記半導体基板は表面側にウェル領域を有し、このウェル領域が上記素子分離領域によって区分され、それぞれ第3のビット線を構成していることを特徴としている。

上記構成によれば、各メモリセルのメモリ膜として第6の発明のメモリ膜を使っているため、低電圧駆動が可能である。また、1つのセルの面積が $4F^2$ (F

は最小加工ピッチ) であり、従来のAND型メモリセルアレイよりも小さい。したがって、低消費電力化、高信頼性化、高集積化が可能となる。

また、第10の発明である半導体記憶装置は、

半導体基板の表面に、第1の方向に蛇行して延びる素子分離領域が上記第1の方向に対して垂直な第2の方向に関して並んで形成されて、隣り合う素子分離領域の間にそれぞれ上記第1の方向に蛇行して延びる活性領域が定められ、

上記各活性領域内の蛇行の各折り返し箇所、それぞれソース領域またはドレイン領域として働く不純物拡散領域が形成されて、同一の活性領域内で隣り合う上記不純物拡散領域の間にそれぞれチャンネル領域が定められ、

上記半導体基板上に、上記第1の方向に対して垂直な第2の方向にストレートに延びる複数のワード線が、それぞれ第6の発明のメモリ膜を介して各活性領域内のチャンネル領域上を通るように設けられ、

上記半導体基板上に、上記第1の方向にストレートに延びる第1のビット線が、同一の活性領域内の蛇行の片側の折り返し箇所に設けられた上記不純物拡散領域上を通るように設けられるとともに、上記一方向にストレートに延びる第2のビット線が、同一の活性領域内で蛇行の他方の側の折り返し箇所に設けられた上記不純物拡散領域上を通るように設けられ、

上記第1のビット線、第2のビット線がそれぞれ直下に存する上記不純物拡散領域とコンタクト孔を介して接続され、

上記半導体基板として、絶縁体上にシリコンからなるボディを有するSOI基板を備え、このSOI基板のボディが上記活性領域を構成することを特徴としている。

上記第10の発明の半導体記憶装置によれば、上記第9の発明の半導体記憶装置と同様な作用・効果を奏する。

更にまた、厚い埋め込み酸化膜の存在のために、ボディと基板との間の静電容量を非常に小さくすることができる。また、SOI基板を用いると、ソース領域及びドレイン領域とボディとの接合容量を非常に小さくすることができる。そのため、容量を充電するための消費電流を小さくすることができる。さらにまた、SOI基板を用いると、ソース領域及びドレイン領域の深さを浅くするのが容易

であり、短チャネル効果を抑制し、素子を更に微細化することができる。したがって、低消費電力化及び微細化が可能となる。

1 実施の形態では、上記ワード線のうち上記チャネル領域上に存する部分がゲート電極を構成することを特徴としている。

5 上記実施の形態によれば、ワード線の一部をゲート電極としており、ゲート電極とワード線を接続するためにコンタクトや上部配線を用いる必要がない。そのため、メモリセルの構造が単純化され、製造工程を減らすことができる。したがって、製造コストを下げるることができる。

10 1 実施の形態では、書き込み時及び消去時において、選択されたメモリセルにおいて、上記ワード線と上記第3のビット線との間の電位差の絶対値 V が $V = V_{DD}$ であるとき、選択ワード線もしくは選択ビット線のどちらか一方にのみ接続されているメモリセルにおいて、 $V_{DD}/3 \leq V < V_{DD}/2$ となることを特徴としている。

15 上記実施の形態によれば、選択されたメモリセルのメモリ膜にかかる電圧と、非選択のメモリセルのメモリ膜にかかる電圧の最大値との比が大きく、ランダムアクセスが可能で、動作マージンの大きなメモリを実現することが可能となる。

また、第11の発明である半導体集積回路は、第9または第10の発明の半導体記憶装置と、ロジック回路とを混載したことを特徴としている。

20 上記第11の発明の半導体集積回路によれば、第9または第10の発明の半導体記憶装置のセル面積は $4F^2$ と、通常の1トランジスタ型不揮発性メモリのメモリセル面積より小さいので、メモリが占める面積を小さくできる。その分、論理回路や他のメモリの面積を大きくとることができ、機能の向上を図ることができる。もしくは、メモリの記憶容量を大きくとることができる。その場合、例えば、大規模なプログラムを一時的に読みこみ、電源を切断した後もそのプログラムを保持し、電源を再投入した後もプログラムを実行するといったことが可能になり、かつ、そのプログラムを他のプログラムと入れかえることもできる。したがって、集積回路の集積度を向上し、機能の向上を図ることができる。

25 また、第12の発明である携帯電子機器は、第8または第11の発明の半導体集積回路を具備したことを特徴としている。

上記第12の発明によれば、LSI部を高機能化、低消費電力化することができるので、高機能で電池寿命の長い携帯電子機器が提供される。

図面の簡単な説明

- 5 図1A～Dは、本発明の実施の形態1のメモリ膜の製造方法を示す図である。
図2E, Fは、本発明の実施の形態1のメモリ膜の製造方法を示す図である。
図3は、本発明の実施の形態1のメモリ膜にかける電圧を走査したときの容量の変化を示すグラフである。
- 10 図4は、本発明の実施の形態1のメモリ膜にかける電圧を走査したときの容量の変化を示すグラフである。
- 図5A, Bは、本発明の実施の形態1のメモリ膜の断面図である。
図6A, Bは、本発明の実施の形態1のメモリ膜の断面図である。
- 図7は、メモリ膜の形成時にLPCVD法によるシリコン成長を1回行った場合の、メモリ膜にかける電圧を走査したときの容量の変化を示すグラフである。
- 15 図8は、メモリ膜の形成時にLPCVD法によるシリコン成長を2回行った場合の、メモリ膜にかける電圧を走査したときの容量の変化を示すグラフである。
- 図9は、メモリ膜の形成時にLPCVD法によるシリコン成長を3回行った場合の、メモリ膜にかける電圧を走査したときの容量の変化を示すグラフである。
- 図10A～Cは、本発明の実施の形態3のメモリ膜の製造方法を示す図である。
- 20 図11は、本発明の実施の形態4のメモリ素子の断面図である。
図12は、本発明の実施の形態4のメモリ素子の、書き込み時及び消去時のドレイン電流対ゲート電圧の関係を示すグラフである。
- 図13は、本発明の実施の形態5のメモリ素子の断面図である。
図14は、本発明の実施の形態6のメモリセルアレイの平面図である。
- 25 図15は、図14の切断面線XV-XVから見た断面図である。
図16は、図14の切断面線XVI-XVIから見た断面図である。
図17は、図14の切断面線XVII-XVIIから見た断面図である。
図18は、本発明の実施の形態6のメモリセルアレイの回路図である。
図19は、本発明の実施の形態8のメモリセルアレイのメモリセルの断面図で

ある。

図 20 は、本発明の実施の形態 9 の携帯情報機器の構成図である。

発明を実施するための最良の形態

5 以下のメモリ膜に関する実施の形態では、半導体基板としてシリコン基板を用いた場合を示しているが、半導体であれば特にこれに限定されない。なお、以下の実施の形態では、Nチャネル型素子をメモリとした場合について述べているが、Pチャネル型素子をメモリとして用いてもよい。この場合は、不純物の導電型を全て逆にすれば良い。

10 (実施の形態 1)

本発明の実施の形態 1 を、図 1 ~ 図 6 を用いて説明する。本実施の形態は、電荷の保持が可能なメモリ膜及びその製造方法に関する。

低電圧で電荷の注入及び放出が可能なメモリ膜を実現するべく、図 1 及び図 2 に示す手順でメモリ膜を形成した。

15 まず、シリコン基板 111 上に、900°C の N_2O 雰囲気中で、厚さ 2 nm のシリコン酸化膜 112 を形成した。なお、このシリコン酸化膜 112 の形成には化学的気相成長法 (CVD 法) を用いることもできる。なお、ゲート酸化膜として電界効果トランジスタを形成する場合は界面準位の少ない熱酸化法によるのが好ましい。

20 次に、620°C の SiH_4 雰囲気中で減圧化学的気相成長法 (LPCVD 法) によりポリシリコンを成長させたところ、ポリシリコンは層状に成長し、厚さ 5 nm のポリシリコン膜 113 が形成した (図 1A)。

次に、900°C の N_2O 雰囲気中で、ポリシリコン膜 113 を酸化して、厚さ 2 nm のシリコン酸化膜 112B を形成した。次いで、620°C の SiH_4 雰囲気
25 気中で LPCVD 法によりシリコンを成長させたところ、シリコンは層状には成長せず、シリコン微粒子が散点状に形成されることを発見した。すなわち、シリコン単結晶基板を熱酸化して形成した酸化膜上ではポリシリコン膜が層状に成長するが、同じシリコン成長条件を用いても、ポリシリコン膜を熱酸化して形成した酸化膜上ではシリコン微粒子が散点状に形成された。かくして、シリコン酸化

膜112Bの表面に第1のシリコン微粒子114が形成された(図1B)。なお、シリコン酸化膜112Bの表面に沿った平面内では、第1のシリコン微粒子114の形成位置は実質的にランダムであった。

次に、900℃のN₂O雰囲気中で酸化したところ、第1のシリコン微粒子114の表面は酸化されたが、内部には結晶のシリコンが残っていた(図1C)。その残った第1のシリコン微粒子114の直径は、約5nmであった。

次に、620℃のSiH₄雰囲気中でLPCVD法によりシリコンを成長させたところ、シリコン微粒子が散点状に形成され、第2のシリコン微粒子115が形成された(図1D)。この第2のシリコン微粒子115は、第1のシリコン微粒子114の斜め上方にシリコン酸化膜を介して隣接して形成されるものが多かった。ただし、平面方向には、第2のシリコン微粒子115の形成位置は、第1のシリコン微粒子114の形成位置と同様に、実質的にランダムであった。

次に、900℃のN₂O雰囲気中で酸化したところ、第2のシリコン微粒子115の表面は酸化されたが、内部には結晶のシリコンが残っていた(図2E)。その残った第2のシリコン微粒子115の直径は、約5nmであった。

次に、LPCVD法により電極となるポリシリコン膜を形成した(図2F)。これにより、電極となるシリコン基板111と電極ポリシリコン膜116とに挟まれたメモリ膜130が完成した。第1のシリコン微粒子114と第2のシリコン微粒子115を合わせたシリコン微粒子の数密度は、 $3 \times 10^{11} \text{ cm}^{-2}$ 程度であった。

上記の製造手順によれば、メモリ膜130の形成にあたって、4回の熱酸化工程と3回のLPCVD工程を繰り返しただけであり、シリコン微粒子の形成位置の制御は全くしていない。しかしながら、ポリシリコン膜113と第1のシリコン微粒子114とを隔てる酸化膜厚S1はほぼ一定である。同様に、第1のシリコン微粒子114と第2のシリコン微粒子115とを隔てる酸化膜厚(第1のシリコン微粒子と第2のシリコン微粒子との最近接距離)S2は場所によらずほぼ一定であり、第2のシリコン微粒子115と電極ポリシリコン膜116とを隔てる酸化膜厚S3もほぼ一定である。したがって、簡単な工程で電気特性が安定したメモリ膜130を形成することが可能である。このように酸化膜厚を一定にす

るためには、上記製造手順に示したように、酸化膜厚を制御しやすい熱酸化を用いるのが最も適している。なお、ポリシリコン膜113の酸化、第1のシリコン微粒子114の酸化、第2のシリコン微粒子115の酸化を、それぞれCVD法による酸化膜の堆積で置き換えることもできる。

5 次に、上記の手順で作製したメモリ膜130の特性を示す。図3及び図4は、メモリ膜130の容量と電圧の関係を示すグラフである。図3は、 V_g を+3Vから-3Vに走査し、その後再び+3Vに走査したときの特性である。図4は、 V_g を+1Vから-1Vに走査し、その後再び+1Vに走査したときの特性である。図3及び図4中、 V_g はシリコン基板111に対して電極ポリシリコン膜116に印加した電圧を、Cは単位面積あたりの静電容量を示す。図3から V_g が-3Vになるとメモリ膜に書き込みが行われ、グラフが右にシフトし、ヒステリシス特性が現れることが分かった。なお、図示しないが、 V_g が+3Vになるとグラフが元に戻ることから、消去が行われることが分かった。一方、図4から V_g が±1Vの範囲内ではヒステリシス特性が現れず、書き込みも消去も行われ
10 ないことが分かった。上記メモリ膜130を作製する手順を用いた場合、上記特性が再現性よく現れた。

なお、書き込み・消去が行われ始める電圧はポリシリコン膜113の酸化量により変化した。上記の例ではポリシリコン膜113の酸化量は2nmであったが、この酸化量を1.5nmにしたときは、 V_g を-1.5Vにすると書き込みが行われ、 V_g を1.5Vにすると消去が行われた。このとき、 $V_g = \pm 0.5V$ では書き込みも消去も行われなかった。

図5及び図6は、本実施の形態であるメモリ膜130の詳細な断面図である。図5は、第1のシリコン微粒子114及び第2のシリコン微粒子115を熱酸化してメモリ膜130を作製した場合の断面図である。図6は、第1のシリコン微粒子114及び第2のシリコン微粒子115を熱酸化するのに代えて、CVD法により酸化膜を堆積してメモリ膜130'を作製した場合の断面図である。図5B及び図6Bは、それぞれ図5A及び図6Aの拡大図である。図5Bと図6Bとを比較すれば分かるように、電極ポリシリコン膜116と酸化膜112Bとの界面は、第1のシリコン微粒子114及び第2のシリコン微粒子115を熱酸化し
25

た場合の方が、第1のシリコン微粒子114及び第2のシリコン微粒子115にCVD法により酸化膜を堆積した場合よりも、凹凸が著しい。

5 なお、基板としてシリコン基板を用いているが、半導体であればこの限りではない。また、電極ポリシリコン膜116の材質はこれに限らず、ゲルマニウム、ガリウム砒素などの半導体や、アルミニウム、銅、銀、金などの金属でもよく、導電性を有すれば良い。

10 シリコン基板111上には、シリコン酸化膜112を介してポリシリコン膜113が形成されている。ポリシリコン膜113と電極ポリシリコン膜116の間には、シリコン酸化膜112Bがあり、このシリコン酸化膜112B中には、シリコン微粒子が形成されている。このポリシリコン微粒子は、その位置によって二種類に分けることができる。一方は、ポリシリコン膜113の近くにある第1のシリコン微粒子114である。他方は、シリコン微粒子114の斜め上方に位置する第2のシリコン微粒子115である。

15 なお、ポリシリコン膜113、第1のシリコン微粒子114及び第2のシリコン微粒子115の材質はこれに限らず、ゲルマニウム、ガリウム砒素などの半導体や、アルミニウム、銅、銀、金などの金属でもよく、導電性の物質であれば良い。また、シリコン酸化膜112、112Bの材質はこれに限らず、シリコン窒化膜、シリコン酸化膜とシリコン窒化膜の積層膜、金属酸化膜など、電気絶縁性の物質であれば良い。シリコン基板111とポリシリコン膜113とに挟まれたシリコン酸化膜112の厚さは、例えば1nm~6nmとすることが好ましく、
20 ポリシリコン膜113の厚さは、例えば0.5nm~10nmとすることが好ましく、第1のシリコン微粒子114及び第2のシリコン微粒子115の直径は、例えば2nm~10nmとすることが好ましいが、それぞれこの限りではない。ただし、シリコン基板111とポリシリコン膜113とに挟まれたシリコン酸化膜112の厚さは、あまり薄いと電荷がトンネル現象でシリコン酸化膜を透過する確率が増して記憶保持時間が減少し、あまり厚いと短チャネル効果が増して素子の微細化が困難となるので、2nm~5nmとするのがより望ましい。更にまた、第1のシリコン微粒子114及び第2のシリコン微粒子115の直径は、あまり小さいと量子サイズ効果が大きくなって、電荷の移動に大きな電圧が必要と
25

なり、あまり大きいと短チャネル効果が増して素子の微細化が困難となるので、3 nm～7 nmとするのがより望ましい。

シリコン微粒子を含むシリコン酸化膜の厚さ（すなわち、電極ポリシリコン膜116とシリコン微粒子を含むシリコン酸化膜112Bとの界面と、ポリシリコン膜113とシリコン微粒子を含むシリコン酸化膜112Bとの界面との間の距離）Wは、次式を満たすのが望ましい。

$$W \leq 2H + S_1 \quad \dots (1)$$

ここで、Hはシリコン微粒子の平均直径または平均高さ、 S_1 は第1のシリコン微粒子114とポリシリコン膜113とを隔てるシリコン酸化膜厚である。例として、Hが5 nm、 S_1 が2 nmのとき、(1)式によるとWは12 nm以下となる。(1)式は、第2のシリコン微粒子115の多くが第1のシリコン微粒子114の斜め上方に位置するときに満たされる。(1)式を満たすことにより、メモリ膜130、130'の実効的な厚さを薄くすることができ、メモリ膜130の静電容量を増加することが可能になる。

ここで、シリコン微粒子の平均直径または平均高さHを評価するには、シリコン微粒子が10個程度以上写っている断面TEM（透過電子顕微鏡）写真を用い、この断面TEM写真に写っているシリコン微粒子の直径または高さを平均すればよい。また、シリコン微粒子を含むシリコン酸化膜112Bの厚さWを評価するには、電極ポリシリコン膜116と酸化膜112Bとの界面の凹凸が激しいときには、その平均値 W_{AV} を用いる。 W_{AV} を求めるには、シリコン微粒子が10個程度以上写っている断面TEM写真を用い、この断面TEM写真内での平均膜厚を採用すればよい。上記実施の形態で形成したメモリ膜130、130'の断面TEM写真を用いて上記解析を行ったところ、シリコン微粒子の高さの平均Hは5 nm、第1のシリコン微粒子114とポリシリコン膜113とを隔てるシリコン酸化膜厚 S_1 は2 nmであり、シリコン微粒子を含むシリコン酸化膜112Bの厚さ W_{AV} は8 nmであり、(1)式を満たしていた。

本実施の形態のメモリ膜の製造方法によれば、シリコン微粒子の形成位置の制御は全く必要とせず、熱酸化工程とLPCVD工程の繰り返しで形成することができる。しかしながら、各ノード（ポリシリコン膜113、第1のシリコン微粒

子114、第2のシリコン微粒子115及び電極ポリシリコン膜116)を隔てる酸化膜厚 S_1 、 S_2 、 S_3 を、それぞれ精密に制御することが可能である。したがって、簡単な工程で電気特性が安定したメモリ膜を形成することが可能である。

更にまた、メモリ特性の測定によれば、例えば、±3Vでの書き込み及び消去、1Vでの非破壊読み出しが可能であることが示され、従来技術のフラッシュメモリのメモリ膜に比べて著しく低電圧動作が可能であることが分かった。また、低電圧動作が可能のため、従来技術のフラッシュメモリで問題となっていた、高エネルギーの電荷によるメモリ膜の劣化を抑制し、信頼性を向上することができる。

10 本実施の形態で作製されたメモリ膜130、130'は、シリコン微粒子114、115が斜めに並んでいるので、メモリ膜130、130'の厚さを薄くして、静電容量を大きくすることができる。したがって、例えば、このメモリ膜130、130'を電界効果トランジスタのゲート絶縁膜中に導入した場合、実効的なゲート絶縁膜厚を薄くすることができ、短チャネル効果を抑制し、メモリ素子の微細化が可能となる。

(実施の形態2)

本発明の実施の形態2を、図7～図9を用いて説明する。本実施の形態は、上記実施の形態1において、LPCVD法によるシリコン成長の回数(実施の形態1では3回)を変えたときのメモリ膜特性に関するものである。なお、シリコン基板の酸化、ポリシリコン膜の酸化及びシリコン微粒子の酸化はいずれも熱酸化としたものである。

図7は、LPCVD法によるシリコン成長を1回行ったときのメモリ膜の容量と電圧の関係を示すグラフである。シリコン基板に対する電極ポリシリコン膜の電位 V_g を、+3Vから-3Vに走査し、その後再び+3Vに走査した。メモリ効果は全く現れていない。このとき、メモリ膜の構造は、電極ポリシリコン膜/酸化膜/ポリシリコン膜/酸化膜/シリコン基板となっていた。

図8は、LPCVD法によるシリコン成長を2回行ったときのメモリ膜の容量と電圧の関係を示すグラフである。ヒステリシスが現れ、メモリ効果が認められる。このとき、メモリ膜の構造は、図5において第2のシリコン微粒子115が

なく、その分シリコン微粒子を含むシリコン酸化膜112の厚さが薄くなった構造であった。

図9は、LPCVD法によるシリコン成長を3回行ったときのメモリ膜の容量と電圧の関係を示すグラフである。図8に比べてメモリ効果は非常に顕著である。5
なお、図示しないが、LPCVD法によるシリコン成長を4回行ったときの特性も、3回行った場合に近かった。

以上のことから、LPCVD法によるシリコン成長は少なくとも2回行う必要があり、3回以上行うことがより好ましいことが分かった。なお、5回以上行うとメモリ膜の実効的な膜厚がさらに厚くなる（静電容量が減少する）。このメモリ膜を電界効果トランジスタのゲート絶縁膜中に導入した場合、メモリ膜の実効的な膜厚が厚いと短チャネル効果の抑制が難しくなり、メモリ素子の微細化が難しくなるので、LPCVD法によるシリコン成長は3回～4回とするのが最も好ましい。なお、LPCVD法によるシリコン成長の初回では、ポリシリコン膜が形成されるので、シリコン微粒子を形成するためのLPCVD法によるシリコン成長は少なくとも1回以上行う必要があり、2回～3回とするのが最も好ましい。15

(実施の形態3)

本発明の実施の形態3を、図10を用いて説明する。本実施の形態は、上記実施の形態1のメモリ膜と同じ形態のものを形成する別の方法に関する。

図10は、図5に示すメモリ膜130と同じ形態のものを形成するための別の製造手順を示す図である。まず、シリコン基板111上に、900℃のN₂O雰囲気中で、厚さ2nmのシリコン酸化膜112を形成した。なお、このシリコン酸化膜112の形成にはCVD法を用いることもできるが、ゲート酸化膜として電界効果トランジスタを形成する場合は界面準位の少ない熱酸化法によるのが好ましい。20

次に、この上に、分子線エピタキシ法(MBE法)またはLPCVD法で厚さ6nmのアモルファスシリコン膜121を形成した(図10A)。この後、表面を弗化水素酸で洗浄してから超高真空CVD装置に入れてSi₂H₆を供給する方法(第1の方法)と、アモルファスシリコン膜形成後、大気開放せずに、Si₂H₆を供給する方法(第2の方法)とがある。25

まず、第1の方法を説明する。アモルファスシリコン膜121の形成後、その状態の基板を、 NH_4OH 、 H_2O_2 および H_2O を1:6:20の割合で混合した洗浄液(60℃)に浸して表面の汚染を除去し、5%弗化水素酸水溶液に30秒間浸して自然酸化膜を除去した。次に、その状態の基板を、遠心分離器または乾燥窒素ガスにより乾燥させ、 Si_2H_6 供給用のノズルとグラファイトヒータ

5 による基板加熱装置とを備えた超高真空CVD装置の形成室内に入れた。形成室内の真空度は 10^{-9} Torrに保たれている。まず、ある一定の温度、好ましくは加熱のみによる核形成が急速に起こらないような、500℃ないし620℃という低温で基板加熱を行い、そのあと核形成用の Si_2H_6 を流量13ccm

10 mで照射すると、アモルファスシリコン膜121の表面に結晶核122が発生した(図10B)。このとき、アモルファスシリコン膜121の表面に沿った平面内では、結晶核122の形成位置は実質的にランダムであった。結晶核の形成密度は、 Si_2H_6 の照射時間にほぼ比例して増加した。また、このとき、結晶核の直径は Si_2H_6 の照射時間によらずほぼ一定であった。一定時間 Si_2H_6 ガスに曝らしたのち、高真空にして加熱を続行し結晶核122の成長を行った。なお、この高真空中での加熱は結晶核のサイズを調節するためのものであり、省略することもできる。また、 Si_2H_6 ガスの照射においては、 SiH_4 ガスを用いてもよく、又は Si_2H_6 ガスと SiH_4 ガスを混合したものでもよい。この後、後述の熱酸化工程を行った。

20 次に、第2の方法を説明する。アモルファスシリコン膜121の形成後、大気開放せずに基板温度を500℃ないし620℃とし、そのあと核形成用の Si_2H_6 を流量13ccmで照射すると、第1の方法の場合と同様に、アモルファスシリコン膜121の表面に結晶核122が発生した(図10B)。結晶核の形成密度は、 Si_2H_6 の照射時間にほぼ比例して増加した。また、このとき、結晶核の直径は Si_2H_6 の照射時間によらずほぼ一定であった。一定時間 Si_2H_6 ガスに曝らしたのち、高真空にして加熱を続行し結晶核122の成長を行った。なお、この高真空中での加熱は結晶核のサイズを調節するためのものであり、省略することもできる。また、 Si_2H_6 ガスの照射においては、 SiH_4 ガスを用いてもよく、又は Si_2H_6 ガスと SiH_4 ガスを混合したものでもよい。この後、

25

後述の熱酸化工程を行った。

上記第1の方法または第2の方法で述べた工程を行った後、900℃のN₂O
雰囲気中で、熱酸化を行った。その結果、アモルファスシリコン膜121の一部
と、結晶核122の一部は酸化されてシリコン酸化膜124となった。また、ア
5 モルファスシリコン膜121の一部は酸化されずポリシリコン膜123となった。
さらに、結晶核122の中心部は酸化されず、第1のシリコン微粒子125とな
った。

この後の手順は、実施の形態1における第2のシリコン微粒子形成工程以降の
手順と同じである。かくして、上記方法によっても図5に示すメモリ膜130と
10 同じ形態のものを形成することができた。

本実施の形態となるメモリ膜の製造方法は、シリコン微粒子の形成位置の制御
は全く必要とせず、熱酸化工程とLPCVD工程またはMBE工程の繰り返して
形成することができる。しかしながら、各ノード（ポリシリコン膜123、第1
のシリコン微粒子125、第2のシリコン微粒子及び電極ポリシリコン膜）を隔
15 てる酸化膜厚を、それぞれ精密に制御することが可能である。したがって、簡単
な工程で電気特性が安定したメモリ膜を形成することが可能である。

また、本実施の形態となるメモリ膜の製造方法によると、Si₂H₆の供給時
間を変化させるだけでシリコン微粒子の形成密度を制御することができる。した
がって、メモリ膜の特性を制御するのが容易となる。

20 (実施の形態4)

本発明の実施の形態4を、図11及び図12を用いて説明する。本実施の形態
のメモリ素子は、実施の形態1のメモリ膜130または130'を電界効果トラ
ンジスタのゲート絶縁膜に組み込んで構成したものである。

図11は、本実施の形態であるメモリ素子の断面図である。シリコン基板11
1上に、図6に示すメモリ膜130'を介して電極ポリシリコン116（ゲート
25 電極）が形成されている。また、ソース領域117とドレイン領域118が形成
されている。

なお、本実施の形態では、シリコン基板111はP型の導電型を持ち、ゲート
電極、ソース領域及びドレイン領域はN型の導電型を持っており、Nチャンネル型

の電界効果トランジスタとなっている。しかし、これに限らず、Pチャネル型の電界効果トランジスタ（N型のシリコン基板と、P型のソース領域及びドレイン領域を持つ）であっても良いし、ゲート電極はポリシリコンに限らず、金属であっても良い。また、図11に示すメモリ素子は、図6に示すメモリ膜130'を用いているが、図5に示すメモリ膜130を用いても良い。

本実施の形態のメモリ素子は、実施の形態1のメモリ膜130または130'を用いているので、実効的なゲート絶縁膜厚を薄くすることができる。したがって、短チャネル効果を抑制し、素子の微細化が可能である。

更に、本実施の形態のメモリ素子は、実施の形態1のメモリ膜130または130'を用いているので、低電圧での書き込み及び消去及び非破壊読み出しが可能である。具体的には、例えば、ポリシリコン膜113の酸化量が2nmのときは±3Vでの書き込み・消去が、1Vでの非破壊読み出しが可能である。また、ポリシリコン膜113の酸化量が1.5nmのときは±1.5Vでの書き込み・消去が、0.5Vでの非破壊読み出しが可能である。したがって、低電圧動作が可能で、低消費電力化が可能となり、素子の信頼性が向上する。

本実施の形態のメモリ素子を製造する手順は、電界効果トランジスタを作製する公知の手順とほぼ同じである。公知の手順と異なるのは、メモリ膜の形成においてのみであり、メモリ膜を形成する手順は実施の形態1～3のいずれかに記載した通りである。

実施の形態1又は2の製造手順によれば、メモリ膜部分の形成にあたって、4回の熱酸化工程と3回のLPCVD工程を繰り返したただけであり、シリコン微粒子の形成位置の制御は全く必要としない。しかしながら、ポリシリコン膜113と第1のシリコン微粒子114とを隔てる酸化膜厚 S_1 、第1のシリコン微粒子114と第2のシリコン微粒子115とを隔てる酸化膜厚 S_2 、第2のシリコン微粒子115と電極ポリシリコン膜116とを隔てる酸化膜厚 S_3 を、それぞれ精密に制御することが可能である。したがって、簡単な工程で電気特性が安定したメモリ素子を形成することが可能である。

実施の形態3の製造手順によれば、シリコン微粒子の形成位置の制御は全く必要とせず、熱酸化工程とLPCVD工程またはMBE工程の繰り返しで形成する

ことができる。しかしながら、各ノード（ポリシリコン膜123、第1のシリコン微粒子125、第2のシリコン微粒子及び電極ポリシリコン膜）を隔てる酸化膜厚を、それぞれ精密に制御することが可能である。したがって、簡単な工程で電気特性が安定したメモリ膜を形成することが可能である。

5 また、実施の形態3の製造手順によれば、 Si_2H_6 の供給時間を変化させるだけでシリコン微粒子の形成密度を制御することができる。したがって、メモリ膜の特性を制御するのが容易となる。

10 次に、上記の手順で作製したメモリ素子の特性を示す。図12は、メモリ素子のドレイン電流（ I_d ）とゲート電圧（ V_g ）との関係を示すグラフである。ゲート電極に -3V を印加した後は、閾値が高くなっており（書き込み）、メモリ効果を示すことが分かる。一方、ゲート電極に $+3\text{V}$ を印加すると、閾値は低くなり、消去が行われることが分かった。

15 本実施の形態のメモリ素子は、実施の形態1のメモリ膜130または130'を用いているので、実効的なゲート絶縁膜厚を薄くすることができる。したがって、短チャネル効果を抑制し、素子の微細化が可能である。

 更に、本実施の形態のメモリ素子は、実施の形態1のメモリ膜130または130'を用いているので、 $\pm 3\text{V}$ での書き込み及び消去、 1V での非破壊読み出しが可能である。したがって、従来技術のフラッシュメモリに比べて著しい低電圧動作が可能で、低消費電力化が可能となり、素子の信頼性が向上する。

20 また、本実施の形態のメモリ素子は、メモリ膜の形成に実施の形態1または2に示した手順を用いればよいので、シリコン微粒子の形成位置の制御は全く必要とせず、熱酸化工程とLPCVD工程（またはMBE工程）の繰り返しで形成することができる。しかしながら、各ノード（ポリシリコン膜、第1のシリコン微粒子、第2のシリコン微粒子及び電極ポリシリコン膜）を隔てる酸化膜厚を、そ
25 それぞれ精密に制御することが可能である。したがって、簡単な工程で電気特性が安定したメモリ素子を形成することが可能である。

（実施の形態5）

 本発明の実施の形態5を、図13を用いて説明する。本実施の形態のメモリ素子は、実施の形態4のメモリ素子を、SOI（Silicon on Insulator）基板15

0上に形成したものである。図13は、本実施の形態の半導体装置におけるメモリ素子の断面図である。119はボディ、120は埋め込み酸化膜である。また、図13に示すメモリ素子は、図6に示すメモリ膜130'を用いているが、図5に示すメモリ膜130を用いても良い。なお、図13では、完全空乏型の場合を示しているが、部分空乏型にしてもよい。

本実施の形態のメモリ素子を製造する手順は、SOI基板上に電界効果トランジスタを作製する公知の手順とほぼ同じである。公知の手順と異なるのは、メモリ膜の形成においてのみであり、メモリ膜を形成する手順は実施の形態1～3のいずれかに記載した通りである。

本実施の形態の半導体装置においては、実施の形態4のメモリ素子で得られる効果に加えて以下の効果が得られる。本実施の形態のメモリ素子においては、ソース領域117及びドレイン領域118と、ボディ119との接合容量を非常に小さくすることができる。さらにまた、SOI基板を用いると、ソース領域117及びドレイン領域118の深さを浅くするのが容易であり、短チャネル効果を抑制し、素子を更に微細化することができる。

(実施の形態6)

本発明の実施の形態6について、図14～図18に基づいて説明すれば以下の通りである。

図14～図17は、本発明の実施の形態6となるメモリセルアレイの概略図である。図14は、平面の概略図である。図15は図14の切断面線XV-XVから見た断面図であり、図16は図14の切断面線XVI-XVIから見た断面図であり、図17は図14の切断面線XVII-XVIIから見た断面図である。図18は、上記メモリセルアレイの回路図である。

まず、本実施の形態の半導体装置の構成を図14～図17に基づいて説明する。図15～図17から分かるように、シリコン基板17内にはN型の深いウェル領域25とP型の浅いウェル領域26が形成されている。さらに、複数の素子分離領域16が、図14における横方向に蛇行して延びるように形成されている(図14中で、それぞれ蛇行した帯状の領域に斜線を施している。)。素子分離領域16の縦方向のピッチは2F(Fは最小加工ピッチ)に設定されている。これに

より、ウェル領域 26 の上部で隣り合う素子分離領域 16 の間に、それぞれ横方向に蛇行して延びるシリコン活性領域が残されている。素子分離領域 16 の深さは、素子分離領域 16 をはさむ両側の P 型の浅いウェル領域 26 が互いに電氣的に分離されるように設定される。

5 図 14～図 17 を総合すれば分かるように、上記各シリコン活性領域内の蛇行の各折り返し箇所、それぞれ不純物拡散領域としての N^+ 拡散層 19 が形成されている。各 N^+ 拡散層 19 は、このメモリの使用時にビット線による選択に応じてソース領域またはドレイン領域として働く。その時、同一の活性領域内で隣り合う N^+ 拡散層 19 の間の領域がそれぞれチャンネル領域となる。

10 ポリシリコンからなる複数のワード線 11 が、素子分離領域 16 が延びる方向とは垂直方向（図 14 における縦方向）にストレートに延びるように形成されている。ワード線 11 の横方向のピッチは $2F$ に設定されている。ワード線 11 で覆われているシリコン活性領域（ウェル領域 26 の上部）は、チャンネル領域となっている。チャンネル領域とワード線 11 とは、実施の形態 1 の図 5 もしくは図 6
15 で示したメモリ膜と同じ構成のメモリ膜 21 により隔てられている。このチャンネル領域上でワード線 11 がコントロールゲートの役割をはたしている。

第 1 層メタルからなる複数の第 1 ビット線 12 が、ワード線 11 とは垂直方向（図 14 における横方向）にストレートに延びるように形成されている。第 1 ビット線 12 の縦方向のピッチは $2F$ に設定され、同一のシリコン活性領域内で蛇行の片側（図 14 では山側）の折り返し箇所に設けられた N^+ 拡散層 19 上を通
20 るように設けられている。この第 1 ビット線 12 とその直下に存する N^+ 拡散層 19 とは、横方向に関してピッチ $4F$ で、第 1 ビット線コンタクト 14 により接続されている。また、第 2 層メタルからなる複数の第 2 ビット線 13 が、第 1 ビット線 12 と同じ方向で第 1 ビット線の隙間となる位置に、第 1 ビット線と平行
25 にストレートに延びるように形成されている。第 2 ビット線 13 の縦方向のピッチは $2F$ に設定されて、同一のシリコン活性領域内で蛇行の他方の側（図 14 では谷側）の折り返し箇所に設けられた N^+ 拡散層 19 上を通るように設けられている。この第 2 ビット線 13 とその直下に存する N^+ 拡散層 19 とは、横方向に関してピッチ $4F$ で、第 2 ビット線コンタクト 15 により接続されている。第 1

および第2のビット線12, 13は、互いに層間絶縁膜20で分離され、上述のようにそれぞれ必要なところでコンタクト14, 15を介してN⁺拡散層19と接続されている。また、シリコン基板に対してP型の浅いウェル領域26は、素子分離領域16によって、第1ビット線及び第2ビット線と同じ方向に走る細長い列状に分断されており、第3ビット線を構成している。

上記構成によれば、1つのメモリセルは図14中に二点鎖線で示す平行四辺形22で表され、その面積は $4F^2$ である。

なお、メモリ膜21は、図5もしくは図6におけるシリコン酸化膜112、シリコン酸化膜112B、ポリシリコン膜113、第1のシリコン微粒子114及び第2のシリコン微粒子115からなる膜である。

次に、本実施の形態であるメモリセルアレイの回路構成を、図18に基づいて説明する。このメモリセルアレイは、いわゆるAND型で配列されている。すなわち、一本の第1ビット線と一本の第2ビット線とが一对をなしており、これらのビット線の間にはn個のメモリセルが並列に接続されている。図18では、例えば1番目のビット線対の第1ビット線をBa1、1番目のビット線対の第2ビット線をBb1と表記している。また、例えば1番目のビット線対に接続されているn番目のメモリセルをM1nと表記している。各ビット線には選択トランジスタが設けられている。図18では、例えば1番目のビット線対の第1ビット線選択トランジスタをSTBa1と表記している。本実施の形態であるメモリセルアレイの特徴は、P型の浅いウェル領域が第3ビット線を形成している点である。この第3ビット線は、第1ビット線及び第2ビット線からなる1対のビット線に並列に接続されたメモリセルの浅いウェル領域を接続している。この第3ビット線には選択トランジスタが接続されている。図18では、例えば、1番目の第3ビット線はBw1、それに対応する選択トランジスタはSTBw1と表記されている。また、n本のワード線が、各ビット線と垂直方向に走り、メモリセルのゲート間を接続している。図18では、各ワード線をW1~Wnで表記している。

次に、本実施の形態のメモリセルアレイを作製する手順を説明する。

まず、図15~図17中に示すシリコン基板17内に電気絶縁性の素子分離領域16を形成し、続いてN型の深いウェル領域25とP型の浅いウェル領域26

を形成する。N型の深いウェル領域とP型の浅いウェル領域との接合の深さは、不純物の注入条件（注入エネルギーと注入量）とその後の熱工程（アニール工程や熱酸化工程など）によって決まる。これら不純物注入条件や熱工程条件と、素子分離領域の深さは、素子分離領域16がP型の浅いウェル領域26を電気的に分離するように設定される。

その後、実施の形態1～3のいずれかで示した手順でメモリ膜21を形成し、フォトリソグラフィとエッチングによりパターン加工する。このパターン加工後、メモリ膜中のポリシリコン膜が露出し、後に形成するワード線と短絡する恐れがあるので、熱酸化を行うのが好ましい。その後、ポリシリコン膜を、化学的気相成長法（CVD法）で形成し、このポリシリコン膜とメモリ膜21とをフォトリソグラフィとエッチングによりパターン加工し、ワード線11を形成する。ここで、N型の不純物を、ワード線11をマスクとして低エネルギーで注入すると、自己整合的にN⁺拡散層19が形成される。この後、層間絶縁膜の堆積、コンタクト工程、メタル工程を繰り返し行い、第1ビット線12及び第2ビット線13を形成する。

本実施の形態のメモリセルアレイは、実施の形態1～3のいずれかで示したメモリ膜を用いている。したがって、素子の微細化が可能であるため高集積化が実現される。更には低電圧駆動が可能であるから、低消費電力化が可能となり、メモリセルアレイの信頼性が向上する。

更にまた、本実施の形態のメモリセルアレイは、1つのセルの面積が4F²であり、従来のAND型メモリセルアレイ（セルの面積が8F²程度）よりも小さい。したがって、高集積化が可能となり、製品の歩留りが向上し、製造コストを削減することができる。

また、本実施の形態の半導体装置であるメモリと、論理回路、その他のメモリ（DRAM、SRAM等）とを混載した場合、集積回路の集積度を向上し、機能の向上を図ることができる。

（実施の形態7）

本実施の形態は、実施の形態6のメモリセルアレイにおいて、選択されたメモリセルのメモリ膜にかかる電圧と、非選択のメモリセルのメモリ膜にかかる電圧

の比をできる限り大きくした、ランダムアクセスが可能なメモリセルアレイに関する。

5 一般に、メモリセルの書き込み時または消去時には、選択されたメモリセルのメモリ膜に最大の電圧がかかる。そして、非選択のメモリセルのメモリ膜にもある程度の電圧がかかってしまう。したがって、誤動作を防ぐためには、選択されたメモリセルのメモリ膜にかかる電圧と、非選択のメモリセルのメモリ膜にかかる電圧の最大値との比をできるだけ大きくするのが好ましい。

10 一般的に行われている方法では、例えば消去時には、選択ワード線の電位を V_{DD} に、選択ビット線の電位を接地電位に、その他のワード線及びビット線の電位を $V_{DD}/2$ にする。このとき、選択されたメモリセルのメモリ膜には電圧 V_{DD} が、非選択のメモリセルのメモリ膜には電圧0または $V_{DD}/2$ がかかる。このとき、選択されたメモリセルのメモリ膜にかかる電圧と、非選択のメモリセルのメモリ膜にかかる電圧の最大値との比は $1/2$ である。

15 本実施の形態のメモリセルアレイにおける、書き込み時及び消去時の各ワード線及びビット線への印加電圧を表1に示す。なお、各ビット線（第1～第3ビット線）には、同電位を与える。書き込み時には、選択ワード線に電位0、非選択ワード線に $(1-A) \times V_{DD}$ 、選択ビット線に V_{DD} 、非選択ビット線に $A \times V_{DD}$ を印加する。また、消去時には、選択ワード線に電位 V_{DD} 、非選択ワード線に $A \times V_{DD}$ 、選択ビット線に0、非選択ビット線に $(1-A) \times V_{DD}$ を印加する。
20 ここで、 $1/3 \leq A < 1/2$ である（ $A=1/2$ のときは、上記一般的に行われている例となる）。選択されたメモリセルのメモリ膜にかかる電圧と、非選択のメモリセルのメモリ膜にかかる電圧の最大値との比は、 $A=1/3$ のとき（絶対値で）最大値3をとる。したがって、 $A=1/3$ とするのがもっとも好ましい。

(表 1)

書き込み時

ビット線 ワード線	(選択) V_{DD}	(非選択) $A \times V_{DD}$
(選択) 0	膜にかかる電圧 $-V_{DD}$	膜にかかる電圧 $-A \times V_{DD}$
(非選択) $(1-A) \times V_{DD}$	膜にかかる電圧 $-A \times V_{DD}$	膜にかかる電圧 $(1-2A) \times V_{DD}$

$$1/3 \leq A < 1/2$$

消去時

ビット線 ワード線	(選択) 0	(非選択) $(1-A) \times V_{DD}$
(選択) V_{DD}	膜にかかる電圧 V_{DD}	膜にかかる電圧 $A \times V_{DD}$
(非選択) $A \times V_{DD}$	膜にかかる電圧 $A \times V_{DD}$	膜にかかる電圧 $(2A-1) \times V_{DD}$

$$1/3 \leq A < 1/2$$

上記のように印加電圧を設定することにより、1ビット毎の書き込み動作及び消去動作、すなわちランダムアクセスが可能となる。 V_{DD} の具体的な値は、膜質や膜構造ごとに最適な値を決めればよい。具体的には、メモリ膜にかかる電圧の絶対値が V_{DD} のときには電荷の注入または放出が起こり、メモリ膜にかかる電圧の絶対値が $A \times V_{DD}$ のときには電荷の注入または放出が起こらないようにする。なお、読み出し時には、メモリ膜にかかる電圧が $A \times V_{DD}$ 以下となるようにするのが好ましく、その場合、読み出しにより記憶を破壊することがない。

本実施の形態のメモリセルアレイにおいては、選択されたメモリセルのメモリ

膜にかかる電圧と、非選択のメモリセルのメモリ膜にかかる電圧の最大値との比が大きく、ランダムアクセスが可能で、動作マージンの大きなメモリを実現することが可能となる。

(実施の形態 8)

- 5 本発明の実施の形態 8 について、図 19 に基づいて説明すれば以下の通りである。本実施の形態のメモリセルアレイは、実施の形態 6 又は 7 のいずれかのメモリセルアレイにおいて、SOI 基板 160 を用いて作製したもので、その平面図は図 14 と同じである。36 はボディ、35 は埋め込み酸化膜である。図 19 は、本実施の形態となるメモリセルアレイのメモリセル断面の模式図である。素子分離領域 16 と埋め込み酸化膜 35 とで分離されたボディ 36 の列にそれぞれ独立した電位を与え、第 3 ビット線として用いる。なお、図 19 では、完全空乏型の場合を示しているが、部分空乏型にしてもよい。その場合は、第 3 ビット線となるボディの抵抗を低減して素子の高速化が可能となる。

- 15 次に、本実施の形態の半導体装置を作製する手順を説明する。まず、SOI 基板 160 に素子分離領域 16 を形成する。その後、メモリ素子が適切な閾値をもつように、ボディ 36 に不純物注入を行う。これ以降の上部構造の形成は、実施の形態 5 で示した手順と同様である。

- 20 本実施の形態の半導体装置においては、実施の形態 6 又は 7 のメモリセルアレイで得られる効果に加えて以下の効果が得られる。本実施の形態の半導体装置においては、厚い埋め込み酸化膜の存在のために、ボディとシリコン基板との間の静電容量を非常に小さくすることができる。一方、実施の形態 6 又は 7 のメモリセルアレイでは、浅いウェル領域と深いウェル領域との間の静電容量はかなり大きい。また、SOI 基板を用いると、N⁺活性層とボディとの接合容量を非常に小さくすることができる。そのため、本実施の形態のメモリセルアレイにおいて
- 25 は、容量を充電するための消費電流を小さくすることができる。さらにまた、SOI 基板を用いると、N⁺活性層の深さを浅くするのが容易であり、短チャネル効果を抑制し、素子を更に微細化することができる。以上の理由から、SOI 基板を用いることにより、低消費電力化及び微細化が可能となる。

(実施の形態 9)

上記実施の形態1～8のメモリ素子又は半導体記憶装置を集積化して集積回路とすれば、低電源電圧で動作させることが可能になり、集積回路を低消費電力化できる。

5 また、上記実施の形態4～8のメモリ素子又は半導体記憶装置と、論理回路とを1つの集積回路上に混載してもよい。更に、メモリ素子又は半導体記憶装置と、論理回路とに加え、その他のメモリ（DRAM、SRAM等）も混載しても良い。例えば、実施の形態6～8のメモリセルアレイを用いれば、セル面積は $4F^2$ であり、通常の1トランジスタ型不揮発性メモリのメモリセル面積より小さい。したがって、メモリが占める面積を小さくできる分、論理回路や他のメモリの面積を大きくとることができ、機能の向上を図ることができる。もしくは、本実施の形態の半導体装置であるメモリの記憶容量を大きくとることができる。その場合、例えば、大規模なプログラムを一時的に読みこみ、電源を切断した後もそのプログラムを保持し、電源を再投入した後もプログラムを実行するといったことが可能になり、かつ、そのプログラムを他のプログラムと入れかえることもできる。

15 また、上記集積回路を、電池駆動の携帯電子機器に組み込むことができる。携帯電子機器としては、携帯情報端末、携帯電話、ゲーム機器などが挙げられる。図20は、携帯電話の例を示している。制御回路911には、本発明の半導体集積回路が組み込まれている。なお、制御回路911は、本発明の半導体装置からなるメモリ回路と、論理回路とを混載したLSIから成っていてもよい。912は電池、913はRF回路部、914は表示部、915はアンテナ部、916は信号線、917は電源線である。本発明の半導体集積回路を携帯電子機器に用いることにより、携帯電子機器を高機能化し、LSI部の消費電力を大幅に下げることが可能になる。それにより、電池寿命を大幅にのばすことが可能になる。

20

請求の範囲

1. 第1の電極となる半導体基板(111)上に第1の絶縁膜(112)を形成する工程と、
5 上記第1の絶縁膜(112)上に第1の導電体膜(113)を形成する工程と、
上記第1の導電体膜(113)の表面に第2の絶縁膜(112B)を形成する工程と、
上記第2の絶縁膜(112B)上に導電体の微粒子(114, 115)を含む第3の絶縁膜(112B)を形成する工程と、
上記第3の絶縁膜(112B)上に第2の電極となる第2の導電体膜(116)を形成する工程と
10 を含むことを特徴とするメモリ膜の製造方法。
2. 請求項1に記載のメモリ膜の製造方法において、
上記第2の絶縁膜(112B)上に導電体の微粒子(114, 115)を含む第3の絶縁膜(112B)を形成する工程は、
15 上記第2の絶縁膜(112B)上に導電体の微粒子(114)を形成する工程と、
上記導電体の微粒子(114)の表面に第3の絶縁膜(112B)を形成する工程とからなる一連の工程を、
少なくとも1回行うことからなることを特徴とするメモリ膜の製造方法。
3. 請求項2に記載のメモリ膜の製造方法において、
20 上記一連の工程を、2回又は3回行うことを特徴とするメモリ膜の製造方法。
4. 請求項2に記載のメモリ膜の製造方法において、
上記第1の導電体膜(113)は半導体からなり、
上記導電体の微粒子(114, 115)は半導体からなり、
上記半導体基板(111)上に第1の絶縁膜(112)を形成する工程と、
25 上記導電体膜(113)の表面に第2の絶縁膜(112B)を形成する工程と
上記導電体の微粒子(114, 115)の表面に第3の絶縁膜(112B)を形成する工程とはいずれも熱酸化工程であり、
上記第1の絶縁膜(112)上に第1の導電体膜(113)を形成する工程と、
上記第2の絶縁膜(112B)上に導電体の微粒子(114)を形成する工程と

はいずれも化学的気相成長法によることを特徴とするメモリ膜の製造方法。

5. 請求項4に記載のメモリ膜の製造方法において、

上記第1の導電体膜(113)は多結晶半導体もしくは非晶質半導体であることを特徴とするメモリ膜の製造方法。

5 6. 請求項1に記載のメモリ膜の製造方法において、

上記半導体基板(111)はシリコン基板からなり、

上記第1の導電体膜(113)はシリコンからなり、

上記第1乃至第3の絶縁膜(112, 112B)はいずれもシリコン酸化膜からなり、

上記導電体の微粒子(114, 115)はいずれもシリコンからなることを特徴とする

10 メモリ膜の製造方法。

7. 半導体基板(111)上に第1の絶縁膜(112)を形成する工程と、

上記第1の絶縁膜(112)上に非晶質半導体膜(121)を形成する工程と、

上記非晶質半導体膜(121)を形成する工程の後、大気開放し、上記非晶質半導体膜を清浄化する工程と、

15 上記非晶質半導体膜(121)上に Si_2H_6 ガス又は SiH_4 ガスの一方若しくは両方を含むガスを導入して半導体核(122)を生成する工程と、

上記非晶質半導体膜(121)の一部及び上記半導体核(122)の一部を熱酸化して第1の酸化膜(124)を形成し、第1の半導体の微粒子(125)を形成する工程と、

上記第1の酸化膜(124)上に第2の導電体膜(116)を形成する工程と

20 を含むことを特徴とするメモリ膜の製造方法。

8. 半導体基板(111)上に第1の絶縁膜(112)を形成する工程と、

上記第1の絶縁膜(112)上に非晶質半導体膜(121)を形成する工程と、

上記非晶質半導体膜(121)を形成する工程の後、大気開放し、上記非晶質半導体膜を清浄化する工程と、

25 上記非晶質半導体膜(121)上に Si_2H_6 ガス又は SiH_4 ガスの一方若しくは両方を含むガスを導入して半導体核(122)を生成する工程と、

上記非晶質半導体膜(121)の一部及び上記半導体核(122)の一部を熱酸化して第1の酸化膜(124)を形成し、第1の半導体の微粒子(125)を形成する工程と、

上記第1の酸化膜(112B)上に第2の導電体の微粒子(115)を形成する工程と、

上記第2の導電体の微粒子(115)表面に第3の絶縁膜(112B)を形成する工程と、
上記第3の絶縁膜(112B)上に第2の導電体膜(116)を形成する工程と
を含むことを特徴とするメモリ膜の製造方法。

9. 半導体基板(111)上に第1の絶縁膜(112)を形成する工程と、

5 上記第1の絶縁膜(112)上に非晶質半導体膜(121)を形成する工程と、

上記非晶質半導体膜(121)を形成する工程の後、大気開放せずに上記非晶質半
導体膜(121)上に Si_2H_6 ガス又は SiH_4 ガス的一方若しくは両方を含むガス
を導入して半導体核(122)を生成する工程と、

10 熱酸化により上記非晶質半導体膜(121)の一部及び上記半導体核(122)の一部を
酸化して第1の酸化膜(124)を形成し、第1の半導体の微粒子(125)を形成する工
程と、

上記第1の酸化膜(124)上に第2の導電体膜(116)を形成する工程と
を含むことを特徴とするメモリ膜の製造方法。

10. 半導体基板(111)上に第1の絶縁膜(112)を形成する工程と、

15 上記第1の絶縁膜(112)上に非晶質半導体膜(121)を形成する工程と、

上記非晶質半導体膜(121)を形成する工程の後、大気開放せずに上記非晶質半
導体膜(121)上に Si_2H_6 ガス又は SiH_4 ガス的一方若しくは両方を含むガス
を導入して半導体核(122)を生成する工程と、

20 熱酸化により上記非晶質半導体膜(121)の一部及び上記半導体核(122)の一部を
酸化して第1の酸化膜(124)を形成し、第1の半導体の微粒子(125)を形成する工
程と、

上記第1の酸化膜(124)上に第2の導電体の微粒子(115)を形成する工程と、

上記第2の導電体(115)の微粒子表面に第3の絶縁膜(112B)を形成する工程と、

上記第3の絶縁膜(112B)上に第2の導電体膜(116)を形成する工程と

25 を含むことを特徴とするメモリ膜の製造方法。

11. 請求項7乃至10のいずれか1つに記載のメモリ膜の製造方法において、

上記非晶質半導体膜(121)上に Si_2H_6 ガス又は SiH_4 ガス的一方若しくは
両方を含むガスを導入して半導体核(122)を生成する工程の後に、大気開放せず
にアニールを行い上記半導体核(122)を成長させる工程を行うことを特徴とする

メモリ膜の製造方法。

1 2. 第1の電極となる半導体基板(111)と、

上記導電体基板(111)上に形成された第1の絶縁膜(112)と、

上記第1の絶縁膜(112)上に形成された第1の導電体膜(113)と、

5 上記第1の導電体膜(113)上に形成された導電体の微粒子(114, 115)を含む第3の絶縁膜(112B)と、

上記第3の絶縁膜(112B)上に形成された第2の電極となる第2の導電体膜(116)と

からなることを特徴とするメモリ膜。

10 1 3. 請求項1 2に記載のメモリ膜において、上記第3の絶縁膜(112B)に含まれる導電体の微粒子(114, 115)の位置は実質的にランダムであることを特徴とするメモリ膜。

1 4. 請求項1 2に記載のメモリ膜において、

上記第3の絶縁膜(112B)に含まれる導電体の微粒子(114, 115)は、

15 上記第1の導電体膜(113)に近接する第1の導電体の微粒子(114)と、

上記第1の半導体の微粒子(114)の斜め上方に隣接する第2の導電体の微粒子(115)とを含み、

上記第1の導電体膜(113)がなす平面上に射影した上記第1の導電体の微粒子(114)の位置は実質的にランダムであることを特徴とするメモリ膜。

20 1 5. 請求項1 4に記載のメモリ膜において、

上記導電体の微粒子(114, 115)の直径もしくは高さをHとし、

上記第1の導電体膜(113)と、上記第1の導電体の微粒子(114)との距離を S_1 とし、

上記第3の絶縁膜(112B)の厚さの平均をWとするとき、

25 $W \leq 2H + S_1$

なる関係を満たすことを特徴とするメモリ膜。

1 6. 請求項1 2に記載のメモリ膜において、

上記半導体基板(111)はシリコン基板であり、

上記第1の導電体膜(113)はシリコンからなり、

上記第 1 及び第 3 の絶縁膜(112, 112B)はいずれもシリコン酸化膜からなり、
上記導電体の微粒子(114, 115)はシリコンからなることを特徴とするメモリ膜。

17. 請求項 12 に記載のメモリ膜において、

上記第 1 の絶縁膜(112)の厚さは 2 nm ~ 5 nm であり、

5 上記導電体の微粒子(114, 115)の直径は 3 nm ~ 7 nm であることを特徴とするメモリ膜。

18. 電界効果型トランジスタのゲート絶縁膜が請求項 12 に記載のメモリ膜からなることを特徴とするメモリ素子。

19. 請求項 18 に記載のメモリ素子において、SOI 基板上に形成されたこと
10 を特徴とするメモリ素子。

20. 請求項 18 に記載のメモリ素子を集積したことを特徴とする半導体集積回路。

21. 半導体基板(17)の表面に、第 1 の方向に蛇行して延びる素子分離領域(16)が上記第 1 の方向に対して垂直な第 2 の方向に関して並んで形成されて、隣
15 り合う素子分離領域の間にそれぞれ上記第 1 の方向に蛇行して延びる活性領域が定められ、

上記各活性領域内の蛇行の各折り返し箇所に、それぞれソース領域またはドレイン領域として働く不純物拡散領域(19)が形成されて、同一の活性領域内で隣り合う上記不純物拡散領域(19)の間にそれぞれチャンネル領域が定められ、

20 上記半導体基板(17)上に、上記第 1 の方向に対して垂直な第 2 の方向にストレートに延びる複数のワード線(11)が、それぞれ請求項 12 に記載のメモリ膜(21)を介して各活性領域内のチャンネル領域上を通るように設けられ、

上記半導体基板(17)上に、上記第 1 の方向にストレートに延びる第 1 のビット線(12)が、同一の活性領域内の蛇行の片側の折り返し箇所に設けられた上記不純物拡散領域(19)上を通るように設けられるとともに、上記第 1 の方向にストレートに延びる第 2 のビット線(13)が、同一の活性領域内で蛇行の他方の側の折り返し箇所に設けられた上記不純物拡散領域(19)上を通るように設けられ、

25 上記第 1 のビット線(12)、第 2 のビット線(13)がそれぞれ直下に存する上記不純物拡散領域(19)とコンタクト孔(14, 15)を介して接続され、

上記半導体基板(17)は表面側にウェル領域(26)を有し、このウェル領域(26)が上記素子分離領域(16)によって区分され、それぞれ第3のビット線を構成していることを特徴とする半導体記憶装置。

22. 半導体基板の表面に、第1の一方向に蛇行して延びる素子分離領域が上記第1の方向に対して垂直な第2の方向に関して並んで形成されて、隣り合う素子分離領域の間にそれぞれ上記第1の方向に蛇行して延びる活性領域が定められ、

上記各活性領域内の蛇行の各折り返し箇所に、それぞれソース領域またはドレイン領域として働く不純物拡散領域が形成されて、同一の活性領域内で隣り合う上記不純物拡散領域の間にそれぞれチャンネル領域が定められ、

10 上記半導体基板上に、上記第1の方向に対して垂直な第2の方向にストレートに延びる複数のワード線が、それぞれ請求項12に記載のメモリ膜を介して各活性領域内のチャンネル領域上を通るように設けられ、

上記半導体基板上に、上記第1の方向にストレートに延びる第1のビット線が、同一の活性領域内の蛇行の片側の折り返し箇所に設けられた上記不純物拡散領域上を通るように設けられるとともに、上記第1の方向にストレートに延びる第2のビット線が、同一の活性領域内で蛇行の他方の側の折り返し箇所に設けられた上記不純物拡散領域上を通るように設けられ、

上記第1のビット線、第2のビット線がそれぞれ直下に存する上記不純物拡散領域とコンタクト孔を介して接続され、

20 上記半導体基板として、絶縁体(35)上にシリコンからなるボディ(36)を有するSOI基板(160)を備え、このSOI基板のボディが上記活性領域を構成することを特徴とする半導体記憶装置。

23. 請求項21又は22に記載の半導体記憶装置において、

25 上記ワード線(11)のうち上記チャンネル領域上に存する部分がゲート電極を構成することを特徴とする半導体記憶装置。

24. 請求項21又は22に記載の半導体記憶装置において、

書き込み時及び消去時において、

選択されたメモリセルにおいて、上記ワード線(11)と上記第3のビット線との間の電位差の絶対値 V が $V = V_{DD}$ であるとき、

選択ワード線もしくは選択ビット線のどちらか一方にのみ接続されているメモリセルにおいて、 $V_{DD}/3 \leq V < V_{DD}/2$ となることを特徴とする半導体記憶装置。

- 5 25. 請求項21又は22に記載の半導体記憶装置と、ロジック回路とを混載したことを特徴とする半導体集積回路。
26. 請求項20に記載の半導体集積回路を具備したことを特徴とする携帯電子機器。
27. 請求項25に記載の半導体集積回路を具備したことを特徴とする携帯電子機器。

Fig. 1A

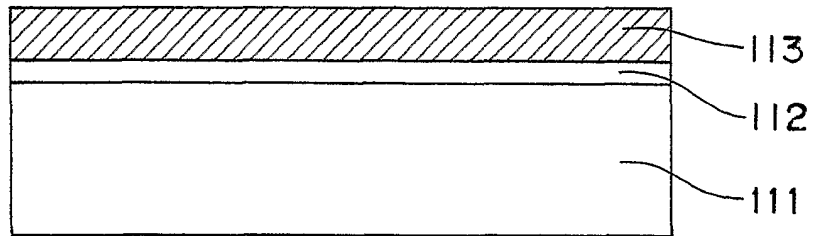


Fig. 1B

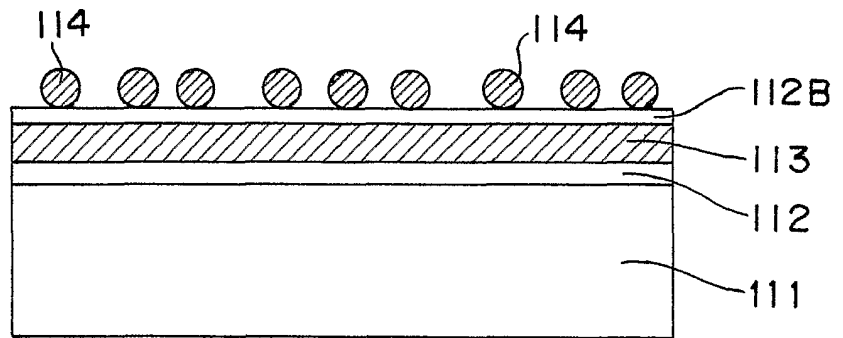


Fig. 1C

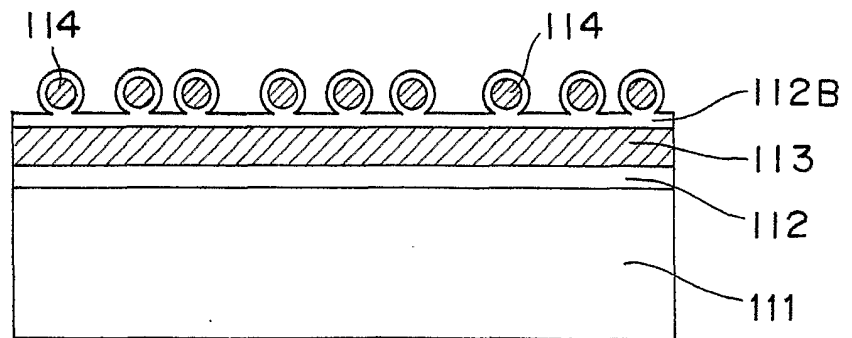


Fig. 1D

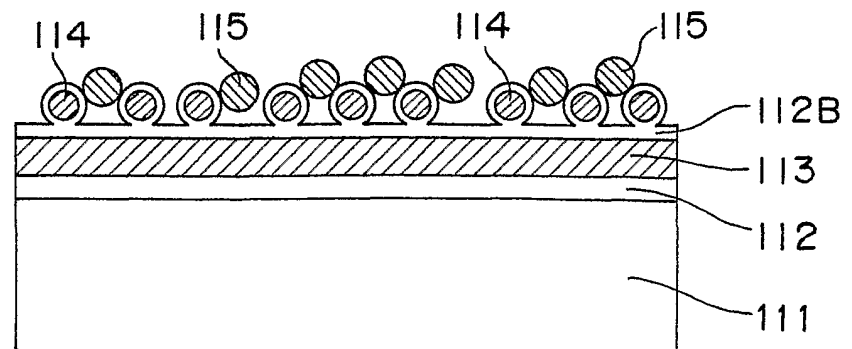


Fig. 2E

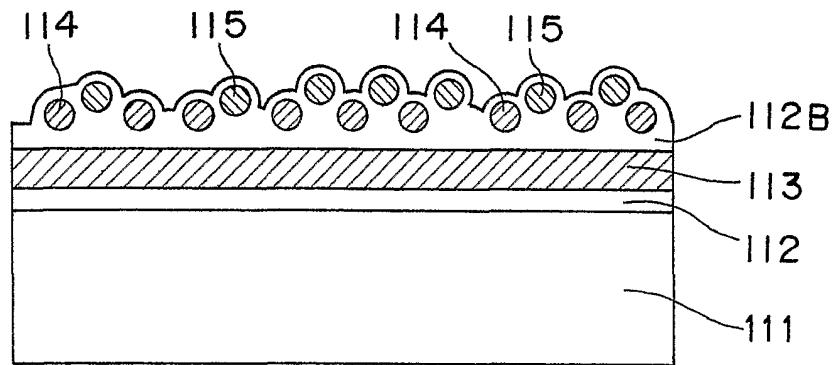


Fig. 2F

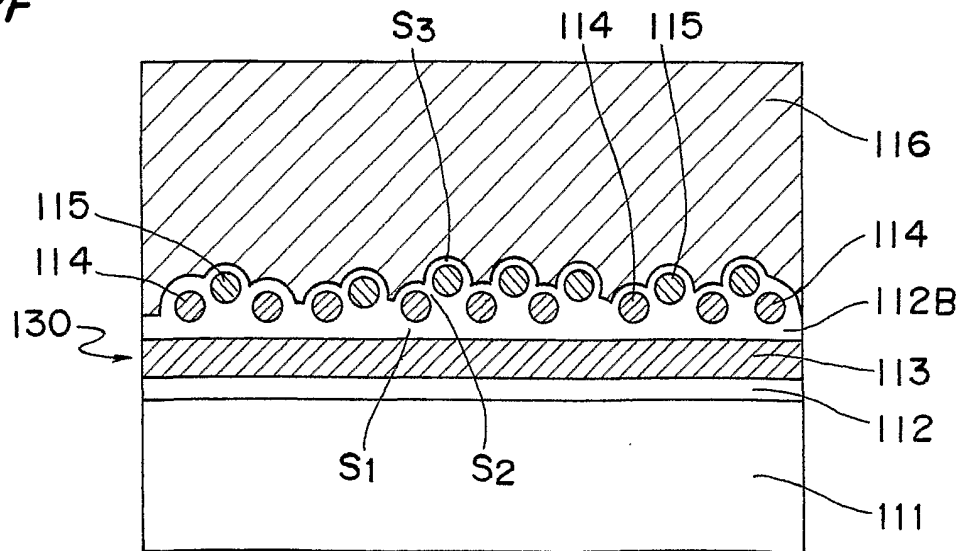


Fig. 3

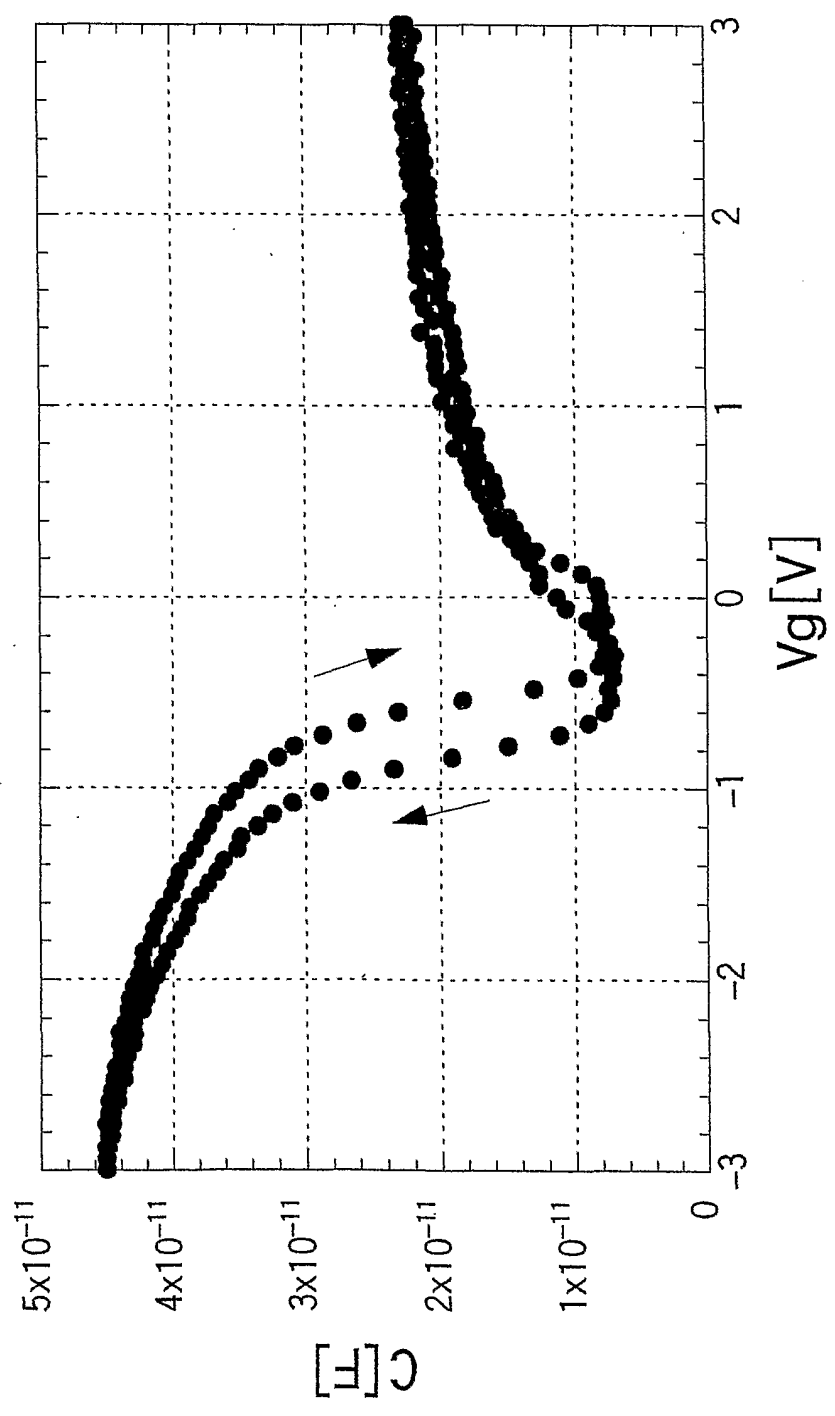


Fig.4

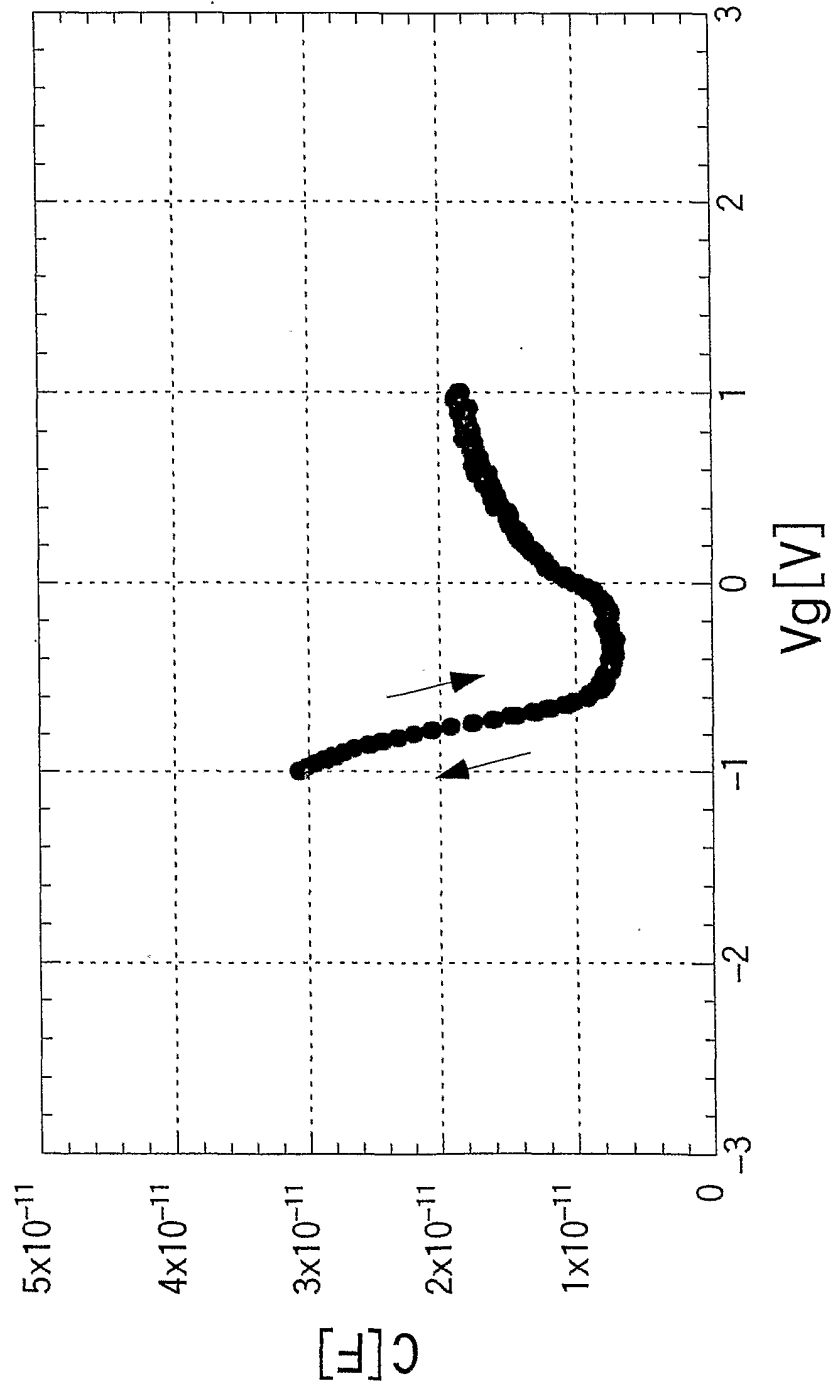


Fig. 5A

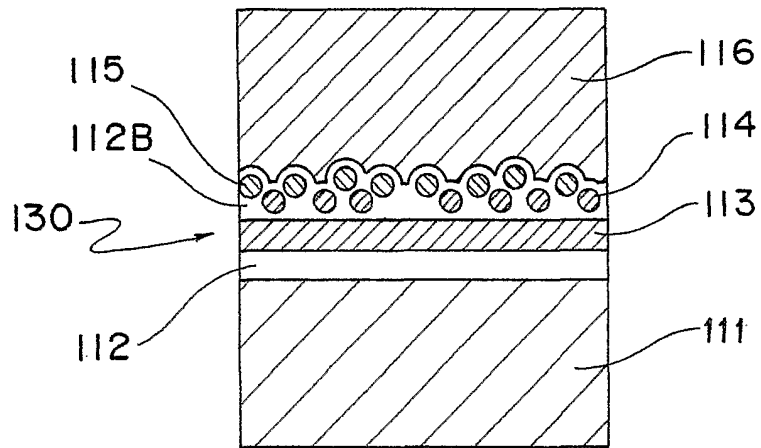


Fig. 5B

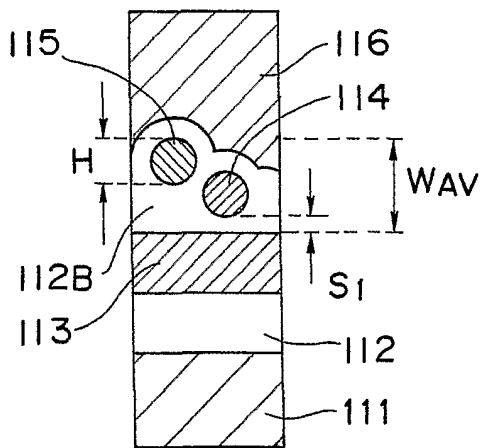


Fig. 6A

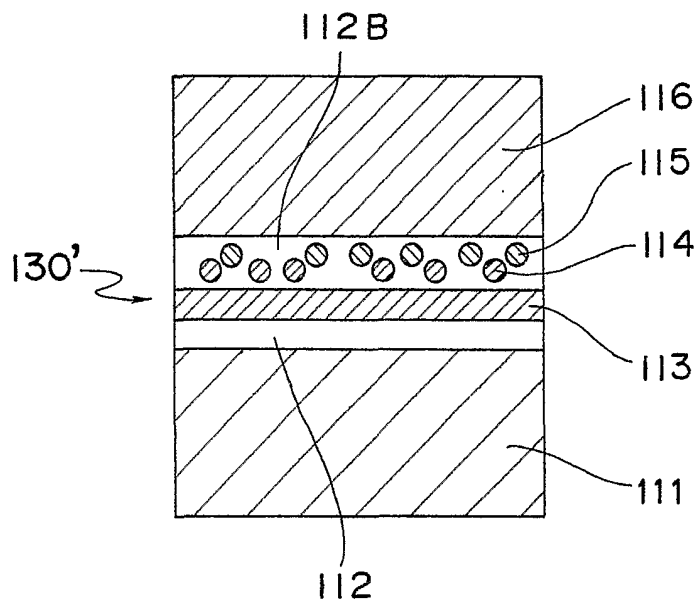


Fig. 6B

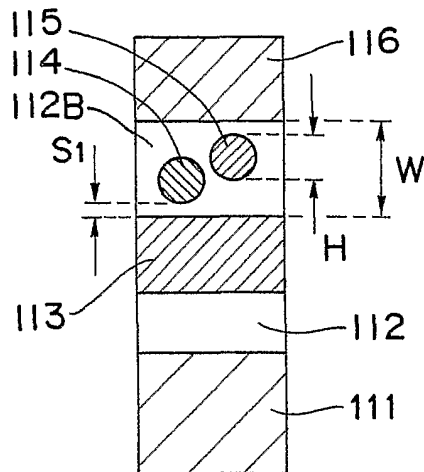


Fig. 7

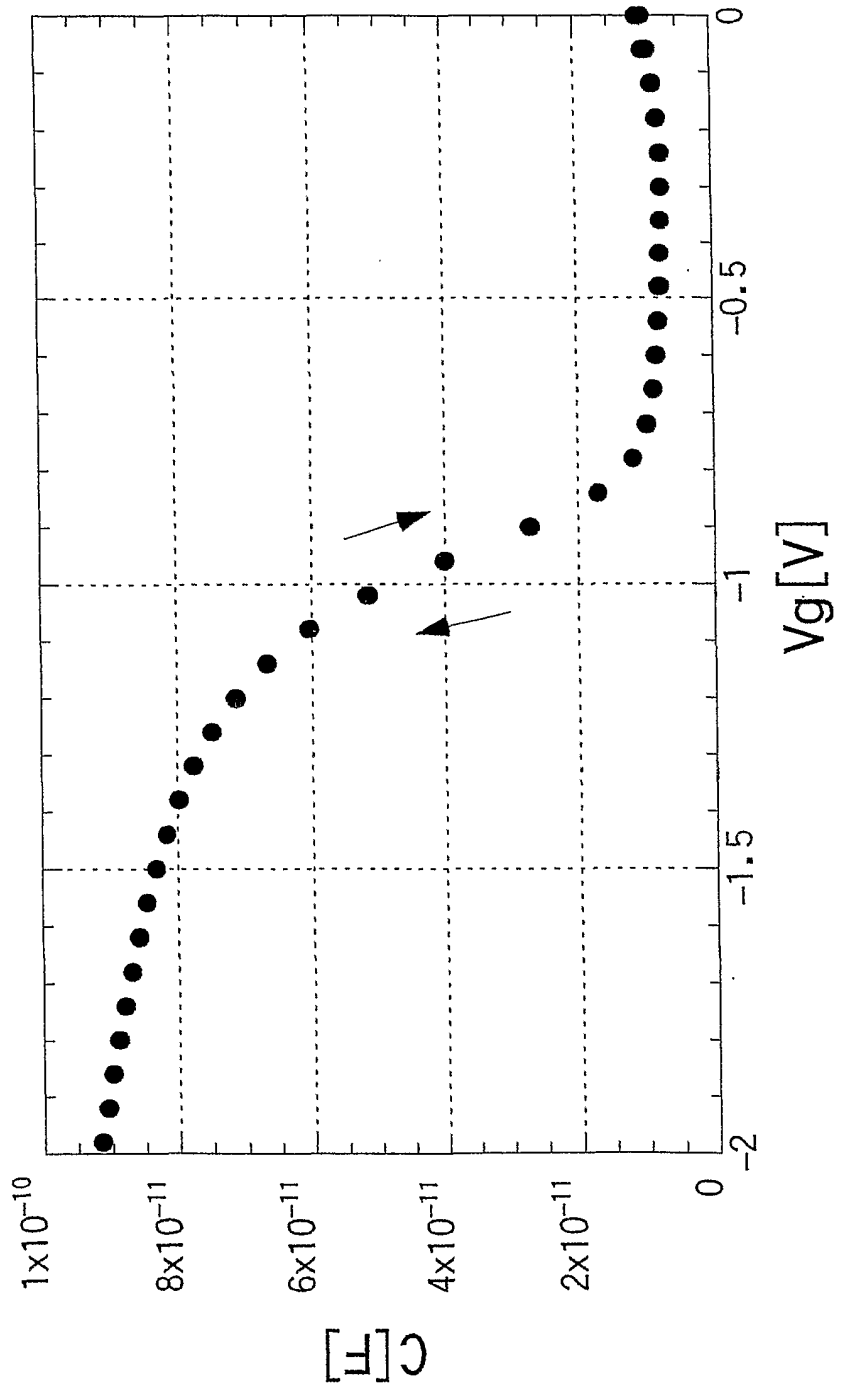


Fig. 8

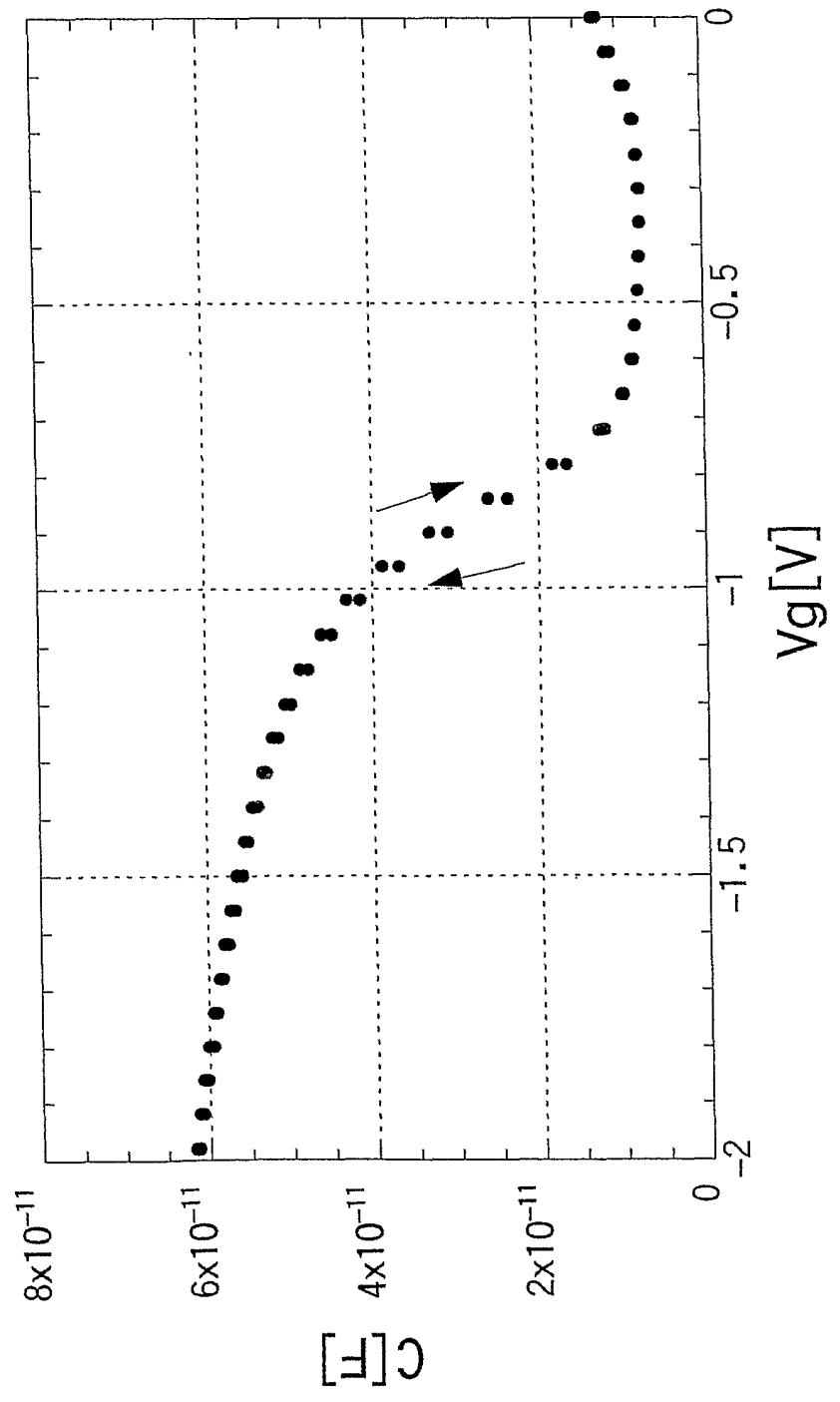


Fig. 9

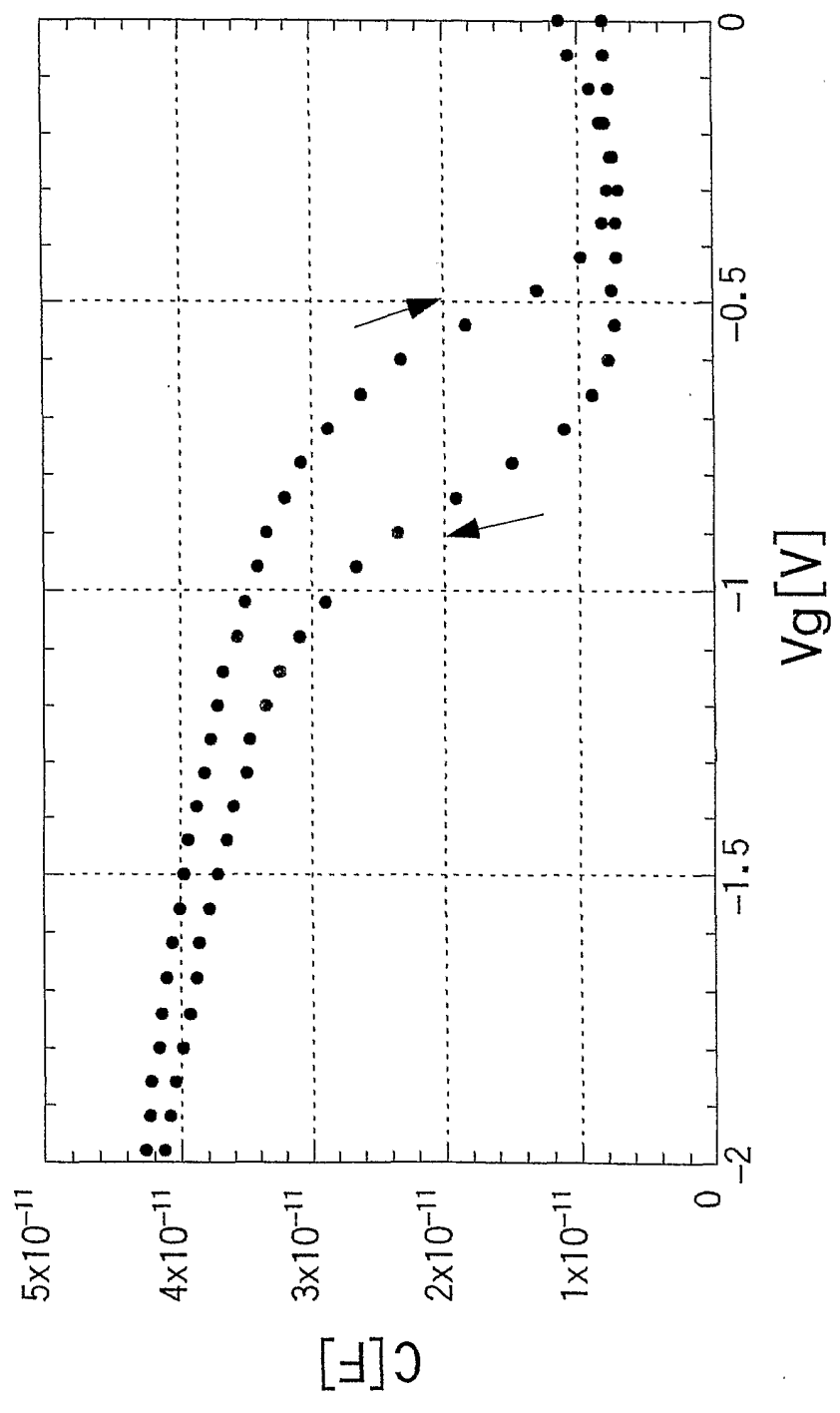


Fig.10A

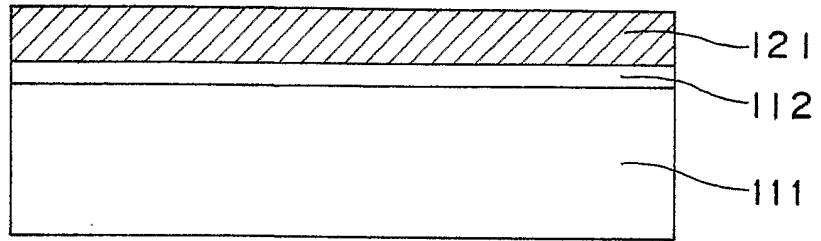


Fig.10B

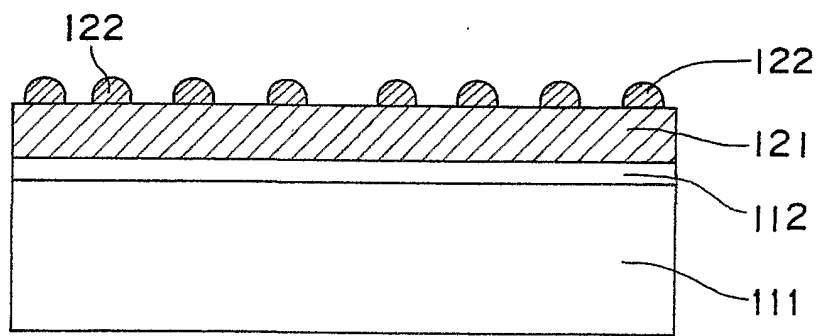


Fig.10C

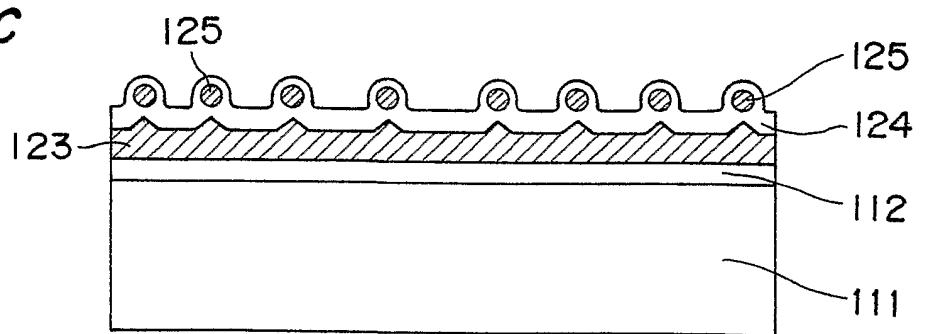


Fig. 11

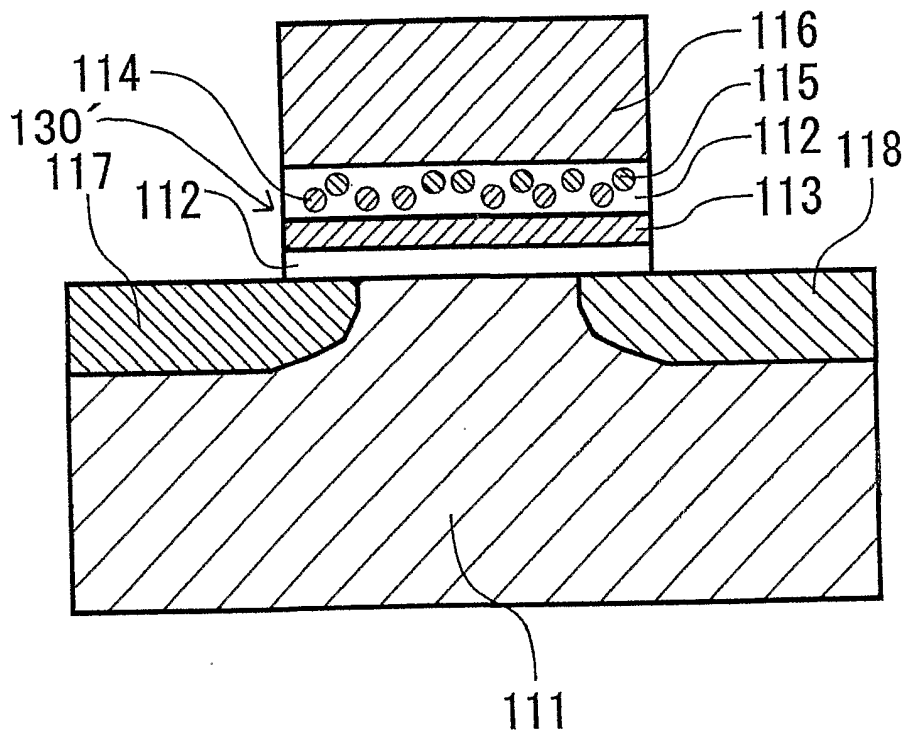


Fig. 12

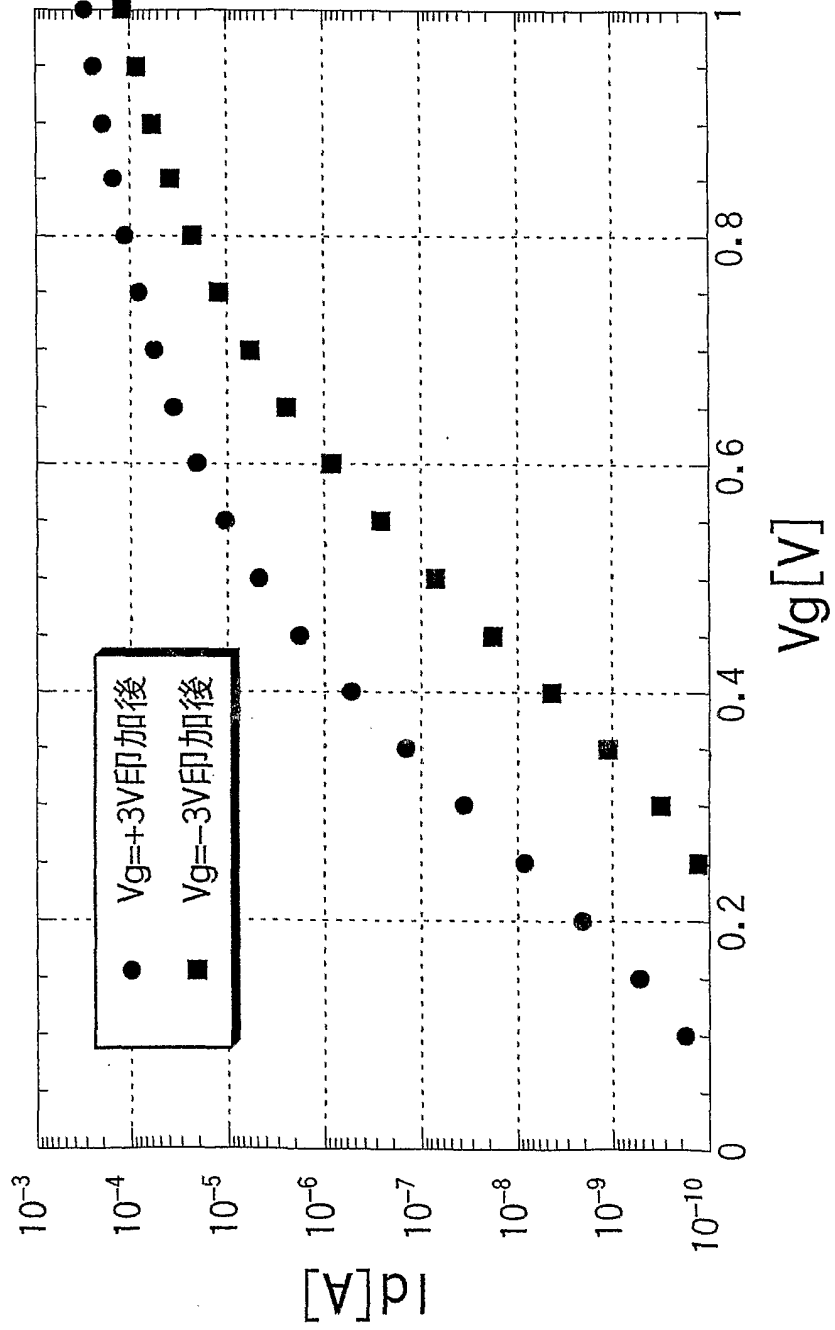


Fig. 13

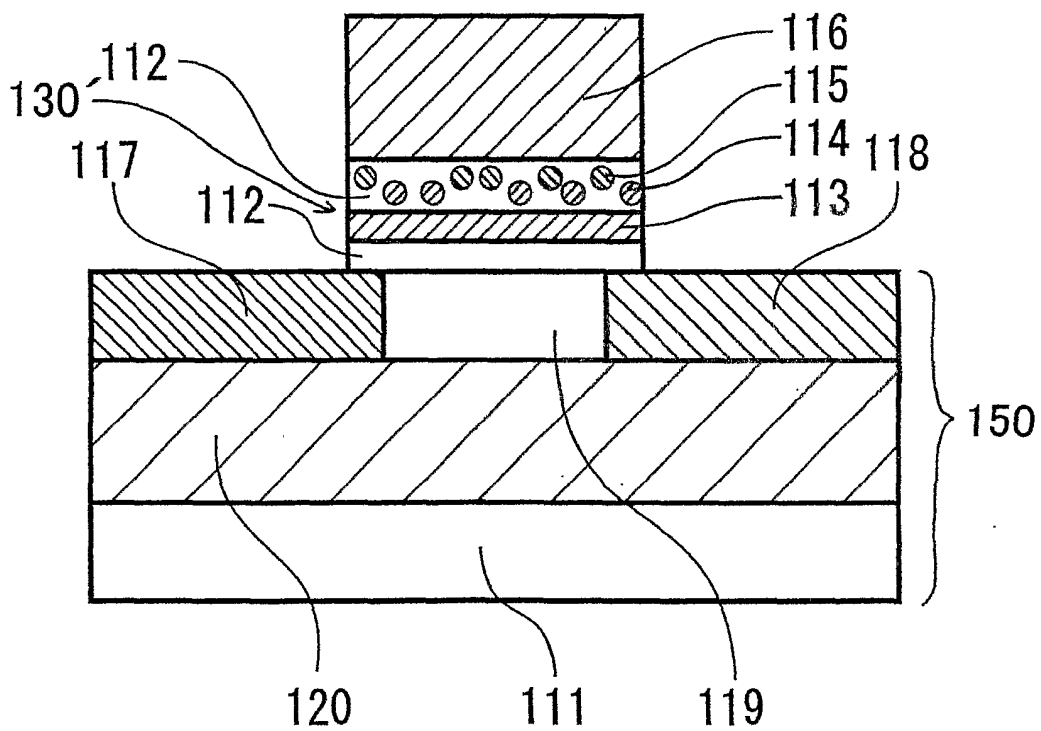


Fig. 14

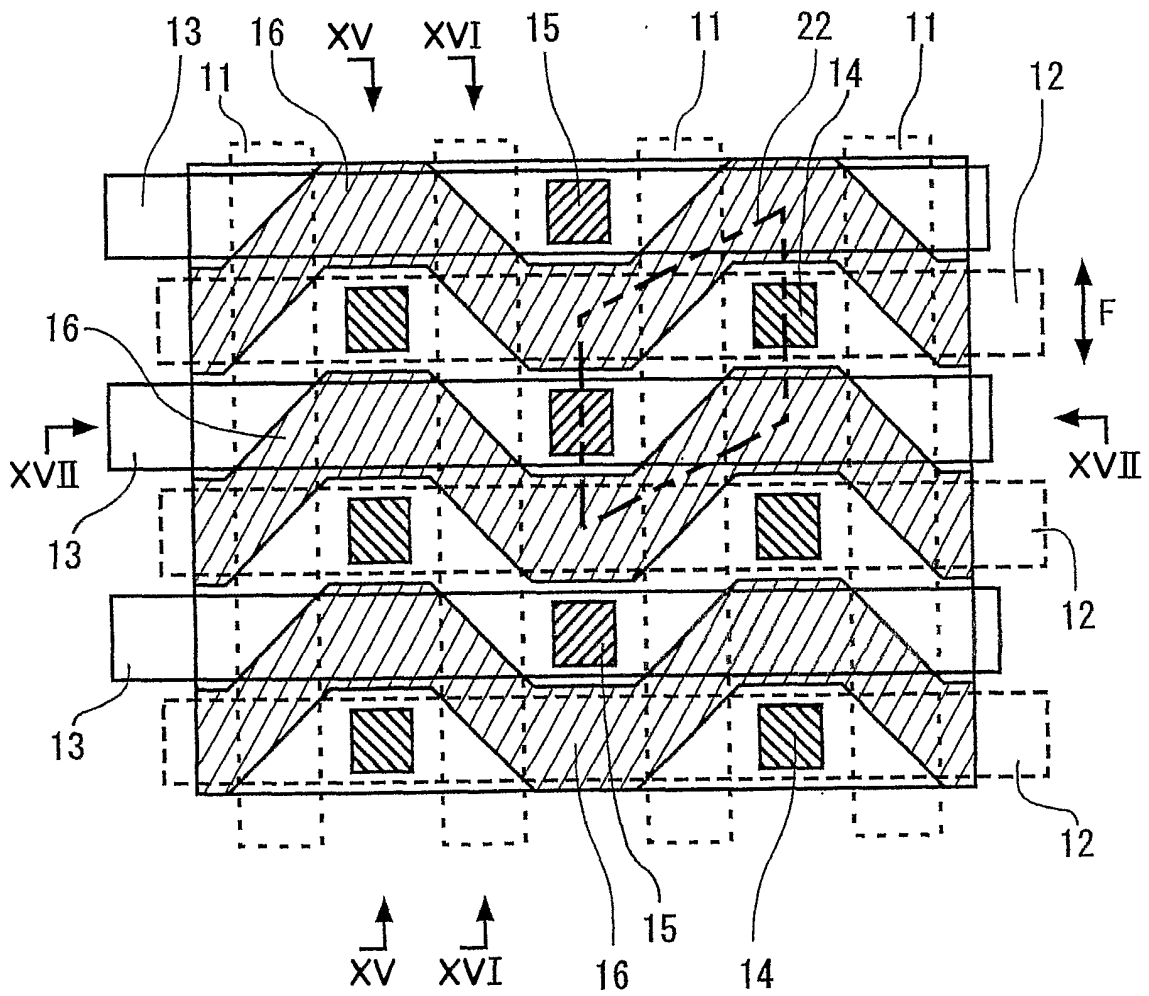


Fig. 15

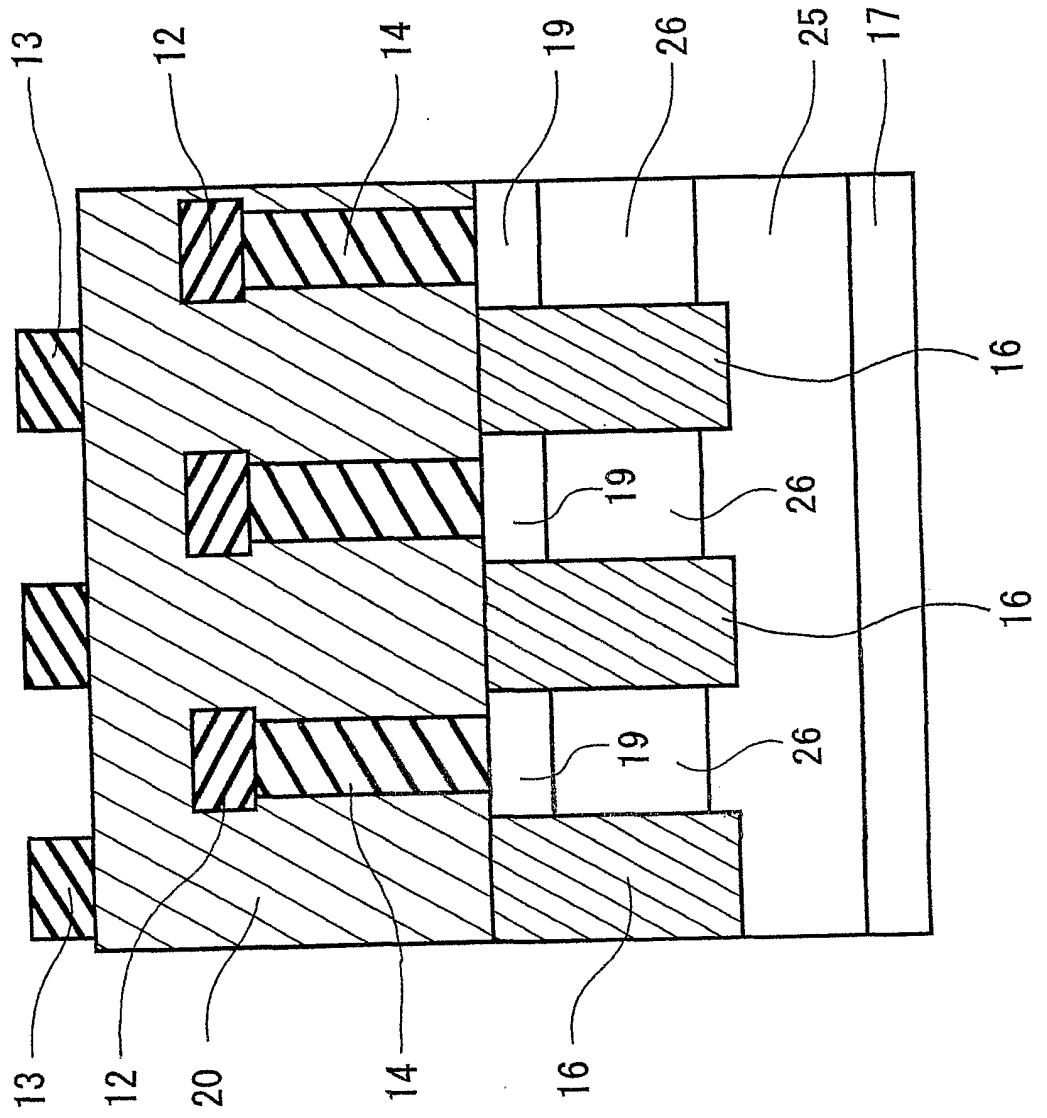


Fig. 16

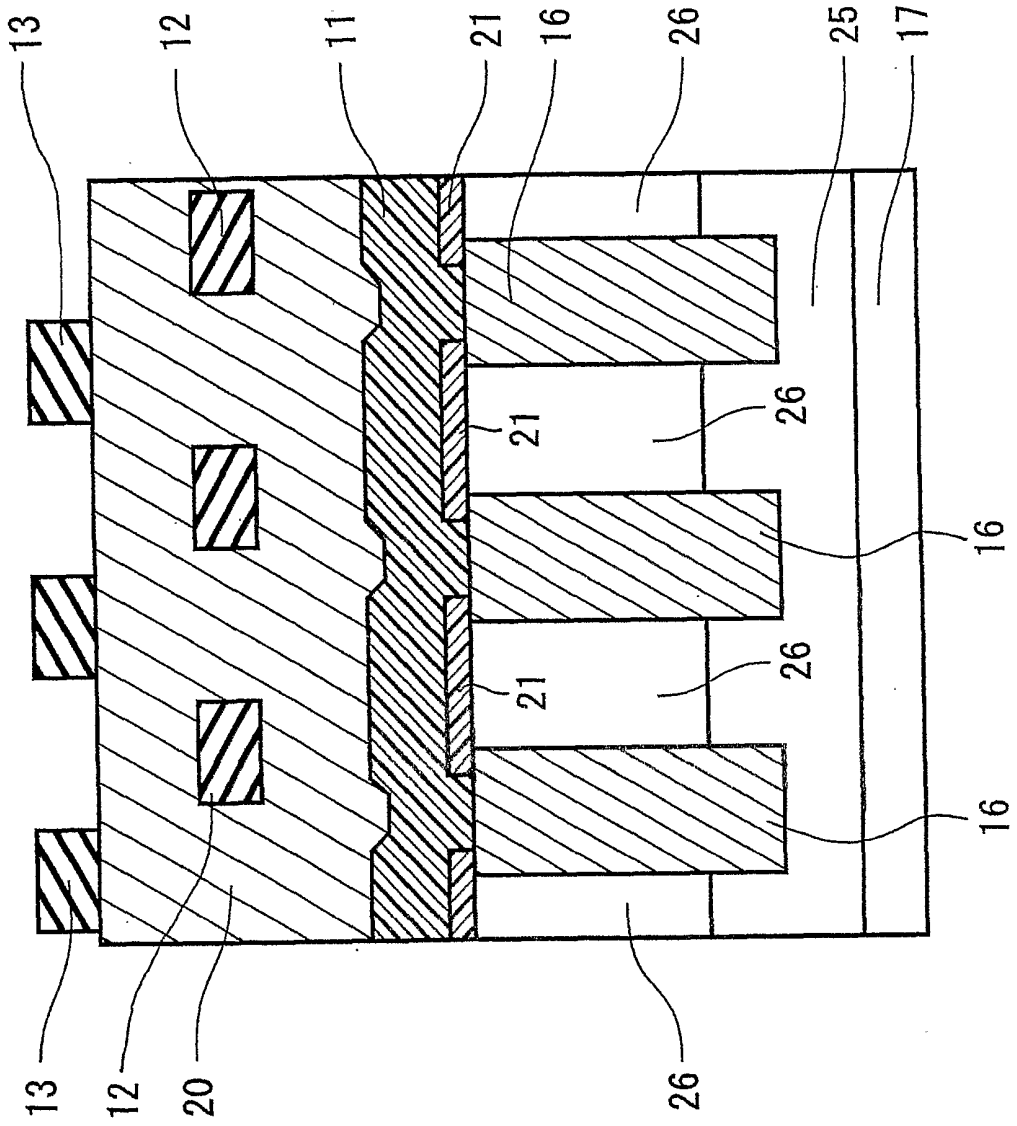


Fig. 17

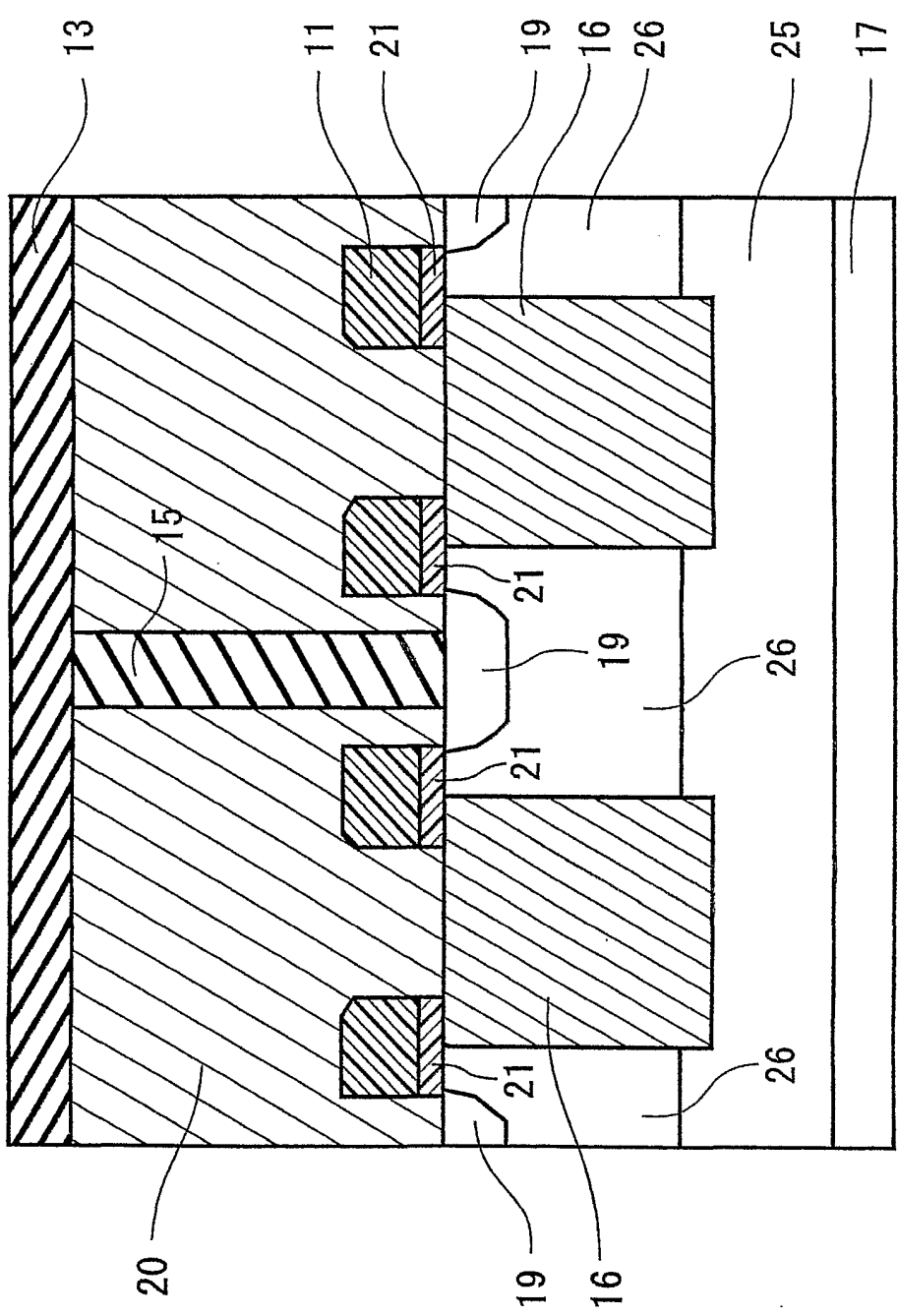


Fig. 18

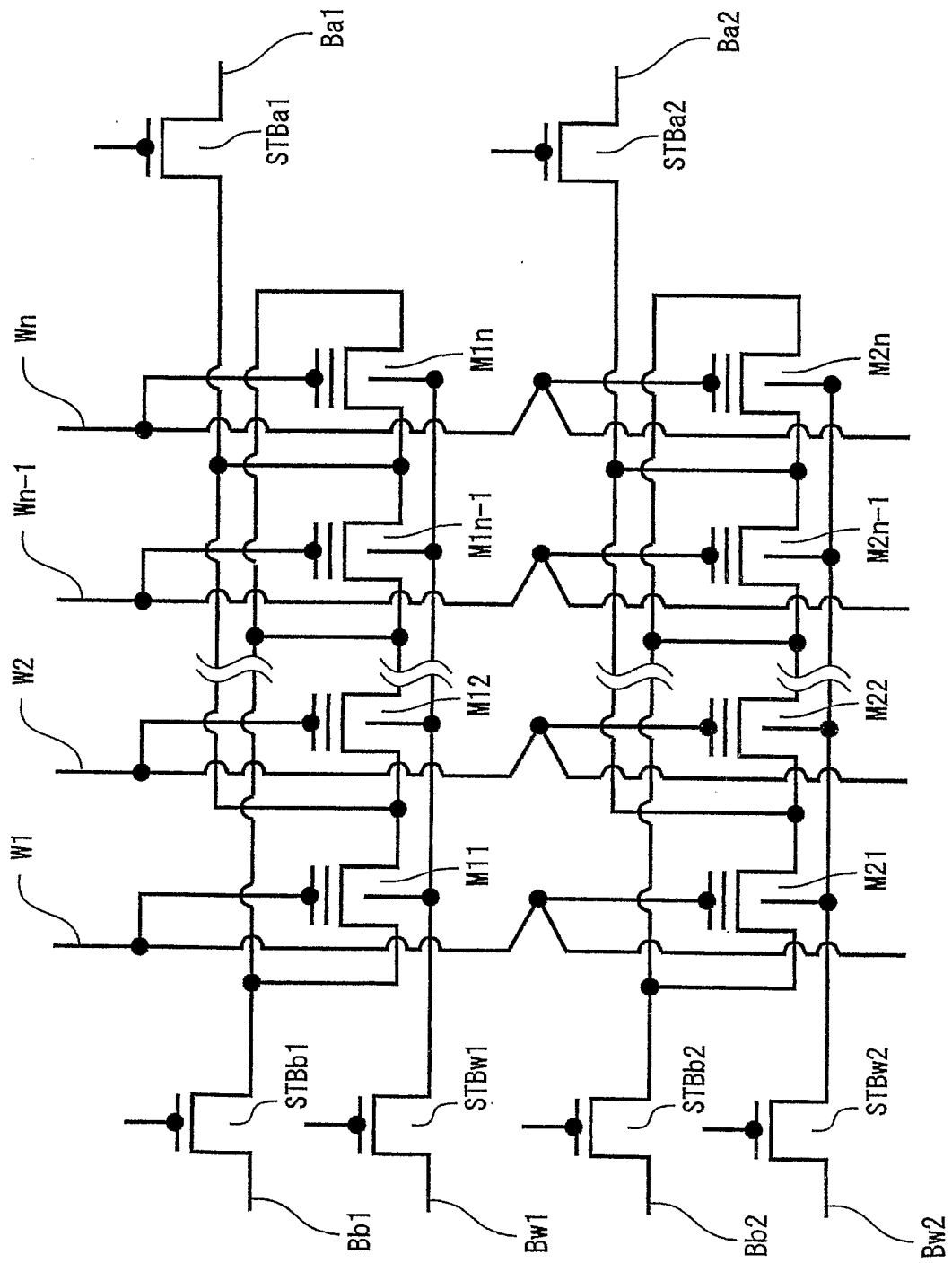


Fig. 19

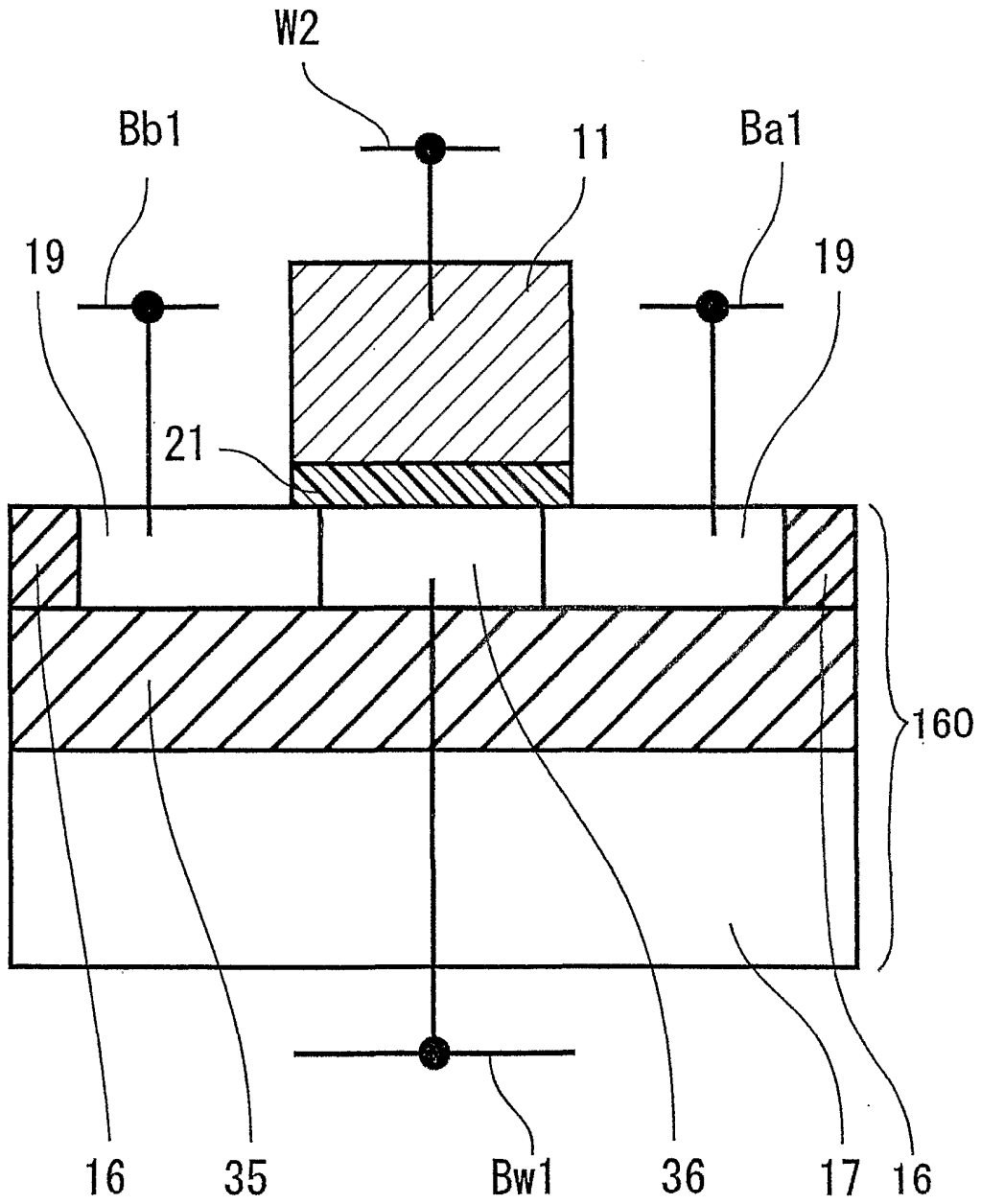
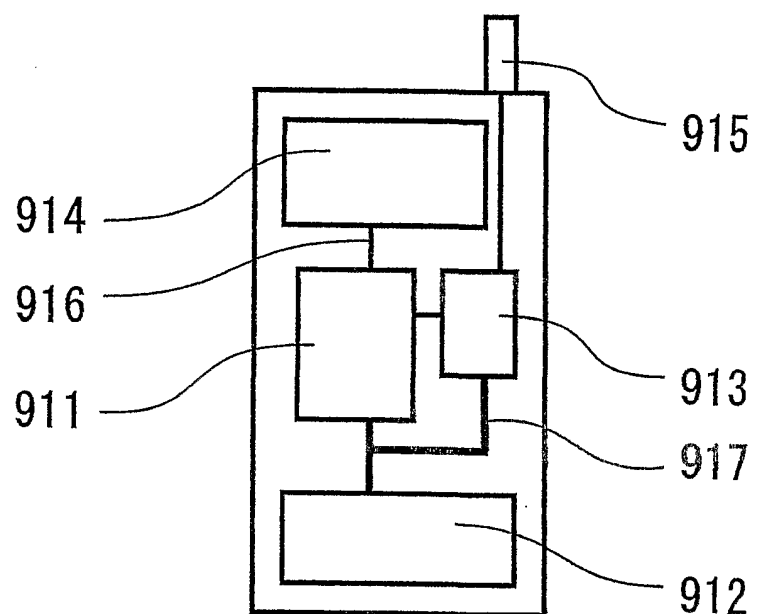


Fig. 20



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/01185

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L29/788, 29/792, 27/115, 21/8247

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L29/788, 29/792, 27/115, 21/8247

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2002
Kokai Jitsuyo Shinan Koho 1971-2002 Toroku Jitsuyo Shinan Koho 1994-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

JOIS, The IEEE/IEE Electronic Library Online

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 99/33120 A (Commissariat a l' Energie Atomique), 01 July, 1999 (01.07.99), Full text	1, 6, 12-14, 16-18, 20, 26
Y	Full text & EP 1042818 A & FR 2772989 A	2-5, 7, 8, 11, 15, 19, 21-25, 27
Y A	US 6090666 A (Sharp Kabushiki Kaisha), 18 July, 2000 (18.07.00), (Second Embodiment); Figs. 4A to 4F (Second Embodiment); Figs. 4A to 4F & JP 11-111867 A & TW 408473 B	2, 4-8, 11 1-3, 9-10, 12-27

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
---	--

Date of the actual completion of the international search 13 May, 2002 (13.05.02)	Date of mailing of the international search report 28 May, 2002 (28.05.02)
--	---

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/01185

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	EP 311773 A (International Business Machines Corp.), 19 April, 1989 (19.04.89), Figs. 6, 7 & US 4870470 A & JP 01-115165 A & DE 3885408 T	21-27 1-20
A	International Electron Devices Meeting, 1995 pages 521 to 524; full text	1-27
A	IEEE Transactions on Electron Devices, Vol.43, No.9, September 1996, pages 1553 to 1558; full text	1-27
A	Applied Physics Letters, Vol.68, No.10, 04 March, 1996 (04.03.96), pages 1377 to 1379; full text	1-27

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L29/788, 29/792, 27/115, 21/8247

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L29/788, 29/792, 27/115, 21/8247

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2002年
日本国実用新案登録公報	1996-2002年
日本国登録実用新案公報	1994-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

JOIS, The IEEE/IEE Electronic Library Online

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	WO 99/33120 A (Commissariat a l'Energie Atomique) 1999.07.01 全文	1, 6, 12-14, 16-18, 20, 26
Y	全文	2-5, 7, 8, 11, 15, 19, 21-25, 27
	&EP 1042818 A & FR 2772989 A	

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
- 「O」 口頭による開示、使用、展示等に言及する文献
- 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」 同一パテントファミリー文献

国際調査を完了した日

13.05.02

国際調査報告の発送日

28.05.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

井原 純



4M 9354

電話番号 03-3581-1101 内線 3462

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	US 6090666 A (Sharp Kabushiki kaisha) 2000.07.18 (second Embodiment)及び図4A~4F	2,4-8,11
A	(second Embodiment)及び図4A~4F &JP 11-111867 A&TW 408473 B	1-3,9-10,12-27
Y	EP 311773 A (International Business Machines Corporation) 1989.04.19 図6,7	21-27
A	図6,7 &US 4870470 A&JP 01-115165 A &DE 3885408 T	1-20
A	International Electron Devices Meeting, 1995 p.521-524 全文	1-27
A	IEEE Transactions on Electron Devices, Vol. 43, No. 9, September 1996 p.1553-1558 全文	1-27
A	Applied Physics Letters, Vol. 68, No. 10, 4 March 1996 p.1377-1379 全文	1-27