



(12) 发明专利申请

(10) 申请公布号 CN 104319284 A

(43) 申请公布日 2015.01.28

(21) 申请号 201410578050.8

(22) 申请日 2014.10.24

(71) 申请人 硅力杰半导体技术(杭州)有限公司

地址 310012 浙江省杭州市西湖区文三路  
90号东部软件园科技大厦A1501

(72) 发明人 廖忠平

(51) Int. Cl.

H01L 29/06(2006.01)

H01L 29/78(2006.01)

H01L 21/336(2006.01)

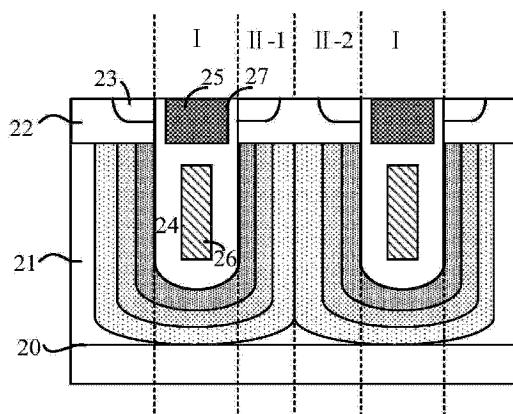
权利要求书1页 说明书6页 附图3页

(54) 发明名称

一种半导体器件结构及其制造方法

(57) 摘要

本发明公开了一种半导体器件结构及其制造方法，通过对第二柱状区的横向变掺杂的方式，使得半导体器件在满足低导通电阻的情况下，耐压性能也得到提高，具有低导通电阻高耐压的有益效果。本发明的半导体器件结构可应用于沟槽填充工艺制造的金属氧化物场效应晶体管中。



1. 一种半导体器件结构,包括:

第一掺杂类型的第一半导体层;

位于第一半导体层上的第一掺杂类型的第二半导体层;

位于第二半导体层中的相互隔开的第一柱状区和第二柱状区,每两个相邻的第一柱状区之间为所述第二柱状区,

其中,所述第二柱状区包括横向排列的第一子柱状区和第二子柱状区,所述第一子柱状区的掺杂浓度为从第一柱状区至第二子柱状区的方向浓度从高到低变化,所述第二子柱状区的掺杂浓度为从第一柱状区至第一子柱状区的方向浓度从高到低变化。

2. 根据权利要求1所述的半导体器件结构,包括,所述第一子柱状区的掺杂浓度从高到低变化趋势呈阶梯状;所述第二子柱状区的掺杂浓度从高到低变化趋势呈阶梯状。

3. 根据权利要求1所述的半导体器件结构,包括,所述第一子柱状区的掺杂浓度从高到低变化趋势呈线性变化;所述第二子柱状区的掺杂浓度从高到低变化趋势呈线性变化。

4. 根据权利要求1所述的半导体器件结构,包括,

第二掺杂类型的体区,位于第二半导体层中;

第一掺杂类型的源区,位于体区中;

第一掺杂类型的漏区,位于所述第一半导体层的底部;

5. 根据权利要求4所述的半导体器件结构,包括,所述第一柱状区为第二掺杂类型的柱状区。

6. 根据权利要求4所述的半导体器件结构,包括,所述第一柱状区为从第二半导体层上方延伸进入其内部的沟槽,所述沟槽通过绝缘层和栅极导体填充。

7. 一种半导体器件的制造方法,包括,

在第一掺杂类型的第一半导体层上形成第一掺杂类型的第二半导体层,其中,所述第二半导体层相对于所述第一半导体层轻掺杂;

形成从第二半导体层上方进入其内部的第一柱状区;

从第一柱状区的上开口处以一定倾斜角度向所述第二半导体层的剩余区域注入第一掺杂类型,以热推结方式形成浓度从高到低变化的第二柱状区;

其中,所述第二柱状区包括第一子柱状区和第二子柱状区,所述第一子柱状区的掺杂浓度为从第一柱状区至第二子柱状区的方向浓度从高到低变化,所述第二子柱状区的掺杂浓度为从第一柱状区至第一子柱状区的方向浓度从高到低变化。

8. 根据权利要求7所述的半导体器件的方法,包括,所述第一柱状区为第二掺杂类型的柱状区。

9. 根据权利要求7所述的半导体器件结构,包括,所述第一柱状区为从第二半导体层上方延伸进入其内部的沟槽,所述沟槽通过绝缘层和栅极导体填充。

## 一种半导体器件结构及其制造方法

### 技术领域

[0001] 本发明一般地涉及半导体技术领域。更具体地，涉及一种半导体器件结构及其制造方法。

### 背景技术

[0002] 功率开关可以是半导体器件，包括金属氧化物半导体场效应晶体管（MOSFET）和绝缘栅双极晶体管（IGBT）等。其中，MOSFET 管可以具有横向结构和垂直结构，在垂直结构中，在半导体衬底的一侧形成源区，另一侧形成漏区，栅极导体延伸至半导体衬底的内部，与半导体衬底之间由栅极电介质隔开。

[0003] 在垂直结构的 MOSFET 的基础上，为了进一步减小器件的导通电阻，开发了一种沟槽 MOSFET，参考图 1 所示为现有技术的半导体器件结构的截面图；沟槽 MOSFET 包括位于半导体衬底 10 中的外延半导体层 11，位于外延半导体层中的沟槽 12 和漂移区 13，所述漂移区与所述沟槽相邻接，沟槽从所述外延半导体层的上方向内延伸，终止于所述外延半导体层中。

[0004] 在现有技术中，参考图 1 所示为现有技术的半导体器件结构的截面图；漂移区 13 的掺杂通常采用均匀掺杂的方式进行掺杂，即是所有漂移区的掺杂浓度均匀，这种掺杂方式为了获得较低的导通电阻，会使得掺杂浓度较高，但较高的掺杂浓度会使得耗尽层弯曲，容易击穿，如图 1 中的耗尽层 15 所示，从而使得器件的耐压性降低。

### 发明内容

[0005] 有鉴于此，本发明提出了一种半导体器件结构及其制造方法，以解决现有技术中低导通电阻而导致的耗尽层容易被击穿的问题。

[0006] 根据本发明的一方面，提供一种半导体器件结构，包括，

[0007] 第一掺杂类型的第一半导体层；

[0008] 位于第一半导体层上的第一掺杂类型的第二半导体层；

[0009] 位于第二半导体层中的相互隔开的第一柱状区和第二柱状区，每两个相邻的第一柱状区之间为所述第二柱状区，

[0010] 其中，所述第二柱状区包括横向排列的第一子柱状区和第二子柱状区，所述第一子柱状区的掺杂浓度为从第一柱状区至第二子柱状区的方向浓度从高到低变化，所述第二子柱状区的掺杂浓度为从第一柱状区至第一子柱状区的方向浓度从高到低变化。

[0011] 优选的，所述第一子柱状区的掺杂浓度从高到低变化趋势呈阶梯状；所述第二子柱状区的掺杂浓度从高到低变化趋势呈阶梯状。

[0012] 优选的，所述第一子柱状区的掺杂浓度从高到低变化趋势呈线性变化；所述第二子柱状区的掺杂浓度从高到低变化趋势呈线性变化。

[0013] 进一步的，半导体器件结构还包括：第二掺杂类型的体区，位于第二半导体层中；第一掺杂类型的源区，位于体区中；第一掺杂类型的漏区，位于所述第一半导体层的底部；

- [0014] 优选的，所述第一柱状区为第二掺杂类型的柱状区。
- [0015] 优选的，所述第一柱状区为从第二半导体层上方延伸进入其内部的沟槽，所述沟槽通过绝缘层和栅极导体填充。
- [0016] 根据本发明的另一方面的一种半导体器件的制造方法，包括，
- [0017] 在第一掺杂类型的第一半导体层上形成第一掺杂类型的第二半导体层，其中，所述第二半导体层相对于所述第一半导体层轻掺杂；
- [0018] 形成从第二半导体层上方进入其内部的第一柱状区；
- [0019] 从第一柱状区的上开口处以一定倾斜角度向所述第二半导体层的剩余区域注入第一掺杂类型，以热推结方式形成浓度从高到低变化的第二柱状区；
- [0020] 其中，所述第二柱状区包括第一子柱状区和第二子柱状区，所述第一子柱状区的掺杂浓度为从第一柱状区至第二子柱状区的方向浓度从高到低变化，所述第二子柱状区的掺杂浓度为从第一柱状区至第一子柱状区的方向浓度从高到低变化。
- [0021] 优选的，所述第一柱状区为第二掺杂类型的柱状区。
- [0022] 优选的，所述第一柱状区为从第二半导体层上方延伸进入其内部的沟槽，所述沟槽通过绝缘层和栅极导体填充。
- [0023] 综上所述，依据本发明的一种半导体器件结构及其制造方法，通过对第二柱状区的横向变掺杂的方式，使得半导体器件在满足低导通电阻的情况下，耐压性能也较好，具有低导通电阻高耐压的有益效果。

## 附图说明

[0024] 为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据提供的附图获得其他的附图。

- [0025] 图 1 所示为现有技术的半导体器件结构的截面图；
- [0026] 图 2A 所示为依据本发明的半导体器件结构的截面图；
- [0027] 图 2B 所示为第二柱状区的一实施例的浓度变化示意图；
- [0028] 图 2C 所示为第二柱状区的另一实施例的浓度变化示意图；
- [0029] 图 3 所示为依据本发明的又一实施例的半导体器件结构的截面图；
- [0030] 图 4 所示为依据本发明的另一实施例的半导体器件结构的截面图；

## 具体实施方式

[0031] 以下结合附图对本发明的几个优选实施例进行详细描述，但本发明并不仅仅限于这些实施例。本发明涵盖任何在本发明的精髓和范围上做的替代、修改、等效方法以及方案。为了使公众对本发明有彻底的了解，在以下本发明优选实施例中详细说明了具体的细节，而对本领域技术人员来说没有这些细节的描述也可以完全理解本发明。

[0032] 应当理解，在描述器件的结构时，当将一层、一个区域称为位于另一层、另一个区域“上面”或“上方”时，可以指直接位于另一层、另一个区域上面，或者在其与另一层、另一个区域之间还包含其它的层或区域。并且，如果将器件翻转，该一层、一个区域将位于另一

层、另一个区域“下面”或“下方”。

[0033] 如果为了描述直接位于另一层、另一个区域上面的情形，本文将采用“A直接在B上面”或“A在B上面并与之邻接”的表述方式。在本申请中，“A直接位于B中”表示A位于B中，并且A与B直接邻接，而非A位于B中形成的掺杂区中。

[0034] 在本申请中，术语“半导体结构”指在制造半导体器件的各个步骤中形成的整个半导体结构的统称，包括已经形成的所有层或区域。术语“横向延伸”是指沿着大致垂直于沟槽深度方向的方向延伸。

[0035] 在下文中描述了本发明的许多特定的细节，例如器件的结构、材料、尺寸、处理工艺和技术，以便更清楚地理解本发明。但正如本领域的技术人员能够理解的那样，可以不按照这些特定的细节来实现本发明。

[0036] 参见图2A所示为依据本发明的半导体器件结构的截面图；在本实施例中，第一柱状区为从外延半导体层上方延伸进入其内部的沟槽；所述第二柱状区为第一掺杂类型的漂移区。

[0037] 具体的，半导体衬底20例如由硅组成，并且是第一掺杂类型的。在本实施例中，第一掺杂类型是N型掺杂，第二掺杂类型是P型掺杂。为了形成N型半导体层或区域，可以在半导体层和区域中注入N型掺杂剂（例如P、As）。为了形成P型半导体层或区域，可以在半导体层和区域中掺入P型掺杂剂（例如B）。在一个示例中，半导体衬底20是N<sup>+</sup>掺杂的。

[0038] 第一掺杂类型的外延半导体层21（即第二半导体层）位于半导体衬底20（即第一半导体层）的表面上。外延半导体层21例如由硅组成。外延半导体层21相对于半导体衬底20是轻掺杂层。在一个示例中，外延半导体层21是N<sup>-</sup>掺杂的。并且，在本发明实施例中，外延半导体层21较现有技术中的掺杂浓度也相对较低。

[0039] 沟槽从外延半导体层21的上方延伸进入其内部。在图2A所示的实施例中，沟槽终止于外延半导体层21中。在本实施例中，所述沟槽的底部与所述外延半导体层的底部相平。然而，在替代的实施例中，沟槽可以穿过外延半导体层21，终止于半导体衬底20中。体区22和源区23分别与沟槽相邻接。

[0040] 在沟槽下部填充导电材料，形成屏蔽导体26，屏蔽导体26与外延半导体层21之间由绝缘层隔开，所述绝缘层包括至少一个氧化物层和至少一个氮化物层。在一个示例中，屏蔽导体26由掺杂多晶硅组成。

[0041] 在沟槽上部的侧壁，形成栅极电介质27。在一个示例中，栅极电介质27是厚度约25-150纳米的氧化物层（例如，氧化硅）。在沟槽上部填充导电材料，形成栅极导体25。栅极导体25与外延半导体层21之间由栅极电介质27隔开。在一个示例中，栅极导体25由掺杂多晶硅组成。

[0042] 在外延半导体层21中形成第二掺杂类型的体区22。在一个示例中，体区22例如是P<sup>-</sup>掺杂的。然后，在体区22中形成第一掺杂类型的源区23。在一个示例中，源区23例如是N<sup>+</sup>掺杂的。

[0043] 在图2A所示的实施例中，所述半导体器件结构还包括与沟槽相邻的漂移区，所述漂移区包括横向对称的第一漂移区II-1和第二漂移区II-2，所述第一漂移区II-1的掺杂浓度为从沟槽至第二漂移区的方向浓度从高到低变化，所述第二漂移区II-2的掺杂浓度为从沟槽至第一漂移区的方向浓度从高到低变化。如图2B所示的示意图，所述第一漂移区

和第二漂移区的掺杂浓度的变化呈阶梯状变化趋势，即所述漂移区的掺杂浓度呈横向变化趋势，可使得器件的耗尽层不会弯曲，因此不容易被击穿。此外，所述半导体器件还包括位于漂移区中的第一掺杂类型的漏区，所述漏区位于所述半导体衬底的底部，在图 2A 中没有示出。需要说明的是，所述第一漂移区 II -1 和第二漂移区 II -2 和掺杂浓度变化也可以呈线性变化趋势，例如，第一漂移区 II -1 的掺杂浓度为从沟槽至第二漂移区的方向浓度从高到低呈线性变化，所述第二漂移区 II -2 的掺杂浓度为从沟槽至第一漂移区的方向浓度从高到低呈线性变化，如图 2C 所示的示意图。另外，由于本发明实施例的半导体器件结构为沟槽和漂移区相间隔的对称式结构，因此，在所述沟槽的两边的漂移区的浓度为相同的情形，在图 2A 中没有示出其对称结构的浓度示意图。

[0044] 在本实施例中，所述漂移区的横向变化的掺杂可以从沟槽的上方以一定倾斜的角度向所述外延半导体层剩余部分的区域中注入掺杂的杂质，然后采用热推结的方式来形成高低浓度变化的漂移区。

[0045] 根据本发明的实施例的半导体器件结构，与现有技术相比，其掺杂浓度采用横向变掺杂。相应地，如图 2A 中示出了耗尽层 28 的示意图，可以本发明的器件结构耗尽层比较平坦，因此，耐压高，不容易击穿。该半导体器件在保证低导通电阻的情况下，在靠近沟槽的部分浓度较高不会影响击穿电压，从而实现了低导通电阻和高击穿电压的有益效果。

[0046] 需要说明的是，本发明实施例中的沟槽结构不限于上述的一种实现方式，还可以有其他的相同或类似的结构，例如其屏蔽导体与栅极导体相连接的方式，但基于本发明的发明构思都在本发明的保护范围之内。

[0047] 在图 3 所示的依据本发明的又一实施例的半导体器件结构的截面图中，所述沟槽的底部与所述外延半导体层的底部距离一段距离，图 3 中所示的半导体器件结构与图 2A 所示的结构均相同，因此，在向所述漂移区进行浓度梯度掺杂的时候会形成如图 3 所示的包围圈，其掺杂浓度从紧靠沟槽的方向向外为从高到低变化。

[0048] 需要补充说明的是，本发明的横向变掺杂的方式还可应用到其他的器件结构中，如超结结构，如图 4 所示，为依据本发明的另一实施例的半导体器件结构的截面图，这时所述第一柱状区 I 为第二掺杂类型的柱状区，所述第二柱状区 II 为第一掺杂类型的漂移区。

[0049] 具体的，半导体衬底 30 例如由硅组成，并且是第一掺杂类型的。第一掺杂类型的外延半导体层 31（即第二半导体层）位于半导体衬底 30（即第一半导体层）的表面上，外延半导体层 31 例如由硅组成，外延半导体层 31 相对于半导体衬底 30 是轻掺杂层。第一柱状区 34 位于外延半导体层 31 中，并且是 P 型掺杂类型，第二掺杂类型的体区 32 位于外延半导体层 31 中并且位于第一柱状区之上，在体区 32 中形成第一掺杂类型的源区 33。

[0050] 同理，在本实施例中，所述第二柱状区为 N 型掺杂的漂移区，所述漂移区包括横向对称的第一漂移区 II -1 和第二漂移区 II -2，所述第一漂移区 II -1 的掺杂浓度为从沟槽至第二漂移区的方向浓度从高到低变化，所述第二漂移区 II -2 的掺杂浓度为从沟槽至第一漂移区的方向浓度从高到低变化。如图 3 所示的示意图，所述第一漂移区和第二漂移区的掺杂浓度的变化呈阶梯状变化趋势，如上所述，所述第一漂移区和第二漂移区的掺杂浓度的变化也可以呈线性变化趋势，即所述漂移区的掺杂浓度呈横向变化趋势，可使得器件的耗尽层较平坦，因此不容易被击穿。

[0051] 在所述外延半导体层上形成栅氧化层，然后，在所述栅氧化层上形成栅极导体 35，

在一个示例中，栅极导体 35 由掺杂多晶硅组成。

[0052] 同样的，在本实施例中，采用横向变掺杂后，在保证低导通电阻的情况下，可以提高靠近第一柱状区的浓度，从而保证了器件的耐压性，本实施例同样具有低导通电阻和高击穿电压的有益效果。

[0053] 最后，依据本发明一种半导体器件的制造方法，包括以下步骤：

[0054] 在第一掺杂类型的第一半导体层上形成第一掺杂类型的第二半导体层；其中，所述第二半导体层相对于所述第一半导体层轻掺杂；

[0055] 形成从第二半导体层上方延伸进入其内部的第一柱状区；

[0056] 从第一柱状区的上开口处以一定倾斜角度向所述第二半导体剩余区域注入第一掺杂类型，以形成浓度从高到低变化的第二柱状区；

[0057] 其中，所述第二柱状区包括第一子柱状区和第二子柱状区，所述第一子柱状区的掺杂浓度为从第一柱状区至第二子柱状区的方向浓度从高到低变化，所述第二子柱状区的掺杂浓度为从第一柱状区至第一子柱状区的方向浓度从高到低变化。

[0058] 这里，所述第一半导体层和第二半导体层采用已知的工艺形成，具体的，所述第一柱状区的形成步骤为：采用硬掩模，通过已知的蚀刻工艺，进一步蚀刻第二半导体层，从而在第二半导体层中形成第一柱状区。

[0059] 所述第二柱状区的形成步骤为：采用硬掩膜，从上述第一柱状区的上方以一定倾斜的角度向所述第二半导体层的剩余部分区域注入掺杂的杂质，然后采用热推结的方式来形成高低浓度变化的第二柱状区。

[0060] 优选的，所述第一柱状区为第二掺杂类型的柱状区，在所述第二半导体中形成第二掺杂类型的体区，所述体区位于所述第二柱状区的上方；在所述体区中形成第一掺杂类型的源区；在所述第二半导体上表面形成棚氧化层，在所述棚氧化层上形成栅极导体。

[0061] 优选的，所述第一柱状区为与所述第二半导体绝缘隔开的沟槽，所述沟槽从第二半导体层上方延伸进入其内部；所述第二柱状区为第一掺杂类型的漂移区；在沟槽内形成共形的绝缘叠层，所述绝缘叠层包括至少一个氧化物层和至少一个氮化物层；在沟槽中形成屏蔽导体，所述屏蔽导体的至少一部分位于沟槽的下部；在沟槽的上部侧壁上形成栅极电介质；在沟槽中形成栅极导体，所述栅极导体位于沟槽的上部；这里，所述屏蔽导体可以与栅极导体分离或是连接在一起。之后，在第二半导体层中形成第二掺杂类型的体区；在体区中形成第一掺杂类型的源区。

[0062] 本发明的半导体器件结构具有低导通电阻和高耐压的性能，可应用于沟槽填充工艺制造的金属氧化物场效应晶体管中。

[0063] 在以上的描述中，对于各层的图案化、蚀刻等技术细节并没有做出详细的说明。但是本领域技术人员应当理解，可以通过各种技术手段，来形成所需形状的层、区域等。另外，为了形成同一结构，本领域技术人员还可以设计出与以上描述的方法并不完全相同的方法。另外，尽管在以上分别描述了各实施例，但是这并不意味着各个实施例中的措施不能有利地结合使用。

[0064] 依照本发明的实施例如上文所述，这些实施例并没有详尽叙述所有的细节，也不限制该发明仅为所述的具体实施例。显然，根据以上描述，可作很多的修改和变化。本说明书选取并具体描述这些实施例，是为了更好地解释本发明的原理和实际应用，从而使所属

技术领域技术人员能很好地利用本发明以及在本发明基础上的修改使用。本发明仅受权利要求书及其全部范围和等效物的限制。

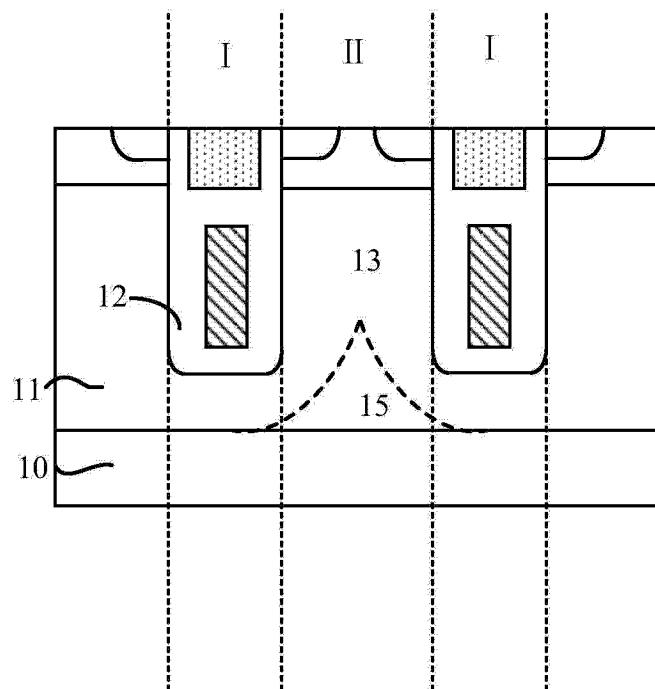


图 1

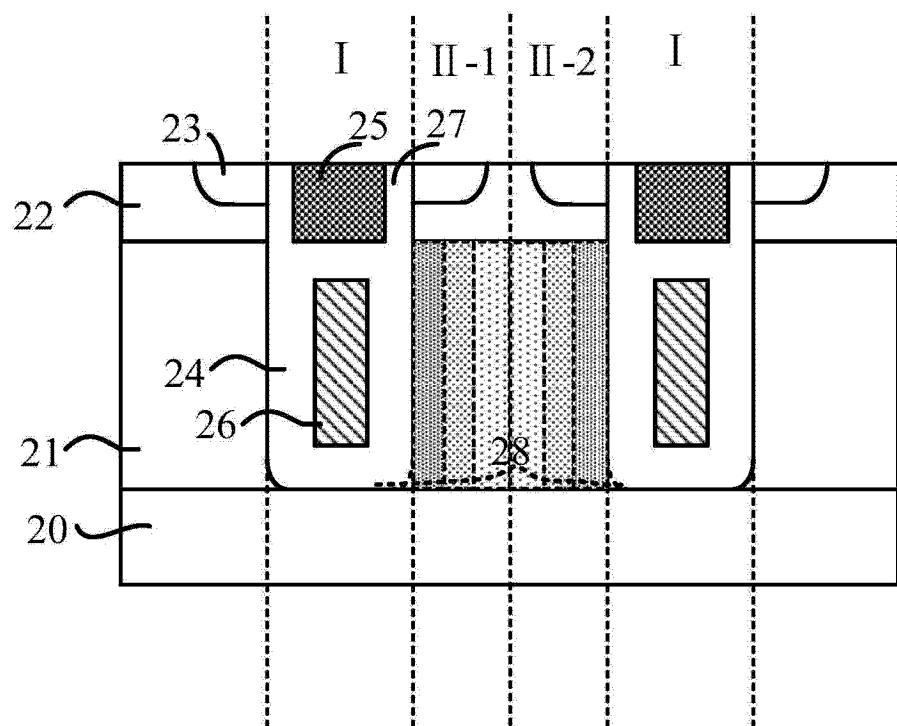


图 2A

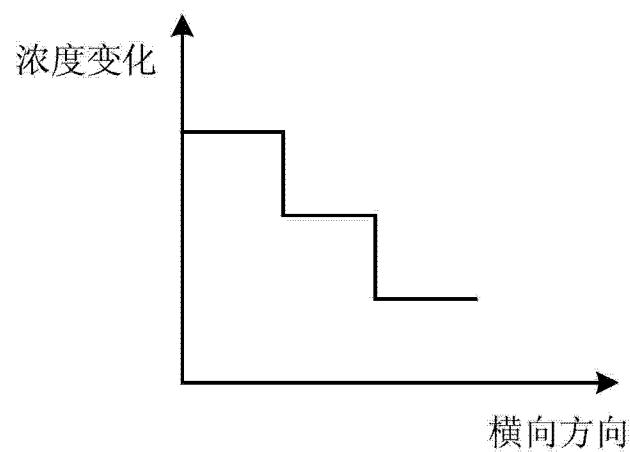


图 2B

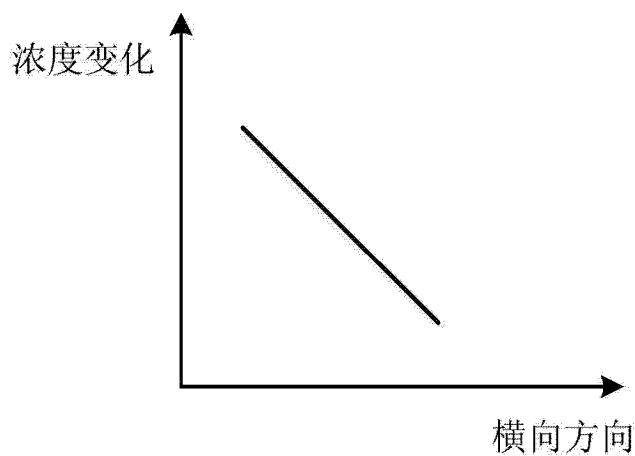


图 2C

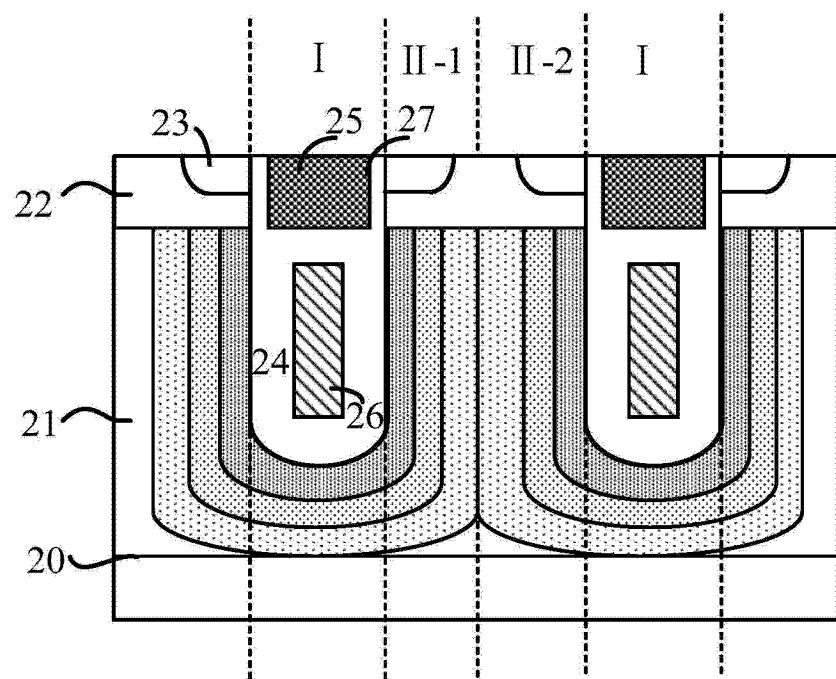


图 3

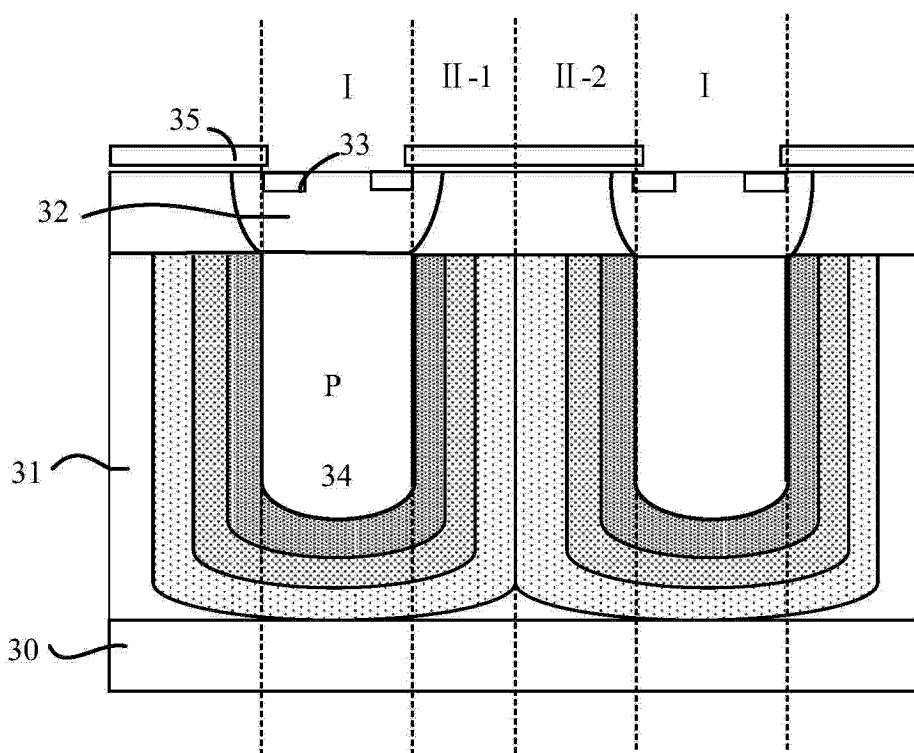


图 4