

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成27年5月21日(2015.5.21)

【公開番号】特開2013-207676(P2013-207676A)

【公開日】平成25年10月7日(2013.10.7)

【年通号数】公開・登録公報2013-055

【出願番号】特願2012-76771(P2012-76771)

【国際特許分類】

H 0 3 F 1/32 (2006.01)

H 0 3 F 3/70 (2006.01)

H 0 4 N 5/3745 (2011.01)

【F I】

H 0 3 F 1/32

H 0 3 F 3/70

H 0 4 N 5/335 7 4 5

【手続補正書】

【提出日】平成27年3月30日(2015.3.30)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

増幅器と、

一方の端子が前記増幅器の入力端子と接続された第1の容量素子と、

一方の端子が前記増幅器の入力端子と接続され、他方の端子が前記増幅器の出力端子と接続された第2の容量素子と、

前記第1および第2の容量素子の容量値のバイアス依存特性の差を補正する補正部と、を有することを特徴とする増幅回路。

【請求項2】

前記補正部は、前記第1の容量素子と並列に設けられた第3の容量素子または前記第2の容量素子と並列に設けられた第4の容量素子の少なくとも一方であることを特徴とする請求項1に記載の増幅回路。

【請求項3】

前記補正部は、前記第2の容量素子の他方の端子の電位を調整する、電位調整部を有することを特徴とする請求項1に記載の増幅回路。

【請求項4】

前記電位調整部は、一方の端子が前記増幅器の入力端子に接続され、他方の端子が電源と接続されたことを特徴とする請求項3に記載の増幅回路。

【請求項5】

前記電位調整部はレベルシフト回路を有し、

前記第2の容量素子の他方の端子は、前記レベルシフト回路を介して前記増幅器の出力端子と接続されたことを特徴とする請求項3に記載の増幅回路。

【請求項6】

前記電位調整部はスイッチ部を含み、

前記第2の容量の他方の端子は、前記スイッチ部を介して電源または前記増幅器の出力端子と接続されたことを特徴とする請求項3に記載の増幅回路。

## 【請求項 7】

第 1 の増幅部と、  
第 2 の増幅部と、  
第 1 の接続容量と、  
第 2 の接続容量と、をさらに有し、  
前記増幅器は演算増幅器であり、  
前記第 1 の容量は、前記第 1 の増幅部および前記第 1 の接続容量を介して、前記演算増幅器の反転入力端子と接続され、  
前記第 2 の増幅部の出力端子は、前記第 2 の接続容量を介して、前記演算増幅器の非反転入力端子と接続されたことを特徴とする請求項 3 に記載の増幅回路。

## 【請求項 8】

第 5 の容量素子と、  
前記第 5 の容量素子と並列に設けられた第 6 の容量素子と、をさらに有し、  
前記演算増幅器の非反転入力端子は、さらに、前記第 5 および第 6 の容量素子を介して電源と接続されたことを特徴とする請求項 7 に記載の増幅回路。

## 【請求項 9】

第 7 の容量素子をさらに有し、  
前記第 7 の容量素子は、前記第 2 の増幅部の入力端子と接続されたことを特徴とする請求項 7 または 8 に記載の増幅回路。

## 【請求項 10】

前記第 1 および第 2 の容量素子は、ポリシリコンを主とする上部電極とし、半導体を下部電極とする容量素子であり、  
前記第 1 および第 2 の容量素子の上部電極が、前記一方の端子であることを特徴とする請求項 1 ~ 9 のいずれかに記載の増幅回路。

## 【請求項 11】

演算増幅器と、  
第 1 の容量素子と、  
一方の端子が前記演算増幅器の反転入力端子と接続され、他方の端子が前記演算増幅器の出力端子と接続された第 2 の容量素子と、  
前記第 2 の容量素子と並列に設けられた第 4 の容量素子と、  
第 5 の容量素子と、  
前記第 5 の容量素子と並列に設けられた第 6 の容量素子と、  
第 7 の容量素子と、  
第 1 の増幅部と、  
第 2 の増幅部と、  
第 1 の接続容量と、  
第 2 の接続容量と、を有し、  
前記第 1 の容量素子は、前記第 1 の増幅部および前記第 1 の接続容量を介して、前記演算増幅器の反転入力端子と接続され、  
前記演算増幅器の非反転入力端子は、前記第 2 の接続容量を介して前記第 2 の増幅部の出力端子と接続されるとともに、前記第 5 および第 6 の容量素子を介して電源と接続され、  
前記第 7 の容量素子は、前記第 2 の増幅部の入力端子と接続され、  
前記第 2 および第 4 の容量素子は、ポリシリコンを主とする上部電極とし、半導体を下部電極とする容量素子であり、  
前記第 2 の容量素子の上部電極及び前記第 4 の容量素子の上部電極が、前記演算増幅器の反転入力端子もしくは出力端子のうちの一方の端子に接続され、前記第 2 の容量素子の上部電極及び前記第 4 の容量素子の下部電極が、前記演算増幅器の反転入力端子もしくは出力端子のうちの他方の端子に接続されることを特徴とする増幅回路。

## 【請求項 12】

請求項 1 ~ 1 1 のいずれかに記載の増幅回路と、  
複数の画素と、を有し、  
前記増幅回路は、前記画素に基づく信号を増幅すること  
を特徴とする光電変換装置。

【請求項 1 3】

請求項 1 2 に記載の光電変換装置と、  
前記光電変換装置から出力された信号を処理する信号処理部と、を有することを特徴と  
する撮像システム。