



(12)发明专利申请

(10)申请公布号 CN 111831041 A

(43)申请公布日 2020.10.27

(21)申请号 201911126455.7

(22)申请日 2019.11.18

(30)优先权数据

10-2019-0043622 2019.04.15 KR

(71)申请人 爱思开海力士有限公司

地址 韩国京畿道

(72)发明人 黄泰镇

(74)专利代理机构 北京弘权知识产权代理事务
所(普通合伙) 11363

代理人 许伟群 郭放

(51)Int.Cl.

G05F 1/56(2006.01)

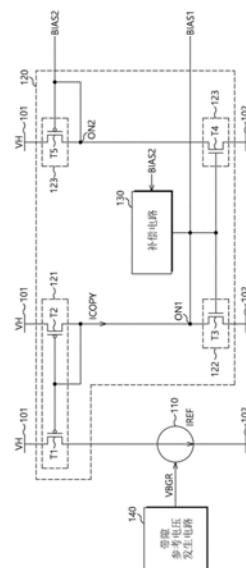
权利要求书3页 说明书10页 附图4页

(54)发明名称

电压发生器、使用电压发生器的半导体装置
和半导体系统

(57)摘要

本申请公开了电压发生器、使用电压发生器的
半导体装置和半导体系统。该电压发生器包括
参考电流源、偏置电压发生电路和补偿电路。参
考电流源基于参考电压来产生参考电流。偏置电
压发生电路基于参考电流来产生第一偏置电压，
并且基于第一偏置电压来产生第二偏置电压。补
偿电路基于第二偏置电压来改变第一偏置电压
的电压电平。



100

1. 一种电压发生器,其包括:
参考电流源,其被配置为基于参考电压来产生参考电流;
偏置电压发生电路,其被配置为基于所述参考电流来产生第一偏置电压,以及基于所述第一偏置电压来产生第二偏置电压;以及
补偿电路,其被配置为基于所述第二偏置电压来改变所述第一偏置电压的电压电平。
2. 根据权利要求1所述的电压发生器,其中,所述参考电压是从带隙参考电压发生电路产生的带隙参考电压。
3. 根据权利要求1所述的电压发生器,其中,所述偏置电压发生电路包括:
电流复制电路,其被配置为通过复制所述参考电流来产生复制电流;
第一偏置电压输出电路,其被配置为基于所述复制电流来产生所述第一偏置电压;以及
第二偏置电压输出电路,其被配置为基于所述第一偏置电压来产生所述第二偏置电压。
4. 根据权利要求3所述的电压发生器,
其中,所述电流复制电路包括:
第一晶体管,其被电耦接在第一电源电压端子与所述参考电流源之间;以及
第二晶体管,其被电耦接在所述第一电源电压端子与第一输出节点之间,以及
其中,所述第一晶体管的栅极和所述第二晶体管的栅极被共同耦接到所述参考电流源。
5. 根据权利要求4所述的电压发生器,
其中,所述第一偏置电压输出电路包括第三晶体管,所述第三晶体管被电耦接在所述第一输出节点与第二电源电压端子之间,并且在栅极处电耦接到所述第一输出节点,以及
其中,所述第一偏置电压是从所述第一输出节点输出的。
6. 根据权利要求5的电压发生器,
其中,所述第二偏置电压输出电路包括:
第四晶体管,其被电耦接在第二输出节点与所述第二电源电压端子之间,并且在栅极处电耦接到所述第一输出节点;以及
第五晶体管,其被电耦接在所述第一电源电压端子与所述第二输出节点之间,并且在栅极处电耦接到所述第二输出节点,以及
其中,所述第二偏置电压是从所述第二输出节点输出的。
7. 根据权利要求6所述的电压发生器,其中,所述补偿电路被电耦接在所述第一电源电压端子与所述第一输出节点之间,并且基于所述第二偏置电压来调整从所述第一电源电压端子流到所述第一输出节点的安培数。
8. 根据权利要求1所述的电压发生器,其中,所述补偿电路在所述第二偏置电压的电压电平增大时升高所述第一偏置电压的电压电平,并且在所述第二偏置电压的电压电平减小时降低所述第一偏置电压的电压电平。
9. 根据权利要求1所述的电压发生器,其中,所述补偿电路还接收第一控制信号和第二控制信号,并且基于所述第二偏置电压、所述第一控制信号和所述第二控制信号来调整所

述第一偏置电压的电压电平。

10. 根据权利要求1所述的电压发生器,其中,所述补偿电路包括:

分压电路,其被配置为通过基于第一控制信号对第一电源电压进行分压来产生分压电压;

电流电路,其被配置为接收所述分压电压,所述电流电路的电流驱动能力基于所述第二偏置电压而被调整;以及

开关电路,其被配置为基于第二控制信号来将电流提供给从其输出了所述第一偏置电压的节点。

11. 一种电压发生器,其包括:

偏置电压发生电路,其被配置为基于参考电流来产生第一偏置电压,以及基于所述第一偏置电压来产生第二偏置电压;以及

可变电流源,其被配置为:基于所述第二偏置电压的电压电平来调整被提供给从其输出了所述第一偏置电压的节点的安培数。

12. 根据权利要求11所述的电压发生器,其中,所述偏置电压发生电路包括:

电流复制电路,其被配置为通过复制所述参考电流来产生复制电流;

第一偏置电压输出电路,其被配置为基于所述复制电流来产生所述第一偏置电压;以及

第二偏置电压输出电路,其被配置为基于所述第一偏置电压来产生所述第二偏置电压。

13. 根据权利要求12所述的电压发生器,

其中,所述电流复制电路包括:

第一晶体管,其被电耦接在第一电源电压端子与产生所述参考电流的参考电流源之间;以及

第二晶体管,其被电耦接在所述第一电源电压端子与第一输出节点之间,以及

其中,所述第一晶体管的栅极和所述第二晶体管的栅极被共同耦接到所述参考电流源。

14. 根据权利要求13所述的电压发生器,

其中,所述第一偏置电压输出电路包括第三晶体管,所述第三晶体管被电耦接在所述第一输出节点与第二电源电压端子之间,并且在其栅极处电耦接到所述第一输出节点,以及

其中,所述第一偏置电压是从所述第一输出节点输出的。

15. 根据权利要求14所述的电压发生器,

其中,所述第二偏置电压输出电路包括:

第四晶体管,其被电耦接在第二输出节点与所述第二电源电压端子之间,并且在其栅极处电耦接到所述第一输出节点;以及

第五晶体管,其被电耦接在所述第一电源电压端子与所述第二输出节点之间,并且在其栅极处电耦接到所述第二输出节点,以及

其中,所述第二偏置电压是从所述第二输出节点输出的。

16. 根据权利要求11所述的电压发生器,其中,随着所述第二偏置电压的电压电平增

大,所述可变电流量增大被施加到从其输出了所述第一偏置电压的节点的安培数,并且随着所述第二偏置电压的电压电平降低,所述可变电流量减小被施加到所述节点的安培数。

17. 如权利要求11所述的电压发生器,

其中,所述可变电流量还接收第一控制信号和第二控制信号,以及

其中,所述可变电流量包括:

分压电路,其被配置为通过基于所述第一控制信号对第一电源电压进行分压来产生分压电压;

电流电路,其被配置为接收所述分压电压,所述电流电路的电流驱动能力基于所述第二偏置电压而被调整;以及

开关电路,其被配置为基于所述第二控制信号来将电流提供给从其输出了所述第一偏置电压的节点。

18. 根据权利要求11所述的电压发生器,还包括:

带隙参考电压发生电路,其被配置为产生具有预定电压电平的参考电压;以及

参考电流源,其被配置为基于所述参考电压来产生具有预定安培数的参考电流。

电压发生器、使用电压发生器的半导体装置和半导体系统

[0001] 相关申请的交叉引用

[0002] 本申请要求2019年4月15日向韩国知识产权局提交的申请号为10-2019-0043622的韩国申请的优先权,其公开内容通过引用整体合并于此。

技术领域

[0003] 本公开的各个实施例涉及集成电路技术,并且更具体地涉及电压发生器、使用该电压发生器的半导体装置和半导体系统。

背景技术

[0004] 电子设备包括许多电子元件,并且计算机系统包括许多半导体装置,每个半导体装置都包括半导体。半导体装置接收各种电力电流并且包括各种恒定电流源。恒定电流源被配置为接收偏置电流并产生预定量的电流。为了产生预定量的恒定电流,重要的是保持偏置电压的电压电平恒定。主要包括晶体管的半导体装置的电路具有容易受到工艺、电压和温度的变化的影响的特性。当随着工艺、电压和温度的改变,晶体管的阈值电压改变时,偏置电压的电压电平可能改变,并且因此,由于偏置电压的电压电平变化而可能不会产生预期的恒定电流。

发明内容

[0005] 在一个实施例中,一种电压发生器可以包括参考电流源、偏置电压发生电路和补偿电路。所述参考电流源可以被配置为基于参考电压来产生参考电流。所述偏置电压发生电路可以被配置为基于参考电流来产生第一偏置电压,并且基于第一偏置电压来产生第二偏置电压。所述补偿电路可以被配置为基于第二偏置电压来改变第一偏置电压的电压电平。

[0006] 在一个实施例中,一种电压发生器可以包括偏置电压发生电路和可变电流源。所述偏置电压发生电路可以被配置为基于参考电流来产生第一偏置电压,并且基于第一偏置电压来产生第二偏置电压。所述可变电流源可以被配置为:基于第二偏置电压的电压电平来调整被提供给从其输出了第一偏置电压的节点的安培数 (amperage)。

附图说明

[0007] 图1是示出根据一个实施例的电压发生器的配置的图;

[0008] 图2是示出根据一个实施例的补偿电路的配置的图;

[0009] 图3是示出根据一个实施例的接收电路的配置的图;以及

[0010] 图4是示出根据一个实施例的半导体系统的配置的图。

具体实施方式

[0011] 本文公开的具体结构或功能描述仅是说明性的,目的是描述基于本公开的构思的

实施例。基于本公开的构思的实施例可以以各种形式实现，并且不能被解释为限于本文阐述的实施例。

[0012] 基于本公开的构思的实施例可以进行各种修改并且具有各种形状。因此，在附图中示出实施例并且旨在在此详细地描述这些实施例。然而，基于本公开的构思的实施例不被解释为限于具体的公开内容，并且包括不脱离本公开的精神和技术范围的所有改变、等同物或替代物。

[0013] 将理解的是，当一个元件被称为“连接”或“耦接”到另一元件时，它可以直接连接或耦接到另一元件，或者也可以存在居间元件。相反，当一个元件被称为“直接连接”或“直接耦接”到另一个元件时，不存在居间元件。同时，可以类似地来解释描述组件之间的关系的其他表述，例如“在~之间”、“直接在~之间”或“与~相邻”以及“与~直接相邻”。

[0014] 在本申请中使用的术语仅用于描述特定实施例，而不旨在限制本公开。除非上下文另外明确地指出，否则本公开中的单数形式也旨在包括复数形式。

[0015] 只要没有被不同地限定，本文所使用的所有术语（包括技术术语或科学术语）均具有本公开所属领域的技术人员通常理解的含义。

[0016] 在描述那些实施例时，将省略对本公开所属领域的技术人员所公知的并且与本公开不直接相关的技术的描述。

[0017] 在下文中，将参考附图详细地描述本公开的示例性实施例，以便本领域技术人员能够容易地实施本公开的技术精神。

[0018] 在下文中，以下将通过各种实施例参考附图来描述基于本公开的半导体装置。

[0019] 图1是示出根据一个实施例的电压发生器100的配置的图。参考图1，电压发生器100可以接收参考电流 I_{REF} 并且可以产生第一偏置电压 $BIAS1$ 和第二偏置电压 $BIAS2$ 。参考电流 I_{REF} 可以是具有预定安培数的恒定电流。安培数可以意指电流的量。电压发生器100可以基于参考电流 I_{REF} 来产生第一偏置电压 $BIAS1$ 。并且电压发生器100可以基于第一偏置电压 $BIAS1$ 来产生第二偏置电压 $BIAS2$ 。当第一偏置电压 $BIAS1$ 的电压电平改变时，电压发生器100可以改变第二偏置电压 $BIAS2$ 的电压电平。通过基于第一偏置电压 $BIAS1$ 的电压电平来改变第二偏置电压 $BIAS2$ 的电压电平以及通过基于第二偏置电压 $BIAS2$ 的电压电平来改变第一偏置电压 $BIAS1$ 的电压电平，电压发生器100可以产生具有预定电压电平的第一偏置电压 $BIAS1$ 和第二偏置电压 $BIAS2$ 。特别地，即使当工艺和/或温度的变化影响了晶体管的阈值电压变化（其进而影响第一偏置电压 $BIAS1$ 和第二偏置电压 $BIAS2$ 的电压电平）时，电压发生器100也可以补偿第一偏置电压 $BIAS1$ 和第二偏置电压 $BIAS2$ 的电压电平的改变。

[0020] 如在本文中关于参数所使用的诸如预定量之类的词“预定”意指该参数的值是在该参数被用在过程或算法中之前确定的。对于一些实施例，所述参数的值是在过程或算法开始之前确定的。在其他实施例中，所述参数的值是在过程或算法期间但在该参数被用在过程或算法中之前确定的。

[0021] 参考图1，电压发生器100可以包括参考电流源110、偏置电压发生电路120、补偿电路130和带隙参考电压发生电路140。参考电流源110可以接收至少一个参考电压 V_{BGR} ，并可以产生具有预定量的安培数的参考电流 I_{REF} 。至少一个参考电压 V_{BGR} 可以是具有预定电压电平的带隙参考电压。电压发生器100还可以包括被配置为产生至少一个参考电压 V_{BGR} 的带隙参考电压发生电路140。不管工艺和/或温度的变化如何，带隙参考电压发生电路140都

可以产生具有预定电压电平的带隙参考电压。带隙参考电压发生电路140可以基于用于输出参考电压的任何已知电路来实施。在一个实施例中,带隙参考电压发生电路140可以产生两个或更多个参考电压,并且参考电流源110可以基于两个或更多个参考电压来产生参考电流IREF。

[0022] 偏置电压发生电路120可以被电耦接到参考电流源110并且可以接收参考电流IREF。如先前公开的,偏置电压发生电路120可以基于参考电流IREF来产生第一偏置电压BIAS1,并且可以基于第一偏置电压BIAS1来产生第二偏置电压BIAS2。偏置电压发生电路120可以基于参考电流IREF的安培数来确定第一偏置电压BIAS1的电压电平,并且可以基于第一偏置电压BIAS1的电压电平来确定第二偏置电压BIAS2的电压电平。

[0023] 补偿电路130可以接收第二偏置电压BIAS2,并且可以基于第二偏置电压BIAS2的电压电平来改变第一偏置电压BIAS1的电压电平。当第一偏置电压BIAS1的电压电平改变时,第二偏置电压BIAS2的电压电平也可以改变。因此,通过基于第二偏置电压BIAS2来补偿第一偏置电压BIAS1的电压电平变化,补偿电路130可以将第一偏置电压BIAS1的电压电平和第二偏置电压BIAS2的电压电平保持在预定电压电平。

[0024] 参考图1,偏置电压发生电路120可以包括电流复制(duplication)电路121、第一偏置电压输出电路122和第二偏置电压输出电路123。电流复制电路121可以通过复制参考电流IREF来产生复制电流ICOPY。复制电流ICOPY可以具有与参考电流IREF基本相同的安培数。第一偏置电压输出电路122可以基于复制电流ICOPY来产生第一偏置电压BIAS1。第一偏置电压输出电路122可以基于复制电流ICOPY的安培数来改变第一偏置电压BIAS1的电压电平。第二偏置电压输出电路123可以基于第一偏置电压BIAS1来产生第二偏置电压BIAS2。第二偏置电压输出电路123可以基于第二偏置电压BIAS2的电压电平来改变第一偏置电压BIAS1的电压电平。

[0025] 电流复制电路121可以包括第一晶体管T1和第二晶体管T2。第一晶体管T1和第二晶体管T2可以是P沟道MOS晶体管。第一晶体管T1可以电耦接在第一电源电压端子101与参考电流源110之间。参考电流源110可以电耦接在第一晶体管T1与第二电源电压端子102之间。可以将第一电源电压VH提供给第一电源电压端子101,并且可以将第二电源电压VL提供给第二电源电压端子102。第一电源电压VH可以具有比第二电源电压VL高的电压电平。例如,第一电源电压VH可以是电压发生器100的工作电源电压,且第二电源电压VL可以是接地电压。第二晶体管T2可以电耦接在第一电源电压端子101与第一输出节点ON1之间。第一偏置电压BIAS1可以通过第一输出节点ON1输出。第一晶体管T1的栅极和第二晶体管T2的栅极可以被共同地电耦接到参考电流源110。第一晶体管T1和第二晶体管T2可以具有电流镜的耦接结构,并且可以允许具有与参考电流IREF相对应的安培数的复制电流ICOPY从第二晶体管T2流到第一输出节点ON1。

[0026] 第一偏置电压输出电路122可以包括第三晶体管T3。第三晶体管T3可以是N沟道MOS晶体管。第三晶体管T3可以被电耦接在第一输出节点ON1和第二电源电压端子102之间。第一输出节点ON1可以电耦接到第三晶体管T3的栅极。随着复制电流ICOPY被施加到第一输出节点ON1,第一输出节点ON1的电压电平可以增大。当第三晶体管T3被完全接通时,从第一输出节点ON1流到第二电源电压端子102的电流可以增大到其最大安培数,从而允许确定第一偏置电压BIAS1的电压电平。

[0027] 第二偏置电压输出电路123可以包括第四晶体管T4和第五晶体管T5。第四晶体管T4可以是N沟道MOS晶体管,并且第五晶体管T5可以是P沟道MOS晶体管。第四晶体管T4可以被电耦接在第二输出节点ON2与第二电源电压端子102之间。第二偏置电压BIAS2可以通过第二输出节点ON2输出。第四晶体管T4的栅极可以被电耦接到第一输出节点ON1。第五晶体管T5可以被电耦接在第一电源电压端子101与第二输出节点ON2之间。第五晶体管T5的栅极可以被电耦接到第二输出节点ON2。当第四晶体管T4响应于第一偏置电压BIAS1而被完全接通时,可以确定第二输出节点ON2的电压电平。进而,第五晶体管T5可以基于第二输出节点ON2的电压电平而被接通。当通过第五晶体管T5流到第二输出节点ON2的电流和流过第四晶体管T4的电流建立了它们的平衡时,可以确定第二偏置电压BIAS2的电压电平。

[0028] 补偿电路130可以被电耦接到第一输出节点ON1。补偿电路130可以通过第二输出节点ON2来接收第二偏置电压BIAS2。基于第二偏置电压BIAS2的电压电平,补偿电路130可以通过改变第一输出节点ON1的电压电平来改变第一偏置电压BIAS1的电压电平。基于第二偏置电压BIAS2,补偿电路130可以通过调整施加到第一输出节点ON1的安培数来改变第一偏置电压BIAS1的电压电平。补偿电路130可以是可变电流源,其被配置为基于第二偏置电压BIAS2来改变施加到第一输出节点ON1的电流的量。例如,随着第二偏置电压BIAS2的电压电平增大,补偿电路130可以通过增大施加到第一输出节点ON1的电流的量来升高第一偏置电压BIAS1的电压电平。另一方面,随着第二偏置电压BIAS2的电压电平减小,补偿电路130可以通过减小施加到第二输出节点ON2的电流的量来降低第一偏置电压BIAS1的电压电平。

[0029] 图2是示出根据实施例的补偿电路200的配置的图。补偿电路200可以如图1的补偿电路130那样来实施。补偿电路200可以接收第二偏置电压BIAS2,并且可以改变第一偏置电压BIAS1的电压电平。补偿电路200还可以接收第一控制信号C1<1:3>和第二控制信号C2<1:3>。第一控制信号C1<1:3>和第二控制信号C2<1:3>可以是与第二偏置电压BIAS2结合提供的任何控制信号,以调整由补偿电路200提供的安培数。补偿电路200可以基于第二偏置电压BIAS2、第一控制信号C1<1:3>和第二控制信号C2<1:3>来调整第一偏置电压BIAS1的电压电平。虽然图2示出了分别具有3个比特位的第一控制信号C1<1:3>和第二控制信号C2<1:3>的实施例,但是相应的第一控制信号C1<1:3>和第二控制信号C2<1:3>中所包括的比特位的数量可以大于或小于3。此外,第一控制信号C1<1:3>中所包括的比特位的数量可以不同于第二控制信号C2<1:3>中所包括的比特位的数量。

[0030] 补偿电路200可以包括分压电路210、电流电路220和开关电路230。分压电路210可以通过基于第一控制信号C1<1:3>对第一电源电压VH进行分压来产生分压电压VD。分压电压VD可以通过分压节点DN而输出。分压电路210可以包括在第一电源电压端子101与分压节点DN之间彼此串联地电耦接的多个电阻、以及相应地与所述多个电阻并联地电耦接的多个晶体管。例如,所述多个晶体管可以是P沟道MOS晶体管。所述多个晶体管中的每个相应的晶体管可以被分配用于接收第一控制信号C1<1:3>中的一个。虽然图3示出了包括3个电阻和3个晶体管的分压电路210的实施例,但是电阻的数量和晶体管的数量可以大于3或小于3并且可能彼此不相等。第一电阻R1可以在其第一端处电耦接到第一电源电压端子101。第二电阻R2可以在其第一端处电耦接到第一电阻R1的第二端。第三电阻R3可以在其第一端处电耦接到第二电阻R2的第二端,并且在其第二端处电耦接到分压节点DN。第一晶体管T11的栅极可以并联地电耦接到第一电阻R1,并且可以接收第一控制信号C1<1>。第二晶体管T12的栅

极可以并联地电耦接到第二电阻R2,并且可以接收第一控制信号C1<2>。第三晶体管T13的栅极可以并联地电耦接到第三电阻R3,并且可以接收第一控制信号C1<3>。分压电路210可以通过基于第一控制信号C1<1:3>而将第一晶体管至第三晶体管T11、T12和T13的一部分或全部接通或断开来可变地减小第一电源电压VH的电压电平。分压电路210可以将可变地减小的第一电源电压VH输出作为分压电压VD。

[0031] 电流电路220可以接收分压电压VD。可以基于第二偏置电压BIAS2来调整电流电路220的电流驱动能力。电流电路220的电流驱动能力可以随着第二偏置电压BIAS2的电压电平的增大而增大。电流电路220的电流驱动能力可以随着第二偏置电压BIAS2的电压电平的减小而减小。基于第二控制信号C2<1:3>,开关电路230可以将从电流电路220提供的电流提供给第一输出节点ON1(第一偏置电压BIAS1被输出到该节点)。基于第二控制信号C2<1:3>,开关电路230可以调整从电流电路220提供给第一输出节点ON1的电流的量。

[0032] 电流电路220可以包括多个晶体管。多个晶体管中的每一个可以电耦接在分压节点DN与第一输出节点ON1之间。多个晶体管可以在它们的栅极处共同接收第二偏置电压BIAS2。例如,多个晶体管可以是N沟道MOS晶体管。开关电路230可以包括多个开关。多个开关可以接收相应地被分配给其的第二控制信号C2<1:3>。多个开关可以相应地基于第二控制信号C2<1:3>来使电流电路220的多个晶体管与第一输出节点ON1电耦接。电流电路220可以包括第一晶体管T14、第二晶体管T15和第三晶体管T16。开关电路230可以包括第一开关S1、第二开关S2和第三开关S3。虽然图2示出了具有包括3个晶体管的电流电路220和包括3个开关的开关电路230的实施例,但是电流电路220中所包括的晶体管的数量和开关电路230中所包括的开关的数量可以大于3或小于3,并且可能彼此不相等。第一晶体管T14可以电耦接在分压节点DN与第一开关S1的第一端之间。第一晶体管T14的栅极可以接收第二偏置电压BIAS2。第一开关S1可以接收第二控制信号C2<1>。第一开关S1可以在其第二端处电耦接到第一输出节点ON1。第二晶体管T15的栅极可以电耦接在分压节点DN与第二开关S2的第一端之间。第二晶体管T15可以接收第二偏置电压BIAS2。第二开关S2可以接收第二控制信号C2<2>。第二开关S2可以在其第二端处电耦接到第一输出节点ON1。第三晶体管T16可以电耦接在分压节点DN与第三开关S3的第一端之间。第三晶体管T16的栅极可以接收第二偏置电压BIAS3。第三开关S3可以接收第二控制信号C2<3>。第三开关S3可以在其第二端处电耦接到第一输出节点ON1。开关电路230可以基于第二偏置电压BIAS2的电压电平来改变第一晶体管至第三晶体管T14、T15和T16的电流驱动能力。此外,开关电路230可以基于第二控制信号C2<1:3>来调整从电流电路220提供给第一输出节点ON1的电流的量。

[0033] 在下文中,将根据本公开的实施例、参考图1和图2来描述电压发生器100。当从带隙参考电压发生电路140输出至少一个参考电压VBGR时,参考电流IREF可以流过参考电流源110。电流复制电路121可以通过复制参考电流IREF来产生复制电流ICOPY。第一偏置电压输出电路122可以基于复制电流ICOPY来产生具有目标电压电平的第一偏置电压BIAS1。第二偏置电压输出电路123可以基于第一偏置电压BIAS1来产生具有目标电压电平的第二偏置电压BIAS2。

[0034] 构成电压发生器100的晶体管的阈值电压可能由于工艺和/或温度的变化而改变。例如,在半导体装置的制造之后,由于温度的变化,N沟道MOS晶体管的阈值电压可能改变。当温度上升到变得高于室温时,N沟道MOS晶体管的阈值电压可能降低,并且因此第三晶体

管T3和第四晶体管T4的阈值电压可能降低。随着第三晶体管T3的阈值电压降低,流过第三晶体管T3的安培数可以增大并且第一偏置电压BIAS1的电压电平可以变得低于其目标电压电平。随着第一偏置电压BIAS1的电压电平减小,流过第四晶体管T4的安培数可以减小,第二输出节点ON2的电压电平可以增大并且第二偏置电压BIAS2的电压电平可以变得高于其目标电压电平。补偿电路130可以基于第二偏置电压BIAS2的升高的电压电平来增大被提供给第一输出节点ON1的安培数。因此,第一偏置电压BIAS1的电压电平可以增大回到其目标电压电平。另外,随着第一偏置电压BIAS1的电压电平升高回到其目标电压电平,第二偏置电压BIAS2的电压电平可以减小回到其目标电压电平。

[0035] 当温度降低到变得低于室温时,N沟道MOS晶体管的阈值电压可能升高,并且因此第三晶体管T3的阈值电压和第四晶体管T4的阈值电压可能升高。随着第三晶体管T3的阈值电压升高,流过第三晶体管T3的安培数可以减小并且第一偏置电压BIAS1的电压电平可以变得高于其目标电压电平。随着第一偏置电压BIAS1的电压电平增大,流过第四晶体管T4的安培数可以增大,第二输出节点ON2的电压电平可以减小并且第二偏置电压BIAS2的电压电平可以变得低于其目标电压电平。补偿电路130可以基于第二偏置电压BIAS2的减小的电压电平来减小被提供给第一输出节点ON1的安培数。因此,第一偏置电压BIAS1的电压电平可以减小回到其目标电压电平。此外,随着第一偏置电压BIAS1的电压电平减小回到其目标电压电平,第二偏置电压BIAS2的电压电平可以增大回到其目标电压电平。

[0036] 偏置电压发生电路120可以基于第一偏置电压BIAS1的电压电平来改变第二偏置电压BIAS2的电压电平。补偿电路130可以基于第二偏置电压BIAS2的电压电平来调整第一偏置电压BIAS1的电压电平。因此,根据本公开的实施例的电压发生器100可以被配置为通过允许第一偏置电压BIAS1和第二偏置电压BIAS2补偿彼此的电压电平来产生具有预定电压电平的第一偏置电压BIAS1和第二偏置电压BIAS2。

[0037] 图3是示出根据实施例的接收电路300的配置的图。参考图3,接收电路300可以接收输入信号IN并且可以产生输出信号OUT。接收电路300可以通过将输入信号IN差分放大来产生输出信号OUT。为了差分放大操作,接收电路300可以接收从图1所示的电压发生器100产生的第一偏置电压BIAS1和第二偏置电压BIAS2。接收电路300可以包括恒定电流源,所述恒定电流源被配置为基于第一偏置电压BIAS1和第二偏置电压BIAS2来产生恒定电流。输入信号IN可以作为单端信号而输入或者可以与互补信号一起作为差分信号而输入。当输入信号IN是单端信号时,接收电路300可以通过对输入信号IN与放大参考电压VREF进行差分放大来产生输出信号OUT。放大参考电压VREF可以具有与输入信号IN的摆动范围的中间值相对应的电压电平。当输入信号IN与互补信号一起作为差分信号被输入时,接收电路300可以通过对输入信号IN与互补信号进行差分放大来产生输出信号OUT。在下文中,将描述接收电路300的实施例,该接收电路300从作为单端信号而输入的输入信号IN产生输出信号OUT。

[0038] 接收电路300可以包括第一放大电路310和第二放大电路320。第一放大电路310可以是N型放大器,其包括被配置为接收输入信号IN的晶体管,所述晶体管为N沟道MOS晶体管。第二放大电路320可以是P型放大器,其包括被配置为接收输入信号IN的晶体管,所述晶体管为P沟道MOS晶体管。当输入信号IN具有对应于高电平的电压电平时,第一放大电路310可以主动地执行放大操作。当输入信号IN具有对应于低电平的电压电平时,第二放大电路320可以主动地执行放大操作。

[0039] 第一放大电路310可以通过对输入信号IN与放大参考电压VREF进行差分放大来产生输出信号OUT。为了差分放大操作,第一放大电路310可以接收第一偏置电压BIAS1。第一放大电路310可以包括第一晶体管T20、第二晶体管T21、第三晶体管T22、第四晶体管T23、第五晶体管T24、第六晶体管T25、第七晶体管T26、第八晶体管T27、第九晶体管T28和第十晶体管T29。第一晶体管T20、第二晶体管T21、第五晶体管T24、第六晶体管T25、第九晶体管T28和第十晶体管T29可以是N沟道MOS晶体管。第三晶体管T22、第四晶体管T23、第七晶体管T26和第八晶体管T27可以是P沟道MOS晶体管。第一晶体管T20可以接收输入信号IN并且可以改变第1N放大节点AN1的电压电平。第二晶体管T21可以接收放大参考电压VREF,并且可以改变第2N放大节点AN2的电压电平。

[0040] 第三晶体管T22可以电耦接在第一电源电压端子101与第2N放大节点AN2之间。第七晶体管T26可以电耦接在第一电源电压端子101与第一负输出节点NN1之间。第七晶体管T26可以在其栅极处电耦接到第2N放大节点AN2和第三晶体管T22的栅极两者。第七晶体管T26可以与第三晶体管T22一起配置电流镜。第三晶体管T22和第七晶体管T26可以允许与流过第2N放大节点AN2的电流基本相同的电流流过第一负输出节点NN1。第四晶体管T23可以电耦接在第一电源电压端子101与第1N放大节点AN1之间。第八晶体管T27可以电耦接在第一电源电压端子101与第一正输出节点PN1之间。第八晶体管T27可以在其栅极处耦接到第1N放大节点AN1与第四晶体管T23的栅极两者。第八晶体管T27可以与第四晶体管T23一起配置电流镜。第四晶体管T23和第八晶体管T27可以允许与流过第1N放大节点AN1的电流基本相同的电流流过第一正输出节点PN1。

[0041] 第五晶体管T24和第六晶体管T25可以将第一晶体管T20和第二晶体管T21电耦接到第二电源电压端子102。第五晶体管T24和第六晶体管T25可以彼此串联地电耦接在第一晶体管T20和第二晶体管T21二者与第二电源电压端子102之间。第五晶体管T24可以接收使能信号EN,并且可以形成从第一晶体管T20和第二晶体管T21到第二电源电压端子102的电流路径。第六晶体管T25可以接收第一偏置电压BIAS1。基于第一偏置电压BIAS1,第六晶体管T25可以允许恒定电流从第一晶体管T20和第二晶体管T21流到第二电源电压端子102。

[0042] 第九晶体管T28可以电耦接在第一负输出节点NN1与第二电源电压端子102之间。第九晶体管T28的栅极可以电耦接到第一负输出节点NN1。第十晶体管T29可以电耦接在第一正输出节点PN1与第二电源电压端子102之间。第十晶体管T29的栅极可以电耦接到第一负输出节点NN1。当输入信号IN具有比放大参考电压VREF高的电压电平时,第一晶体管T20可以被接通,流过第一晶体管T20的安培数可以增大并且第1N放大节点AN1的电压电平可以变得低于第2N放大节点AN2的电压电平。因此,第一正输出节点PN1的电压电平可以变得高于第一负输出节点NN1的电压电平,并且因此可以从第一正输出节点PN1输出高电平的输出信号OUT。

[0043] 第二放大电路320可以通过对输入信号IN与放大参考电压VREF进行差分放大来产生输出信号OUT。为了差分放大操作,第二放大电路320可以接收第二偏置电压BIAS2。第二放大电路320可以包括第一晶体管T30、第二晶体管T31、第三晶体管T32、第四晶体管T33、第五晶体管T34、第六晶体管T35、第七晶体管T36、第八晶体管T37、第九晶体管T38和第十晶体管T39。第一晶体管T30、第二晶体管T31、第五晶体管T34、第六晶体管T35、第七晶体管T36和第八晶体管T37可以是P沟道MOS晶体管。第三晶体管T32、第四晶体管T33、第九晶体管T38和

第十晶体管T39可以是N沟道MOS晶体管。第一晶体管T30可以接收输入信号IN,并且可以改变第1P放大节点AP1的电压电平。第二晶体管T31可以接收放大参考电压VREF,并且可以改变第2P放大节点AP2的电压电平。

[0044] 第三晶体管T32可以电耦接在第二电源电压端子102与第2P放大节点AP2之间。第七晶体管T36可以电耦接在第二电源电压端子102与第二负输出节点NN2之间。第七晶体管T36可以在其栅极处电耦接到第2P放大节点AP2和第三晶体管T32的栅极两者。第七晶体管T36可以与第三晶体管T32一起配置电流镜。第三晶体管T32和第七晶体管T36可以允许与流过第2P放大节点AP2的电流基本相同的电流流过第二负输出节点NN2。第四晶体管T33可以电耦接在第二电源电压端子102与第1P放大节点AP1之间。第八晶体管T37可以电耦接在第二电源电压端子102与第二正输出节点PN2之间。第八晶体管T37可以在其栅极处耦接到第1P放大节点AP1和第四晶体管T33的栅极两者。第八晶体管T37可以与第四晶体管T33一起配置电流镜。第四晶体管T33和第八晶体管T37可以允许与流过第1P放大节点AP1的电流基本相同的电流流过第二正输出节点PN2。

[0045] 第五晶体管T34和第六晶体管T35可以将第一晶体管T30和第二晶体管T31电耦接到第一电源电压端子101。第五晶体管T34和第六晶体管T35可以彼此串联地电耦接在第一晶体管T30和第二晶体管T31二者与第一电源电压端子101之间。第五晶体管T34可以接收使能信号EN的互补信号ENB,并且可以形成从第一电源电压端子101到第一晶体管T30和第二晶体管T31的电流路径。第六晶体管T35可以接收第二偏置电压BIAS2。基于第二偏置电压BIAS2,第六晶体管T35可以允许恒定电流从第一电源电压端子101流到第一晶体管T30和第二晶体管T31。

[0046] 第九晶体管T38可以电耦接在第二负输出节点NN2与第一电源电压端子101之间。第九晶体管T38的栅极可以电耦接到第二负输出节点NN2。第十晶体管T39可以电耦接在第二正输出节点PN2与第一电源电压端子101之间。第十晶体管T39的栅极可以电耦接到第二负输出节点NN2。当输入信号IN具有比放大参考电压VREF低的电压电平时,第一晶体管T30可以被接通,流过第一晶体管T30的安培数可以增大,并且第1P放大节点AP1的电压电平可以变得高于第2P放大节点AP2的电压电平。因此,第二正输出节点PN2的电压电平可以变得低于第二负输出节点NN2的电压电平,并且因此可以从第二正输出节点PN2输出低电平的输出信号OUT。

[0047] 当第一偏置电压BIAS1的电压电平改变时,流过第六晶体管T25的电流可以改变。特别地,当第一偏置电压BIAS1的电压电平减小时,所述电流可以减小并且第1N放大节点AN1的电压电平可能难以变得足够低。因此,第一放大电路310可能不会输出具有足够高的电平的输出信号OUT。此外,当第二偏置电压BIAS2的电压电平改变时,流过第六晶体管T35的电流可以改变。特别地,当第二偏置电压BIAS2的电压电平增大时,所述电流可以减小并且第1P放大节点AP1的电压电平可能难以变得足够高。因此,第二放大电路320可能不会输出具有足够低的电平的输出信号OUT。因此,对于第一放大电路310和第二放大电路320的稳定操作来说,使第一偏置电压BIAS1的电压电平和第二偏置电压BIAS2的电压电平保持恒定可能是重要的,以便使流过第六晶体管T25的电流和流过第六晶体管T35的电流保持恒定。根据本公开的实施例,不管晶体管的阈值电压的变化如何,电压发生器100都可以通过产生具有恒定电压电平的第一偏置电压BIAS1和第二偏置电压BIAS2来使流过第六晶体管T25的

恒定电流和流过第六晶体管T35的恒定电流的量保持恒定,并且因此可以允许第一放大电路310和第二放大电路320执行精确的放大操作。

[0048] 图4是示出根据实施例的半导体系统400的配置的图。参考图4,半导体系统400可以包括第一半导体装置410和第二半导体装置420。第一半导体装置410可以提供第二半导体装置420执行操作所需的各种控制信号。第一半导体装置410可以包括各种类型的主机装置。例如,第一半导体装置410可以是中央处理单元(CPU)、图形处理单元(GPU)、多媒体处理器(MMP)、数字信号处理器、应用处理器(AP)以及存储器控制器之中的一个或更多个。例如,第二半导体装置420可以是存储装置并且所述存储装置可以包括易失性存储器和非易失性存储器。易失性存储器可以包括静态随机存取存储器(静态RAM:SRAM)和动态RAM(DRAM)、同步DRAM(SDRAM)。非易失性存储器可以包括只读存储器(ROM)、可编程ROM(PROM)、电可擦除可编程ROM(EEPROM)、电可编程ROM(EPROM)、闪存、相变RAM(PRAM)、磁性RAM(MRAM)、电阻式RAM(RRAM)、铁电RAM(FRAM)等。

[0049] 第二半导体装置420可以通过第一总线401和第二总线402电耦接到第一半导体装置410。第一总线401和第二总线402中的每一个可以是用于传送信号的信号传输路径、链路或通道。第一总线401可以是单向总线。第一半导体装置410可以通过第一总线401将第一信号TS1传送到第二半导体装置420。第二半导体装置420可以被电耦接到第一总线401。第二半导体装置420可以通过第一总线401来接收从第一半导体装置410传送的第一信号TS1。第一信号TS1可以包括诸如命令信号、时钟信号、地址信号等的控制信号。第二总线402可以是双向总线。通过第二总线402,第一半导体装置410可以将第二信号TS2传送到第二半导体装置420,并且第一半导体装置410可以接收从第二半导体装置420传送的第二信号TS2。反之,通过第二总线402,第二半导体装置420可以将第二信号TS2传送到第一半导体装置410,并且第二半导体装置420可以接收从第一半导体装置410传送的第二信号TS2。例如,第二信号TS2可以是数据。在一个实施例中,第一信号TS1和第二信号TS2连同互补信号TSB1和TSB2可以通过第一总线401和第二总线402传输的差分信号对。在一个实施例中,第一信号TS1和第二信号TS2可以通过第一总线401和第二总线402传输的单端信号。

[0050] 第一半导体装置410可以包括第一发送电路(TX)411、第二发送电路(TX)413和接收电路(RX)414。第一发送电路411可以电耦接到第一总线401,并且可以基于第一半导体装置410的内部信号来驱动第一总线401以将第一信号TS1传送到第二半导体装置420。第二发送电路413可以电耦接到第二总线402,并且可以基于第一半导体装置410的内部信号来驱动第二总线402以将第二信号TS2传送到第二半导体装置420。接收电路414可以电耦接到第二总线402并且可以通过第二总线402来接收从第二半导体装置420传送的第二信号TS2。接收电路414可以通过对通过第二总线402传送的第二信号TS2进行差分放大来产生要在第一半导体装置410中使用的内部信号。当差分信号对通过第二总线402被传送时,接收电路414可以通过对第二信号TS2与第二信号TS2的互补信号TS2B进行差分放大来产生内部信号。当单端信号通过第二总线402传送时,接收电路414可以通过对第二信号TS2与第一参考电压VREF1进行差分放大来产生内部信号。第一参考电压VREF1可以具有与第二信号TS2的摆动范围的中间值相对应的电压电平。图3所示的放大电路300可以被应用作为接收电路414。第一半导体装置410还可以包括电压发生器415。电压发生器415可以产生第一偏置电压BIAS11和第二偏置电压BIAS12,并且电压发生器415可以将第一偏置电压BIAS11和第二偏

置电压BIAS12提供到接收电路414。接收电路414可以基于第一偏置电压BIAS11和第二偏置电压BIAS12来产生恒定电流。图1所示的电压发生器可以被应用作为电压发生器415。

[0051] 第二半导体装置420可以包括第一接收电路(RX) 422、发送电路(TX) 423和第二接收电路(RX) 424。第一接收电路422可以电耦接到第一总线401并可以通过第一总线401接收从第一半导体装置410传送的第一信号TS1。第一接收电路422可以通过对通过第一总线401传送的第一信号TS1进行差分放大来产生要在第二半导体装置420中使用的内部信号。当差分信号对通过第一总线401传送时，第一接收电路422可以通过对第一信号TS1与第一信号TS1的互补信号TS1B进行差分放大来产生内部信号。当单端信号通过第一总线401传送时，第一接收电路422可以通过对第一信号TS1与第二参考电压VREF2进行差分放大来产生内部信号。第二参考电压VREF2可以具有与第一信号TS1的摆动范围的中间值相对应的电压电平。发送电路423可以电耦接到第二总线402，并且可以基于第二半导体装置420的内部信号来驱动第二总线402以将第二信号TS2传送到第一半导体装置410。第二接收电路424可以电耦接到第二总线402，并且可以通过第二总线402接收从第一半导体装置410传送的第二信号TS2。第二接收电路424可以通过对通过第二总线402传送的第二信号TS2进行差分放大来产生要在第二半导体装置420中使用的内部信号。当差分信号对通过第二总线402传送时，第二接收电路424可以通过对第二信号TS2与第二信号TS2的互补信号TS2B差分放大来产生内部信号。当单端信号通过第二总线402传送时，第二接收电路424可以通过对第二信号TS2与第一参考电压VREF1进行差分放大来产生内部信号。图3所示的放大电路300可以被应用作为第一接收电路422和第二接收电路424之间的至少一个。第二半导体装置420还可以包括电压发生器425。电压发生器425可以产生第一偏置电压BIAS21和第二偏置电压BIAS22，并且可以将第一偏置电压BIAS21和第二偏置电压BIAS22提供给第一接收电路422和第二接收电路424。第一接收电路422和第二接收电路424中的每一个都可以基于第一偏置电压BIAS21和第二偏置电压BIAS22来产生恒定电流。图1所示的电压发生器100可以被应用作为电压发生器425。

[0052] 尽管上面已经描述了某些实施例，但是本领域技术人员将理解，所描述的实施例仅是示例性的。因此，不应基于所描述的实施例来限制所述电压发生器、使用该电压发生器的半导体装置以及半导体系统。相反，本文中所描述的电压发生器、使用其的半导体装置和半导体系统仅应根据结合以上描述和附图时的所附权利要求来限制。

100

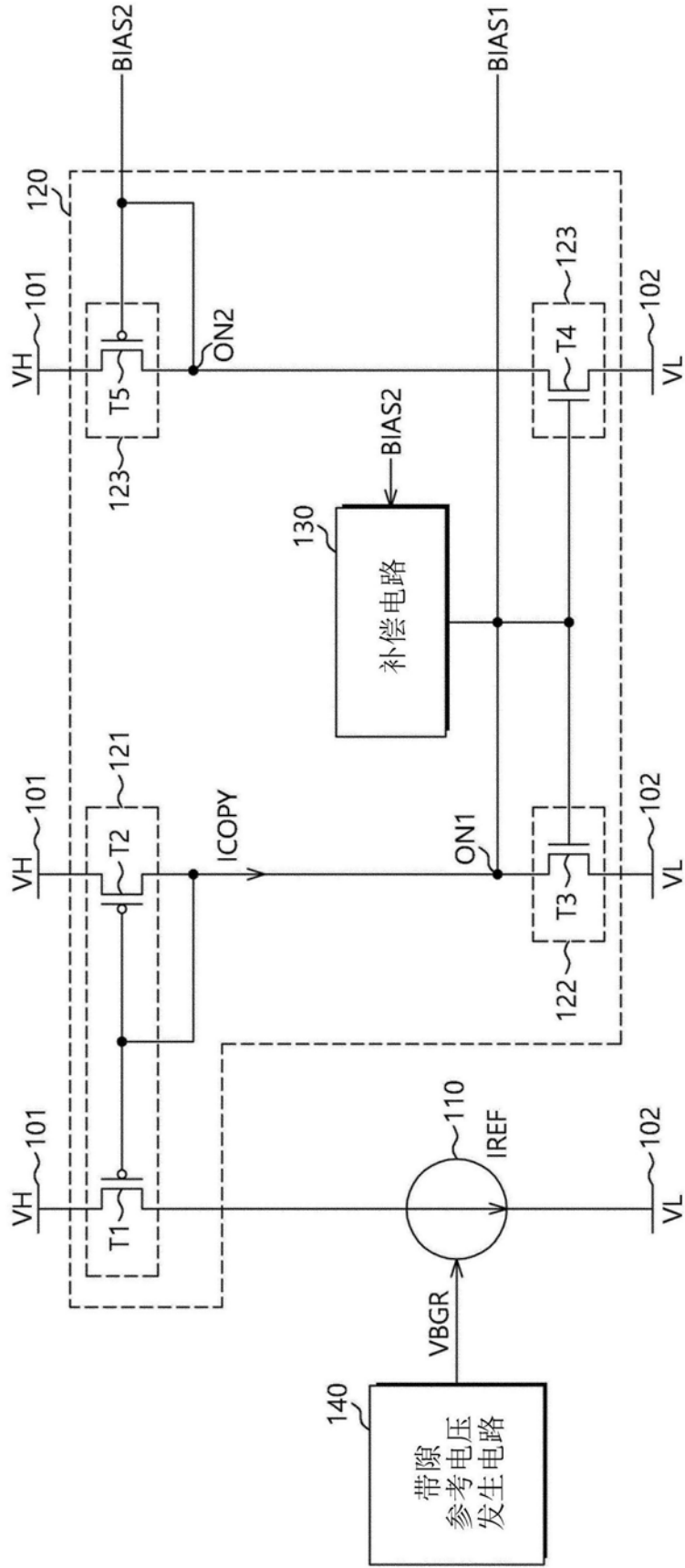


图1

200

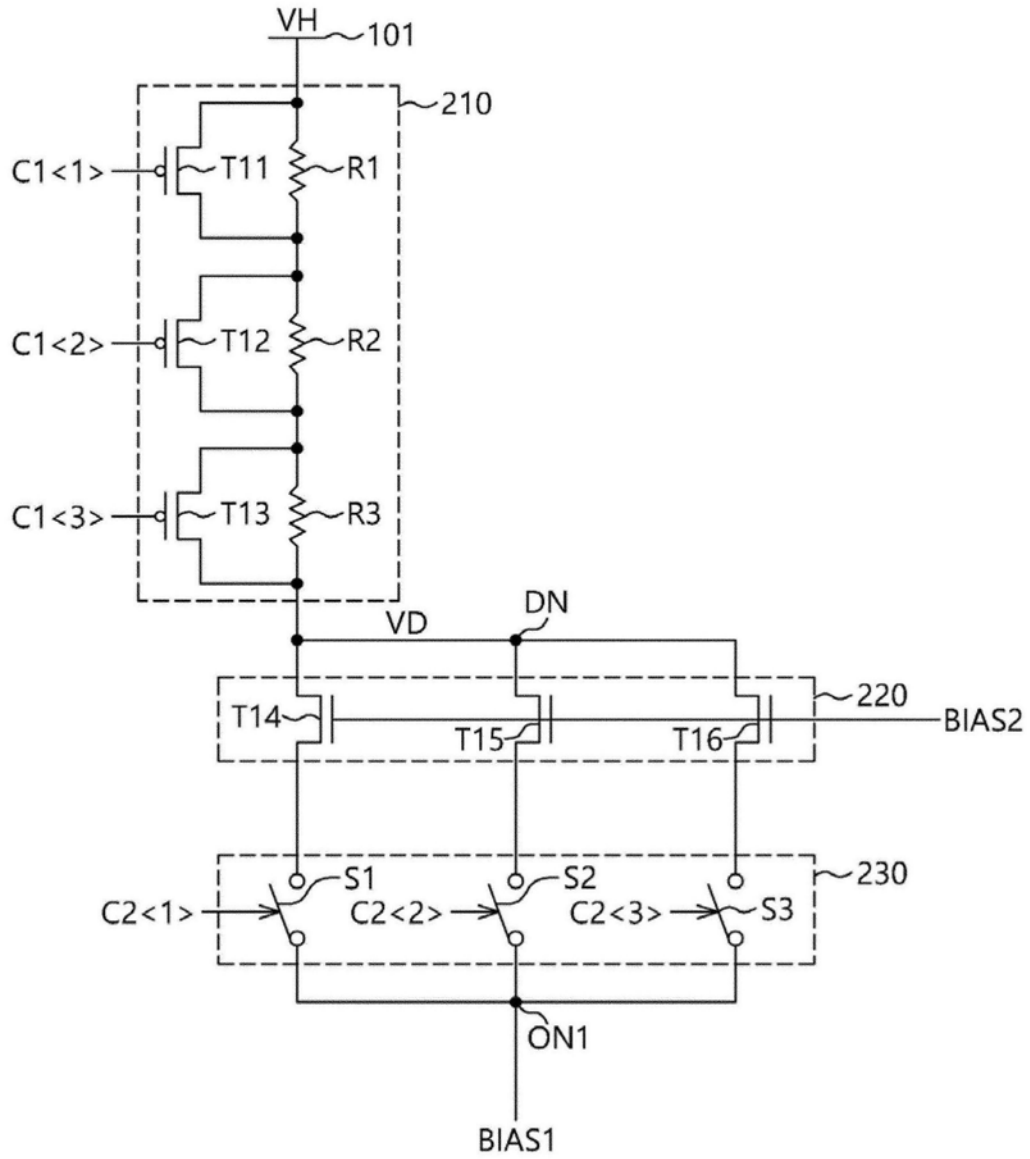


图2

300

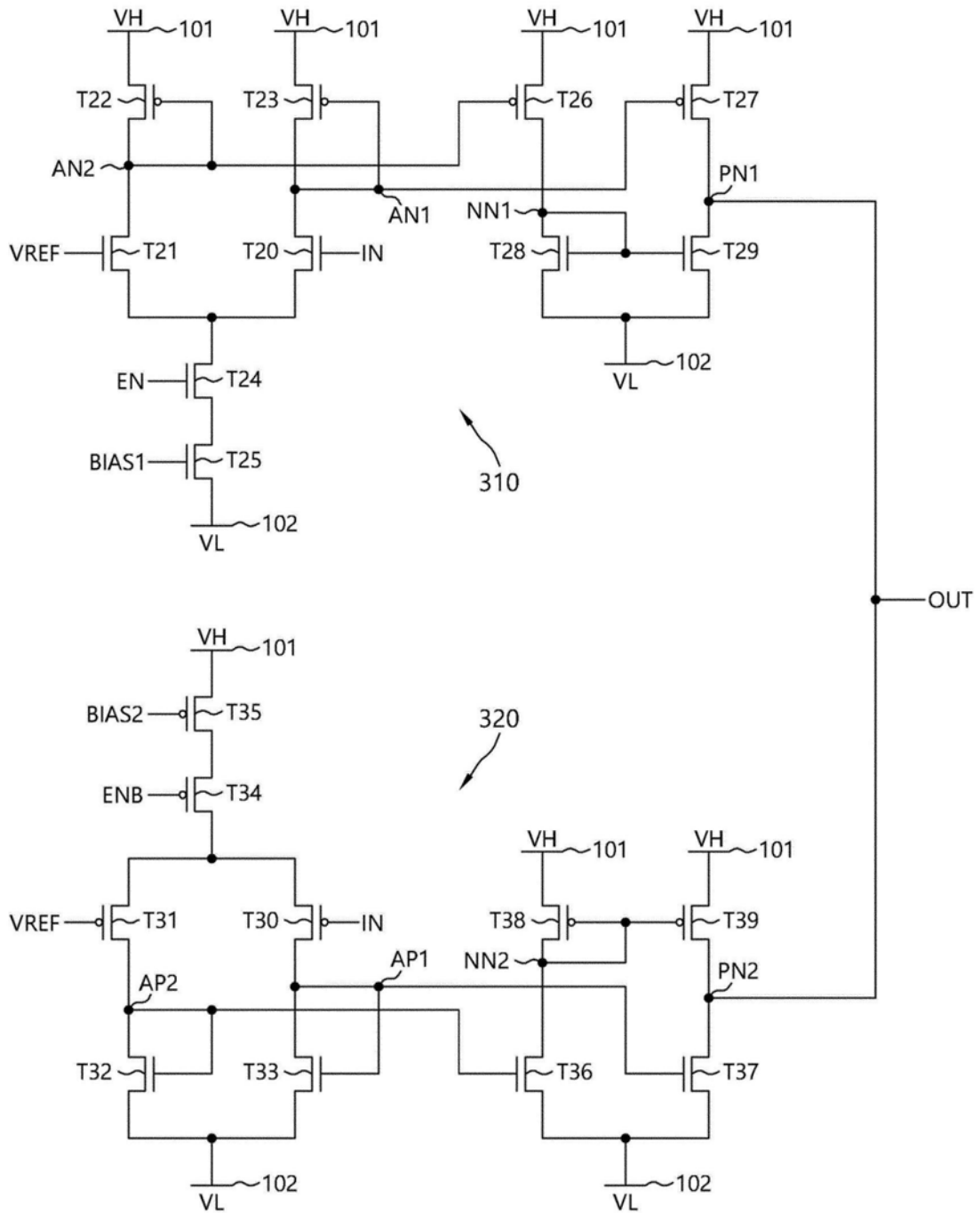


图3

400

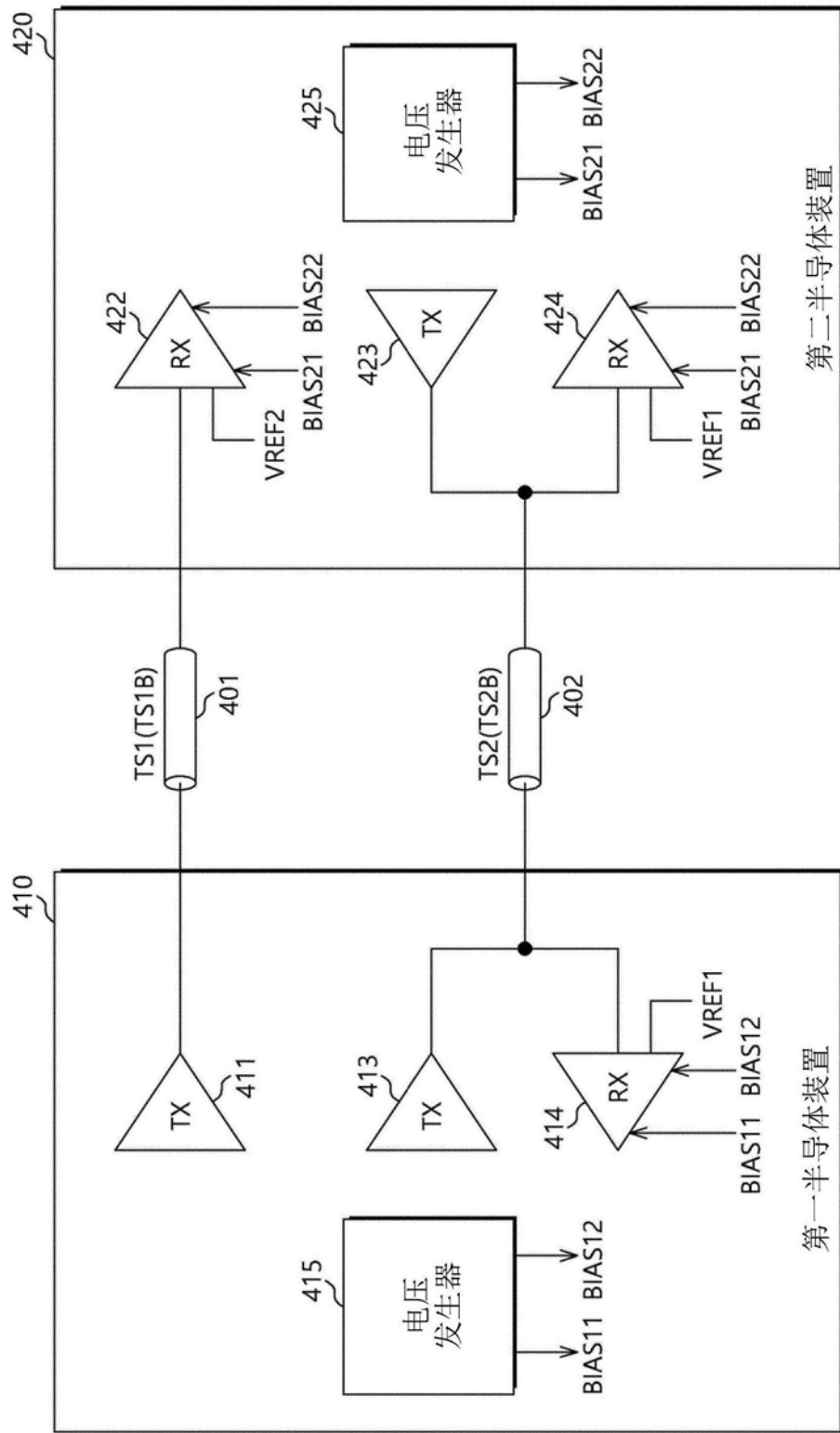


图4