

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G02B 6/12 (2006.01)

G02F 1/025 (2006.01)



[12] 发明专利说明书

专利号 ZL 200610112700.5

[45] 授权公告日 2009 年 3 月 11 日

[11] 授权公告号 CN 100468103C

[22] 申请日 2006.8.30

[21] 申请号 200610112700.5

[73] 专利权人 中国科学院半导体研究所

地址 100083 北京市海淀区清华东路甲 35
号

[72] 发明人 陈弘达 黄北举 刘金彬 顾 明
刘海军

[56] 参考文献

US2003/0206709A1 2003.11.6

CN1459874A 2003.12.3

US2005/0220405A1 2005.10.6

US6999670B1 2006.2.14

US6166846A 2000.12.26

US6323985B1 2001.11.27

WO2005/017609A2 2005.2.24

硅基 GHz 高速电光调制器研究进展. 屠晓光, 陈少武, 余金中. 物理, 第 35 卷第 4 期.
2006

审查员 薛 松

[74] 专利代理机构 中科专利商标代理有限责任公
司

代理人 汤保平

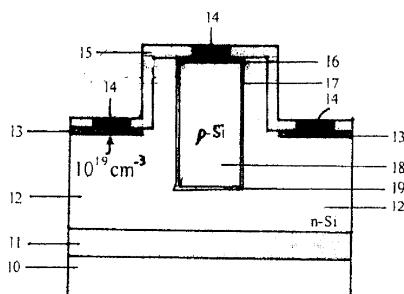
权利要求书 2 页 说明书 9 页 附图 4 页

[54] 发明名称

三电容 MOS 硅基高速高调制效率电光调制器

[57] 摘要

一种三电容 MOS 硅基高速高调制效率电光调制器，包括一衬底；一二氧化硅掩埋层位于衬底上；一 n 型单晶硅层为衬底上的单晶硅，制作成凹槽结构；一 n+注入层制作在 n 型单晶硅层两侧的平面上；一横向栅氧化层和一纵向栅氧化层，制作在 n 型单晶硅层上的凹槽内壁面；一 p 型单晶硅层制作在 n 型单晶硅层的凹槽结构内，该 p 型单晶硅层和 n 型单晶硅层一起形成脊形波导结构；一 p+注入层制作在 p 型单晶硅层的上面；金属接触层制作在 p+注入层上面的中间位置及 n+注入层上面的中间位置，分别形成调制器的正负电极；一氧化层制作在 n 型单晶硅层和 p 型单晶硅层的表面，起到保护作用。



1、一种三电容 MOS 硅基高速高调制效率电光调制器，其特征在于，包括：

一衬底；

一二氧化硅掩埋层，该二氧化硅掩埋层位于衬底上；

一 n 型单晶硅层，该 n 型单晶硅层为衬底上的单晶硅，制作成凹槽结构；

一 n+注入层，该 n+注入层制作在 n 型单晶硅层两侧的平面上；

一横向栅氧化层和一纵向栅氧化层，制作在 n 型单晶硅层上的凹槽内壁面；

一 p 型单晶硅层，该 p 型单晶硅层制作在 n 型单晶硅层的凹槽结构内，该 p 型单晶硅层和 n 型单晶硅层一起形成脊形波导结构；

一 p+注入层，该 p+注入层制作在 p 型单晶硅层的上面；

金属接触层，该金属接触层制作在 p+注入层上面的中间位置及 n+注入层上面的中间位置，分别形成调制器的正负电极；

一氧化层，该氧化层制作在 n 型单晶硅层和 p 型单晶硅层

的表面，起到保护作用。

2、根据权利要求 1 所述的三电容 MOS 硅基高速高调制效率电光调制器，其特征在于，其中纵向栅氧化层的厚度为 1 0 nm，越薄的栅氧化层厚度越有利于调制效率的提高。

3、根据权利要求 1 所述的三电容 MOS 硅基高速高调制效率电光调制器，其特征在于，其中横向栅氧化层的厚度为 1 0 nm，越薄的栅氧化层厚度越有利于调制效率的提高。

4、根据权利要求 1 所述的三电容 MOS 硅基高速高调制效率电光调制器，其特征在于，其中横向栅氧化层和纵向栅氧化层夹在 n 型单晶硅层和 p 型单晶硅层之间，起到将 n 型单晶硅层和 p 型单晶硅层绝缘的作用，形成电容结构。

5、根据权利要求 1 所述的三电容 MOS 硅基高速高调制效率电光调制器，其特征在于，其中 p⁺注入层的注入深度应该小于 0 . 5 μm，以减小重掺杂欧姆接触对光场的吸收损耗， p⁺注入层的厚度越薄越有利于减小吸收损耗。

6、根据权利要求 1 所述的三电容 MOS 硅基高速高调制效率电光调制器，其特征在于，其中 n⁺注入层的注入深度应该小于 0 . 5 μm，以减小重掺杂欧姆接触对光场的吸收损耗， n⁺注入层的厚度越薄越有利于减小吸收损耗。

三电容 MOS 硅基高速高调制效率电光调制器

技术领域

本发明涉及一种电光调制器，特别涉及一种与现代大规模集成电路工艺兼容的三电容 MOS 硅基高速高调制效率电光调制器。

背景技术

集成电路的集成度按照摩尔定律每两年翻一番的速度飞速向前发展，晶体管尺寸和互连线尺寸同步缩小使芯片集成度越来越高，费用越来越低。虽然随着集成度的提高，单个晶体管的延时越来越小，然而互连线的延时却越来越大。这是因为互连线尺寸的减小使互连线电阻增加，虽然目前采用铜互连代替以前的铝互连能在一定程度上减小电阻和互连线的电迁移率问题，然而当互连线尺寸进一步减小时，铜互连仍然遇到了延时和功耗的瓶颈。此外，随着铜互连线尺寸的减小，表面散射越来越严重从而使互连线电阻进一步增加。当互连线宽度小于 50 nm 时，这种表面散射的影响将变得非常显著，并且严重依赖于金属淀积技术。这些电互连固有的电阻、延时、功率

损失及电磁干扰等问题成为制约微电子集成电路发展的瓶颈，使人们把目光转向了光互连。光互连能解决电互连固有的瓶颈，具有高带宽、抗干扰和低功耗等优点，可用于系统芯片中时钟信号传输，解决信号的相互干扰和时钟歪斜问题。

为了实现光互连必须借助于调制器将电信号调制成光信号。和其他光电子器件一样，目前调制器所用材料都是基于 III-V 族化合物半导体材料以及具有强线性电光系数的 LiNbO₃。之所以人们较少考虑将硅作为调制器材料是因为硅是反演对称晶体结构不具备线性电光效应，难以实现高速电光调制。传统的基于等离子色散效应的 PIN 波导型电光调制器速度最高也只有 20 MHz。2004 年，《Nature》杂志上报道的硅基 MOS (Metal-Oxide-Semiconductor) 型电容器结构调制器将调制速率提高到了 1 GHz。虽然这种 MOS 型电容器结构调制器大大提高了速度，但是这种结构的载流子积累区域只集中在栅氧化层两侧的薄层内，载流子和光场交叠面积小，因此载流子引起折射率的变化较小，调制效率低下，需要很长的调制长度才能达到 π 相移。低的调制效率还引起功耗的增加，需要较大的注入电流。工作在大电流下的硅基调制器会引起器件温度的升高，温度的升高会由于热光效应引起硅折射率的增大，抵消了等离子色散效应引起的折射率的减小，从而可能使器件失效。因此有必要对该结构调制器进行改进，在满足高速调制下同时实现高效率调制。

发明内容

本发明提出一种高性能三电容 MOS 型硅基电光调制器，以提高上述 MOS 调制器的调制效率，减小调制长度和功耗。这种三电容 MOS 型硅基电光调制器制作在 SOI 衬底上，由两层纵向栅氧化层 1_7 和一层横向栅氧化层 1_9 构成。其制作工艺与于现代大规模集成电路工艺兼容，易于实现光电子集成。

本发明一种三电容 MOS 硅基高速高调制效率电光调制器，其特征在于，包括：

- 一衬底；
- 一二氧化硅掩埋层，该二氧化硅掩埋层位于衬底上；
- 一 n 型单晶硅层，该 n 型单晶硅层为衬底上的单晶硅，制作成凹槽结构；
- 一 n⁺注入层，该 n⁺注入层制作在 n 型单晶硅层两侧的平面上；
- 一横向栅氧化层和一纵向栅氧化层，制作在 n 型单晶硅层上的凹槽内壁面；
- 一 p 型单晶硅层，该 p 型单晶硅层制作在 n 型单晶硅层的凹槽结构内，该 p 型单晶硅层和 n 型单晶硅层一起形成脊形波导结构；
- 一 p⁺注入层，该 p⁺注入层制作在 p 型单晶硅层的上面；

金属接触层，该金属接触层制作在 p+注入层上面的中间位置及 n+注入层上面的中间位置，分别形成调制器的正负电极；

一氧化层，该氧化层制作在 n 型单晶硅层和 p 型单晶硅层的表面，起到保护作用。

其中纵向栅氧化层的厚度为 1 0 nm，越薄的栅氧化层厚度越有利于调制效率的提高。

其中横向栅氧化层的厚度为 1 0 nm，越薄的栅氧化层厚度越有利于调制效率的提高。

其中横向栅氧化层和纵向栅氧化层夹在 n 型单晶硅层和 p 型单晶硅层之间，起到将 n 型单晶硅层和 p 型单晶硅层绝缘的作用，形成电容结构。

其中 p+注入层的注入深度应该小于 0.5 μm，以减小重掺杂欧姆接触对光场的吸收损耗，p+注入层的厚度越薄越有利于减小吸收损耗。

其中 n+注入层的注入深度应该小于 0.5 μm，以减小重掺杂欧姆接触对光场的吸收损耗，n+注入层的厚度越薄越有利于减小吸收损耗。

其中使用 SOI 衬底制作器件，利用到 SOI 的二氧化硅掩埋层起到限制光场的作用，从而将光场限制在脊形波导区域，减小光场向衬底的泄露损耗。

附图说明

为进一步说明本发明的具体技术内容，以下结合实施例及附图详细说明如后，其中：

图 1 表示本发明的结构剖面图；

图 2 表示入射光场在调制器中分布图；

图 3 (a) 和 (b) 表示在外加不同正向偏压下，调制器中载流子分布图；

图 4 表示不同的调制长度下，不同的正向偏压引起的相位变化图；

图 5 表示不同脊形波导宽度下，RC 时间延时随掺杂浓度变化关系图；

图 6 表示载流子瞬态响应图。

具体实施方式

以下结合附图描述本发明的具体实施方式。

请参阅图 1，图 1 表示双纵向栅氧化层结构 MOS 调制器的结构剖面图，包括：

一衬底 1 0；

一二氧化硅掩埋层 1 1，该二氧化硅掩埋层 1 1 位于衬底 1 0 上；

一 n 型单晶硅层 1 2，该 n 型单晶硅层 1 2 为衬底上单晶

硅，制作成凹槽结构；

一 n⁺注入层 1 3，该 n⁺注入层 1 3 制作在 n 型单晶硅层 1 2 两侧的平面上；

一横向栅氧化层 1 9 和一纵向栅氧化层 1 7，制作在 n 型单晶硅层 1 2 上的凹槽内；

一 p 型单晶硅层 1 8，该 p 型单晶硅层 1 8 制作在横向栅氧化层 1 9 和纵向栅氧化层 1 7 上面，该 p 型单晶硅层 1 8 和 n 型单晶硅层 1 2 一起形成脊形波导结构；

一 p⁺注入层 1 6，该 p⁺注入层 1 6 制作在 p 型单晶硅层 1 8 的上面；

一金属接触层 1 4，该金属接触层 1 4 制作在 p⁺注入层 1 6 上面的中间位置及 n⁺注入层 1 3 上面的中间位置，分别形成调制器的正负电极；

一氧化层 1 5，该氧化层 1 5 制作在 n 型单晶硅层 1 2 和 p 型单晶硅层 1 8 的表面，起到保护作用。

其中 n 型单晶硅层 1 2 为 SOI 衬底上的 n-Si，将多余的单晶硅刻蚀掉形成凹槽结构。两层纵向栅氧化层 1 7 和一层横向栅氧化层 1 9 为通过在 n 型单晶硅层 1 2 上高温干氧生长形成。p 型单晶硅层 1 8 为通过在横向栅氧化层 1 9 上外延生长形成。之所以生长单晶硅是为了减小其对光场吸收损耗，考虑到生长单晶硅工艺的复杂性也可以改成生长工艺上较为容易的多晶硅，但代价是多晶硅对光场的吸收较大引起较大的吸

收损耗。电极的制作通过常规的欧姆接触即可获得，需要注意的是，为了减少电极的重掺杂欧姆接触对光场的吸收以减小损耗，欧姆接触的重掺杂注入层厚度应该较小，即：p+注入层 1 6 和的 n+注入层 1 3 注入深度应该小于 $0.5 \mu\text{m}$ 。注入层的厚度越薄越有利于减小吸收损耗，但代价是欧姆接触的电阻可能增加。最后在调制器表面生长一层氧化层 1 5 作为保护层。

夹在 n 型单晶硅层 1 2 和 p 型单晶硅层 1 8 之间的两层纵向栅氧化层 1 7 以及横向栅氧化层 1 9 充当了电容器的电介质绝缘层，因此该结构可等效于三个电容器的并联。当在电极上加正向偏压时，与普通电容器一样，在电介质绝缘层——纵向栅氧化层 1 7 和横向栅氧化层 1 9 两侧都会出现多子积累。积累的载流子通过等离子色散效应减小了脊形波导的折射率，从而改变了入射光场相位。适当的选择正向偏压值和调制长度，使相位改变 π 。相位相差 π 的两束光经过 Mach-Zehnder 型 Y 分支干涉仪时发生干涉，从而形成光强的调制。

图 2 表示入射光场在调制器中分布图，由图可见大部分光场被限制在脊形波导区域，光场振幅最大处位于 p 型单晶硅层 1 8 中。这与普通的脊形波导对光场的限制作用是一样的，原因是纵向栅氧化层 1 7 和横向栅氧化层 1 9 的厚度很薄，对光场的影响可忽略。图 3 表示在外加 5 V 正向偏压下，调制器中载流子分布图。图 3 (a) 为在 $y=3 \mu\text{m}$ 截面处的载流子分布，图 3 (b) 为在 $x=4 \mu\text{m}$ 截面处的载流子分布。在外加正向偏

压作用下，纵向栅氧化层 1 7 和横向栅氧化层 1 9 的两侧都出现了载流子积累。

由此可见：在外加正向偏压下，两层纵向栅氧化层 1 7 和横向栅氧化层 1 9 两侧都是既分布着较大振幅的光场又存在着多子积累。其载流子和光场交叠的面积相当于三个电容的表面积，远远大于《Nature》杂志上报道的单电容 MOS 调制器一个电容的表面积，因此大大提高了调制效率。

图 4 表示不同的调制长度下，不同的正向偏压引起的相位变化图。由图可见在 8 V 正向偏压下，调制长度为 4 mm 就足以实现 π 相移。大大小于调制长度为 10 mm 的单电容型 MOS 调制器。

图 5 表示不同脊形波导宽度下，RC 时间延时随掺杂浓度变化关系图。由于调制器含有三个电容，具有较大的电容值，因此必须考虑调制器本身的 RC 时间延时对调制器工作速度的影响。由图可见，较大的脊形波导宽度和较小的掺杂浓度都会引起较大的 RC 时间延时。为了保证延时小于 0.1 ns（即要使调制器工作在 10 GHz 以上），掺杂浓度必须高于 $5 * 10^{16} \text{ cm}^{-3}$ 。

图 6 表示载流子瞬态响应图，在正向外加偏压下，载流子需要经过一定时间 Δt 才能在纵向栅氧化层 1 7 和横向栅氧化层 1 9 两侧积累。 Δt 决定了调制器所能工作的最高速度。由图可见载流子积累的上升时间和下降时间分别为 80 ps 和 40

ps，意味着调制器可以工作在 8 GHz 以上。

本发明提出了一种与 CMOS 工艺兼容的高性能三电容 MOS 型硅基电光调制器，能显著提高普通单电容型 MOS 调制器的调制效率，减小调制长度和功耗。这种三电容 MOS 型硅基电光调制器制作在 SOI 衬底上，由两层纵向栅氧化层 1_7 和一层横向栅氧化层 1_9 构成，其制作工艺与现代大规模集成电路工艺兼容，易于实现光电子集成。本发明提出的新型 MOS 硅基电光调制器，以其高速高调制效率的良好特性，有望在下一代光电子集成回路（OEIC）和片上光互连中产生重要影响。

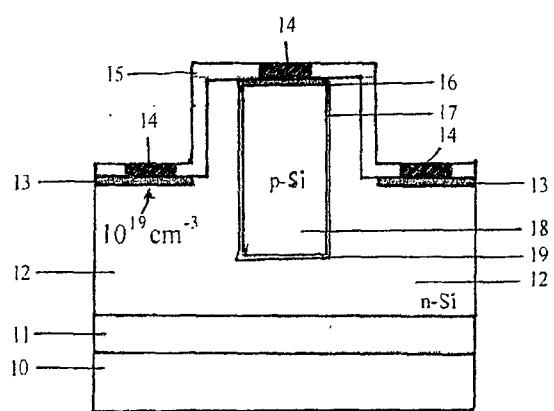


图 1

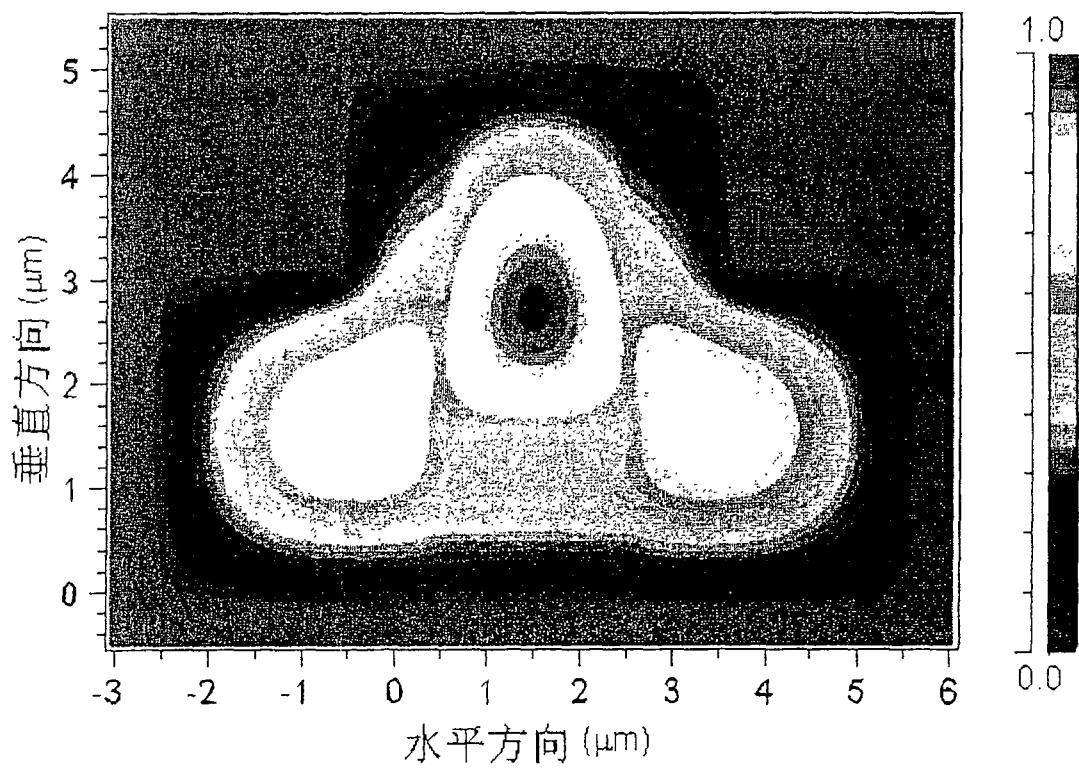
模场分布 ($m=0, n_{eff}=3.537285$)

图 2

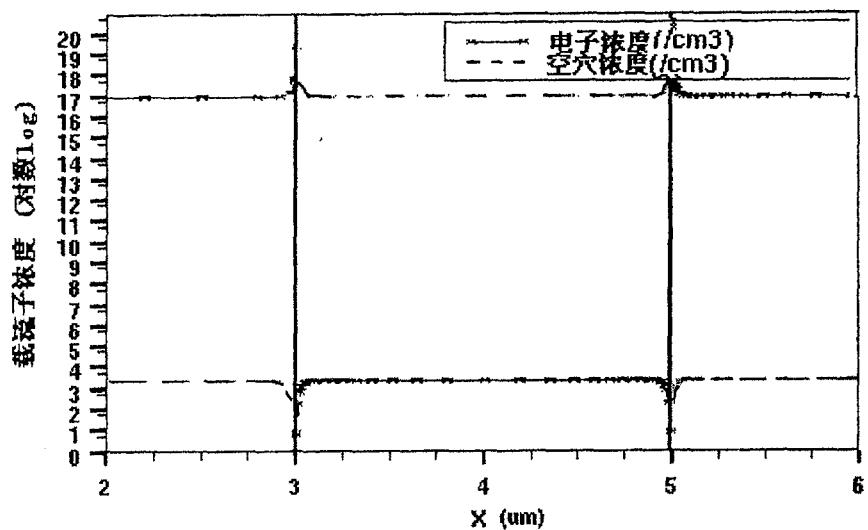


图 3(a)

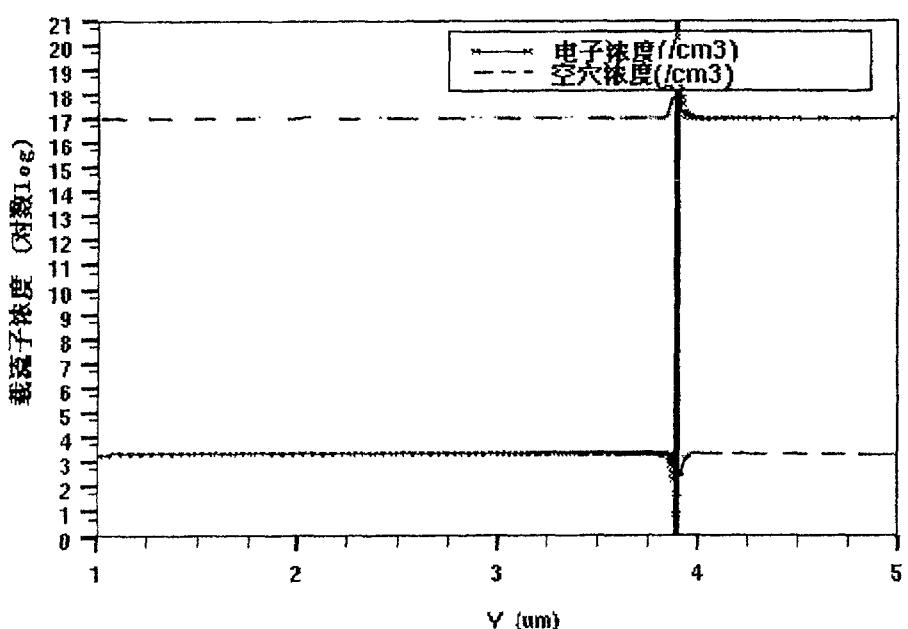


图 3(b)

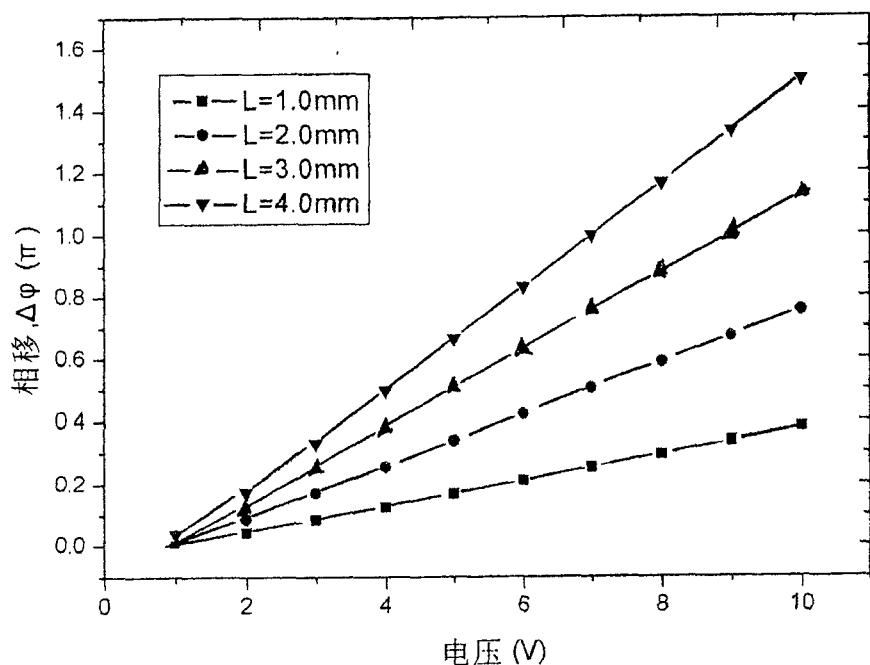


图 4

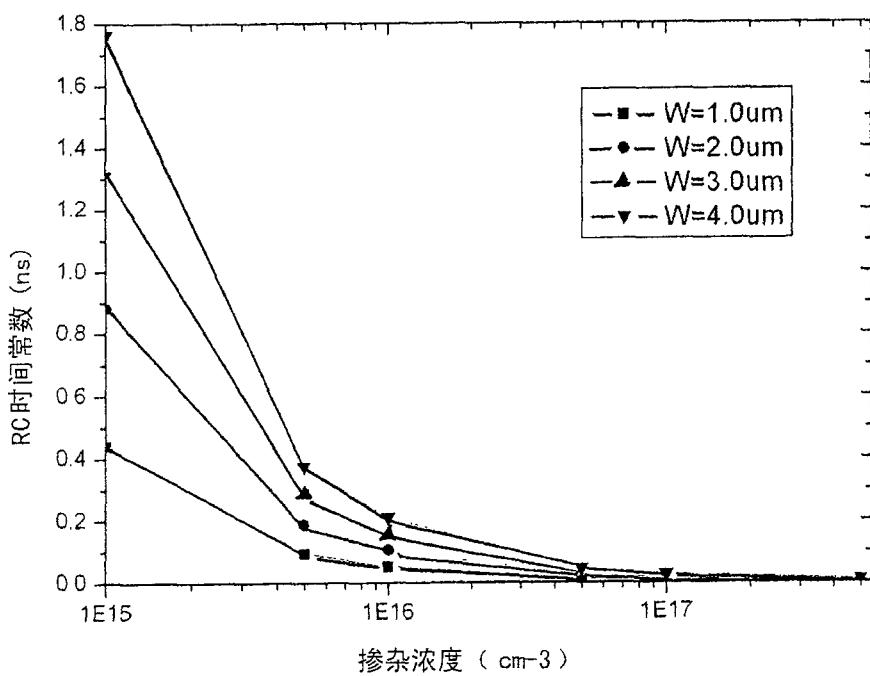


图 5

