

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は半導体装置に関し、特に、単一の活性領域内に2つの光電変換素子を有する画素領域を備えた半導体装置に関するものである。

背景技術

[0002] 従来の固体撮像素子を有する半導体装置においては、たとえば特開2013-157883号公報（特許文献1）に示すように、単一の画素領域内に単一の光電変換素子が配置された構成を有している。特許文献1に示すように、当該固体撮像素子においては、光電変換素子への光入射領域のうちほぼ半分の領域は金属等の遮光膜により遮光されている。半分の領域が遮光されることにより、使用者の片目で見える範囲内でピントの調節などを行なうことができる。

先行技術文献

特許文献

[0003] 特許文献1：特開2013-157883号公報

発明の概要

発明が解決しようとする課題

[0004] 特許文献1の固体撮像素子は、遮光膜により一部の入射光が遮られるため、一時に処理できる信号の量が少ない問題がある。そこで近年、単一の画素領域内に2つの光電変換素子が配置された固体撮像素子が開発されている。この光電変換素子を用いれば、一時に処理できる信号の量が特許文献1の固体撮像素子の約2倍になるため、1つの画素領域によりピントの調節などをより高速で行なうことができる。

[0005] ところがこの高速動作が可能な固体撮像素子においては、通常、単一の画素領域内において2つの光電変換素子のそれぞれから出力される電気信号を受ける他のトランジスタが、光電変換素子から離れた領域に配置される。こ

のため当該光電変換素子と当該他のトランジスタとを接続する配線の長さが不当に長くなる場合がある。このように配線が長くなれば、当該配線による配線容量の値が大きくなるという問題が発生し得ることに、本願発明の発明者は着目した。

[0006] その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

課題を解決するための手段

[0007] 一実施の形態に係る半導体装置は、半導体基板に複数の画素領域が行列状に並ぶ半導体装置である。複数の画素領域のそれぞれは、活性領域と、2つの光電変換素子と、2つの浮遊容量領域と、第1のトランジスタとを備える。2つの光電変換素子は活性領域内に互いに間隔をあけて配置されている。2つの浮遊容量領域は、2つの光電変換素子のそれぞれとともに、光電変換により得られた電子を転送するための転送トランジスタを構成可能であり、光電変換素子から出力される電気信号を取り出し蓄積する。第1のトランジスタは、転送トランジスタから出力される電気信号を受ける。複数の画素領域のそれぞれには、2つの光電変換素子のそれぞれと2つの浮遊容量領域のそれぞれとを有する転送トランジスタが2つ含まれる。第1のトランジスタは、画素領域内において、2つの浮遊容量領域のうち一方の浮遊容量領域と他方の浮遊容量領域との並ぶ方向に関して一方の浮遊容量領域と他方の浮遊容量領域との間に配置される。

発明の効果

[0008] 一実施の形態によれば、光電変換素子と第1のトランジスタとを接続する配線の長さを短くし、配線容量の値を小さくすることができる。

図面の簡単な説明

[0009] [図1]一実施の形態に係る半導体装置であってウェハの状態を示す概略平面図である。

[図2]図1の点線で囲まれた領域11の概略図である。

[図3]実施の形態1における半導体装置の画素部の構成の第1例を示す概略平

面図である。

[図4]図3の点線で囲まれた領域ⅠⅤの概略拡大平面図である。

[図5]実施の形態1における半導体装置の画素部の構成の第2例を示す概略平面図である。

[図6]図5の点線で囲まれた領域ⅤⅠの概略拡大平面図である。

[図7]実施の形態1の画素部の構成を示す回路図である。

[図8]図4のⅤⅠⅠⅠA－ⅤⅠⅠⅠA線に沿う部分の概略断面図(A)と、図4のⅤⅠⅠⅠB－ⅤⅠⅠⅠB線に沿う部分の概略断面図(B)とである。

[図9]実施の形態1における半導体装置の製造方法の第1工程を示す概略断面図である。

[図10]実施の形態1における半導体装置の製造方法の第2工程を示す概略断面図である。

[図11]実施の形態1における半導体装置の製造方法の第3工程を示す概略断面図である。

[図12]実施の形態1における半導体装置の製造方法の第4工程を示す概略断面図である。

[図13]実施の形態1における半導体装置の製造方法の第5工程を示す概略断面図である。

[図14]実施の形態1における半導体装置の製造方法の第6工程を示す概略断面図である。

[図15]比較例における画素部の構成を示す概略拡大平面図である。

[図16]実施の形態2における半導体装置の画素部の構成の第1例を示す概略平面図である。

[図17]図16の点線で囲まれた領域ⅩⅤⅠⅠの概略拡大平面図である。

[図18]実施の形態2における半導体装置の画素部の構成の第2例を示す概略平面図である。

[図19]図18の点線で囲まれた領域ⅩⅠⅩの概略拡大平面図である。

[図20]図17のⅩⅩ－ⅩⅩ線に沿う部分の概略断面図である。

[図21]実施の形態3における半導体装置の画素部の構成の第1例を示す概略平面図である。

[図22]図21の点線で囲まれた領域XXIIの概略拡大平面図である。

[図23]実施の形態3における半導体装置の画素部の構成の第2例を示す概略平面図である。

[図24]図23の点線で囲まれた領域XXIVの概略拡大平面図である。

[図25]実施の形態3の画素部の構成を示す回路図である。

[図26]図22のXXV―XXV線に沿う部分の概略断面図である。

[図27]実施の形態4における半導体装置の画素部の構成の第1例を示す概略平面図である。

[図28]図27の点線で囲まれた領域XXVIIの概略拡大平面図である。

[図29]実施の形態4における半導体装置の画素部の構成の第2例を示す概略平面図である。

[図30]図29の点線で囲まれた領域XXXの概略拡大平面図である。

[図31]図28のXXX―XXX線に沿う部分の概略断面図である。

[図32]実施の形態5における画素部の構成を示す概略拡大平面図である。

発明を実施するための形態

[0010] 以下、一実施の形態について図に基づいて説明する。

(実施の形態1)

まず一実施の形態の半導体装置の半導体基板の主表面における各素子形成領域の配置について図1～図2を用いて説明する。

[0011] 図1を参照して、半導体装置は、半導体基板SUBをベースとする半導体ウェハSCWに形成されている。半導体ウェハSCWには、複数のCMOSセンサ用のチップ領域IMCが形成されている。複数のチップ領域IMCの各々は矩形の平面形状を有し、行列状に配置されている。また複数のチップ領域IMCの間には、ダイシングライン領域DLRが形成されている。

[0012] 図2を参照して、各々のチップ領域IMCは画素部と周辺回路部とを有している。画素部はチップ領域IMCの中央部に形成され、周辺回路部は画素

部の周囲を取り囲む領域に形成されている。

[0013] 図3および図4を参照して、本実施の形態の第1例においては、図2の画素部にはフォトダイオードPDと、転送トランジスタTXと、増幅トランジスタAMIと、リセットトランジスタRSTと、選択トランジスタSELを主に有しており、これらにより構成される画素領域が複数、行列状に配置されている。すなわち図3において点線で区画される矩形状（または正方形状）の領域が画素領域に相当する。

[0014] なお図3において点線で区画される各画素領域の境界部上にリセットトランジスタRSTの一部などが重畳するように載置されているが、これは一例であり、各画素領域の境界部はたとえばその内部の画素領域内にすべてのトランジスタがはみ出ることなく配置されるように設けられてもよい。

[0015] 各画素領域を構成するベースである半導体基板SUBには、たとえば平面視において矩形状を有する活性領域ARが形成されている。ここでは画素領域とは、単一の活性領域ARおよびその内部に形成されるフォトダイオードPD、ならびに当該フォトダイオードPDと接続される上記の転送トランジスタTX、増幅トランジスタAMI、リセットトランジスタRSTなどにより形成される構成単位を意味するものと定義する。上記のように画素部にはこの画素領域が複数、行列状に配置されている。

[0016] 活性領域ARはたとえば半導体基板SUB内に導電性不純物が注入された領域として形成されている。活性領域AR内には、たとえば図3の左右方向に関して互いに間隔をあけて複数、たとえば2つのフォトダイオードPDが配置されている。ここでフォトダイオードPDは、光を受けることにより光電変換により電荷を発生することが可能な光電変換素子を意味しており、後述するように半導体基板SUB内にp型の不純物領域とn型の不純物領域とがpn接合された構成を有している。なお活性領域AR内に3つ以上のフォトダイオードPDが配置されてもよい。

[0017] 各画素領域内には、2つのフォトダイオードPDのそれぞれと間隔をあけて、たとえば活性領域ARと同様に導電性不純物が注入された領域としての

フローティング拡散領域FDが形成されている。フローティング拡散領域FDは、フォトダイオードPDから出力される電気信号（フォトダイオードPDの光電変換により得られる電荷の信号）を取り出し蓄積することが可能な浮遊容量領域であり、2つのフォトダイオードPDのそれぞれからの電気信号を蓄積可能とすべく、各画素領域内に2つのフローティング拡散領域FDが配置されている。

[0018] 平面視においてフォトダイオードPDとフローティング拡散領域FDとの間には、転送ゲート電極Tgが配置されており、フォトダイオードPDとフローティング拡散領域FDと転送ゲート電極Tgとにより、転送トランジスタTXが構成されている。転送ゲート電極Tgは各画素領域内の2つのフォトダイオードPDと2つのフローティング拡散領域FDとの間に（2つ）配置されている。このため各画素領域内には2つのフォトダイオードPD、2つのフローティング拡散領域FDおよび2つの転送ゲート電極Tgのそれぞれにより、2つの転送トランジスタTXが配置されている。

[0019] 図3および図4においてはフォトダイオードPDおよびフローティング拡散領域FDは図の上下方向に延びる平面形状を有しており、フォトダイオードPDとフローティング拡散領域FDとは図の上下方向に関して（転送ゲート電極Tgを介在して）ほぼ一直線上に並ぶように配置されている。また転送ゲート電極Tgはこれらに交差するように図の左右方向に延びる平面形状を有している。ただし上記の平面形状は一例でありこれに限られない。

[0020] これらのフォトダイオードPD、フローティング拡散領域FDおよび転送ゲート電極Tgにより、転送トランジスタTXが構成されている。転送トランジスタTX内において、フォトダイオードPDは電荷を供給する電界効果トランジスタのソース領域として、フローティング拡散領域FDは電荷を受けて蓄積し、さらに他のトランジスタなどに当該電荷を供給するドレイン領域として、転送ゲート電極Tgはゲート電極として機能する。このため転送ゲート電極Tgは部分的にこれに隣接するフォトダイオードPDおよびフローティング拡散領域FDと重なることが好ましい。

[0021] 画素領域内においては、上記の転送トランジスタTXは、たとえば図中の配線M1などを介在して、フォトダイオードPDからの電荷を、画素領域内における転送トランジスタTXの外側に配置される他のトランジスタである増幅トランジスタAMI、リセットトランジスタRSTおよび選択トランジスタSELに転送する。

[0022] 増幅トランジスタAMIは、ソース／ドレイン領域としての増幅活性領域Aaと、ゲート電極としての増幅ゲート電極Agとを有する電界効果トランジスタの一種である。同様に、リセットトランジスタRSTは、ソース／ドレイン領域としてのリセット活性領域Raと、ゲート電極としてのリセットゲート電極Rgとを有し、選択トランジスタは、ソース／ドレイン領域としての選択活性領域Saと、ゲート電極としての選択ゲート電極Sgとを有する、電界効果トランジスタの一種である。

[0023] 増幅トランジスタAMIは、フォトダイオードPDの光電変換による信号電荷を増幅するための電界効果トランジスタである。リセットトランジスタRSTは、行リセット線に電圧印加してオン状態とすることにより、転送トランジスタTXのフローティング拡散領域に接続されるノードに蓄積された電荷を周期的にリセットするための電界効果トランジスタである。また選択トランジスタSELは、行列状に配置された画素が接続される行選択線のうち任意の1行を選択し、当該1行の行選択線に接続される画素を選択するための電界効果トランジスタである。

[0024] 図3および図4においては2つの転送トランジスタTXのそれぞれが同じ方向に（2つの転送トランジスタTXのいずれもが図の上側にフォトダイオードPDが、下側にフローティング拡散領域FDが並ぶように）配置されている。このため2つの転送トランジスタTXのうち一方の転送トランジスタTXのフローティング拡散領域FDと他方の転送トランジスタTXのフローティング拡散領域FDとは図3などの左右方向に並ぶように配置されている。これにより、図3および図4においては、第1のトランジスタとしての増幅トランジスタAMIが、平面視において左右方向に並ぶ、画素領域内の2

つの転送トランジスタTXのうち一方のフローティング拡散領域FDと他方のフローティング拡散領域FDの間に配置されている。

[0025] 図3および図4においては特に、2つのフローティング拡散領域FDのそれぞれと、それらの間の第1のトランジスタとしての増幅トランジスタAMIとが、平面視において図の左右方向に一直線に並ぶように配置されている。

[0026] 第1のトランジスタとしての増幅トランジスタAMIは、単一の画素領域あたり1つ配置されており、これがその図の左側および右側の双方に配置される2つの転送トランジスタTXにより共用される。ここで共用とは、単一の画素領域内の2つの転送トランジスタTXの双方からの電気信号がこれらの間に配置された上記の単一の増幅トランジスタAMIに送られ、単一の増幅トランジスタAMIが当該電気信号を受けて増幅する処理を行なうことを意味する。言い換えれば単一の画素領域内の2つの転送トランジスタTXの双方が、当該単一の増幅トランジスタAMIを共有している。

[0027] 本実施の形態においては、リセットトランジスタRSTおよび選択トランジスタSELともに（増幅トランジスタAMIと同様に）、単一の画素領域あたり1つ配置されている。図3および図4の選択トランジスタSELが配置される位置はあくまで一例であり、これに限られない。

[0028] リセットトランジスタRSTは、平面視において2つのフローティング拡散領域FDとこれらの間の増幅トランジスタAMIとを結ぶ一直線の（図3および図4の右側の）延長線上に配置されている。言い換えればリセットトランジスタRSTは2つのフローティング拡散領域FDのそれぞれと、平面視において一直線上に並んでいる。そして上記の2つのフローティング拡散領域FDのそれぞれと、これらの間の増幅トランジスタAMIのたとえば増幅ゲート電極Agと、リセットトランジスタRSTのリセット活性領域Raとが、たとえばコンタクトCTを介在して図の左右方向に一直線状に延びる配線M1に電氣的に接続される。これにより、第2のトランジスタとしてのリセットトランジスタRSTは第1のトランジスタとしての増幅トランジスタ

タ A M I から出力される電気信号を受けることを可能とする。

[0029] なお図 4 においては説明の便宜上、2つのフローティング拡散領域 F D を結ぶ領域のみに配線 M 1 が示されているが、実際には図示されないが他の領域にも配線 M 1 が引き回されている。

[0030] 図 3 および図 4 においては増幅ゲート電極 A g は（転送ゲート電極 T g と同様に）図の左右方向に延びる平面形状を有し、リセットトランジスタ R S T および選択トランジスタ S E L の各ゲート電極は図の上下方向に延びる平面形状を有している。しかしこの配置は一例でありこれに限られない。たとえば転送ゲート電極 T g とリセットゲート電極 R g とが互いにほぼ平行に延びるように配置されていてもよい。

[0031] さらに本実施の形態の各画素領域における第 1 のトランジスタとしての増幅トランジスタ A M I は、当該画素領域内において、2つの転送ゲート電極 T g のうち一方の転送ゲート電極 T g と他方の転送ゲート電極 T g との並ぶ図の左右方向に関して、一方の転送ゲート電極 T g と他方の転送ゲート電極 T g との間に配置されている。ここで一方の転送ゲート電極 T g と他方の転送ゲート電極 T g との間とは、厳密にたとえば一直線上における2つのゲート電極 T g に挟まれた領域に限らず、図の左右方向に関する座標が一方の転送ゲート電極 T g と他方の転送ゲート電極 T g との間であり厳密に1対のゲート電極 T g を結んでなる一直線上から外れた領域を含むものとする。実際ここでは当該画素領域内の増幅トランジスタ A M I は、2つの転送ゲート電極 T g よりもやや下方に配置されている。

[0032] ただし、ここでたとえば図 4 の上下方向に並ぶ2つの画素領域のように、（特にある転送トランジスタ T X のフォトダイオード P D とフローティング拡散領域 F D とを結ぶ図の上下方向に関して）互いに隣り合う2つの画素領域を考える。このとき、（図の上下方向に関して）当該2つの画素領域のうち一方の第 1 の画素領域の（フォトダイオード P D が形成される）活性領域 A R と、当該2つの画素領域のうち他方の第 2 の画素領域の（フォトダイオード P D が形成される）活性領域 A R との間に、上記の第 1 のトランジスタ

としての増幅トランジスタAM1が配置されることが好ましい。

[0033] さらに本実施の形態の各画素領域における第1のトランジスタとしての増幅トランジスタAM1は、当該画素領域内において、2つのフォトダイオードPDのうち一方のフォトダイオードPDと他方のフォトダイオードPDとの並ぶ図の左右方向に関して、一方のフォトダイオードPDと他方のフォトダイオードPDとの間に配置されている。ここで一方のフォトダイオードPDと他方のフォトダイオードPDの間とは、厳密にたとえば一直線上における2つのフォトダイオードPDに挟まれた領域に限らず、図の左右方向に関する座標が一方のフォトダイオードPDと他方のフォトダイオードPDとの間で厳密に1対のフォトダイオードPDを結んでなる一直線上から外れた領域を含むものとする。実際ここでは当該画素領域内の増幅トランジスタAM1は、2つのフォトダイオードPDよりもやや下方に配置されている。

[0034] ただしフォトダイオードPDについても転送ゲート電極Tgの場合と同様、（図の上下方向に関して）2つの画素領域のうち一方の第1の画素領域の（フォトダイオードPDが形成される）活性領域ARと、当該2つの画素領域のうち他方の第2の画素領域の（フォトダイオードPDが形成される）活性領域ARとの間に、上記の増幅トランジスタAM1が配置されることが好ましい。

[0035] 図5および図6を参照して、本実施の形態の第2例においては、フォトダイオードPDなどの個々の構成要素は基本的に図3および図4の本実施の形態の第1例と同様の材質および形状などを有するように形成されている。ただし図5および図6においては、フローティング拡散領域FDが、図5および図6におけるその上側の（第1の）画素領域内のフォトダイオードPD、転送ゲート電極Tgおよびその下側の（第2の）画素領域内のフォトダイオードPD、転送ゲート電極Tgにより共用（共有）されている。

[0036] すなわち当該第2例においては、図の上下方向に関して隣り合う第1および第2の画素領域を跨ぐように、単一のフローティング拡散領域FDが配置

されており、第1および第2の画素領域のそれぞれのフォトダイオードPDおよび転送ゲート電極Tgと当該フローティング拡散領域FDとにより、2つの転送トランジスタTXが配置される構成を有している。

[0037] ただし図の左右方向に並ぶ1対のフローティング拡散領域FDの間に増幅トランジスタAMIが挟まれる構成であること、2つのフローティング拡散領域FDの外側にリセットトランジスタRSTが配置されること、構成要素FD、AMI、RSTが一直線に並んでいることなどは図3および図4の第1例と同様である。このため同一の要素については同一の符号を付し、その説明は繰り返さない。

[0038] 図7を参照して、図3および図4の第1例、図5および図6の第2例ともに、回路図で表せば概ね同様の構成となっている。すなわちたとえば図5および図6のそれぞれに示す上側の画素領域内の2つのフォトダイオードPDのうちの一方(PD1)を含む転送トランジスタTX(TX1)と他方(PD2)を含む転送トランジスタTX(TX2)とが、2つのフローティング拡散領域FDの間の増幅トランジスタAMI(増幅ゲート電極Ag)に接続されている。その増幅ゲート電極Agは、リセットトランジスタRSTのリセット活性領域Raに接続されている。また増幅トランジスタAMIと選択トランジスタSELとの活性領域同士が接続されている。リセットトランジスタRSTと増幅トランジスタAMIとの活性領域の一部(ソース/ドレイン領域のいずれか)には電圧Vddが印加される。

[0039] 次に図8の概略断面図を参照して、フォトダイオードPDおよび転送トランジスタTXなどの平面構造の上方の積層構造について説明する。

[0040] 図8(A)、(B)を参照して、ここでは半導体基板SUBはたとえばp型不純物を含むシリコンからなるものとする。フォトダイオードPDは、表面p型領域SPRと、n型領域NRとを有している。表面p型領域SPRは半導体基板SUBの主表面に形成されたp型の不純物領域であり、半導体基板SUBの主表面に沿うように広がっている。一方、n型領域NRは半導体基板SUBの主表面に形成されたn型の不純物領域であり、表面p型領域S

P Rとの間でp n接合を構成するように、たとえば表面p型領域S P Rの下側に接触するように配置される。

[0041] フォトダイオードPDを含む転送トランジスタTXは、上記のようにソース領域としてフォトダイオードPDを有し、かつドレイン領域としてたとえばn型の不純物領域からなるフローティング拡散領域FDを有している。また増幅トランジスタAMIは（図8に示されないが）ソース／ドレイン領域としてたとえばn型の不純物領域からなる増幅活性領域を有し、リセットトランジスタRSTはソース／ドレイン領域としてたとえばn型の不純物領域からなるリセット活性領域Raを有している。

[0042] 転送トランジスタTXは、たとえばシリコン酸化膜からなるゲート絶縁膜GIと、ゲート絶縁膜GIの一方の主表面上に（一方の主表面に接するように）配置された転送ゲート電極Tgと、転送ゲート電極Tgの側壁の少なくとも一部を覆うたとえばシリコン酸化膜からなる側壁絶縁膜SWとを主に有している。

[0043] 同様に、増幅トランジスタAMIは、たとえばシリコン酸化膜からなるゲート絶縁膜GIと、ゲート絶縁膜GIの一方の主表面上に（一方の主表面に接するように）配置された増幅ゲート電極Agと、増幅ゲート電極Agの側壁の少なくとも一部を覆うたとえばシリコン酸化膜からなる側壁絶縁膜SWとを主に有している。リセットトランジスタRSTは、たとえばシリコン酸化膜からなるゲート絶縁膜GIと、ゲート絶縁膜GIの一方の主表面上に（一方の主表面に接するように）配置されたリセットゲート電極Rgと、リセットゲート電極Rgの側壁の少なくとも一部を覆うたとえばシリコン酸化膜からなる側壁絶縁膜SWとを主に有している。また図8の断面図には現れていないが、選択トランジスタSELも基本的にリセットトランジスタRSTと同様の構成を有している。

[0044] 半導体基板SUBの主表面において、転送トランジスタTX、増幅トランジスタAMI、リセットトランジスタRST（および図示されない選択トランジスタSEL）のそれぞれは、素子分離膜SPTにより互いに電氣的に分

離されている。

[0045] 上記の各種トランジスタを覆うように層間絶縁膜 111 が形成され、層間絶縁膜 111 を覆うように層間絶縁膜 112 が、層間絶縁膜 112 を覆うように層間絶縁膜 113 が、層間絶縁膜 113 を覆うように層間絶縁膜 114 が形成されている。図 8 においては上記のように層間絶縁膜が 4 層積層されているが、層間絶縁膜の積層される数は任意である。

[0046] 層間絶縁膜 111 の上面の一部に接するように配線 M1 が形成され、同様に層間絶縁膜 112 の上面の一部に接するように配線 M2 が、層間絶縁膜 113 の上面の一部に接するように配線 M3 が、それぞれ形成されている。これらの配線はたとえばアルミニウムの薄膜により形成されるがこれに限られない。またここでは便宜上、配線 M1 は、増幅ゲート電極 Ag に接続される配線 M1a と、リセットゲート電極 Rg に接続され配線 M2 に接続される配線 M1b と、リセット活性領域 Ra から配線 M2, M3 に通じる配線 M1c とに分類される。異なる層間の配線の電氣的接続は、各層間絶縁膜を厚み方向に延びるコンタクト CT によりなされている。

[0047] 配線 M3 は、特に転送トランジスタ TX の真上において、フォトダイオード PD への光の入射を抑制する遮光膜として形成されている。さらに配線 M3 の開口部（フォトダイオード PD の真上）における層間絶縁膜 114 の上面にはカラーフィルタ FLT およびレンズ LNS が形成されている。

[0048] レンズ LNS はフォトダイオード PD に入射する光を取り込む機能を有する。カラーフィルタ FLT はフォトダイオード PD に入射する光を赤、緑または青のいずれかの波長の光に変換するためのフィルタである。すなわち画素部に配列される複数の固体撮像素子の間で、赤、緑または青のそれぞれのカラーフィルタ FLT が一定の個数割合で配列される。また遮光膜としての配線 M3 は、レンズ LNS 以外の領域からフォトダイオード PD への光の入射を抑制するために、レンズ LNS の真下（フォトダイオード PD の真上）以外の領域に形成されている。

[0049] 次に、図 9～図 14 および図 8 を参照しながら、上記本実施の形態の半導

体装置の製造方法を、特に図 8 (A)、(B) の断面図に示す領域に重点をおいて説明する。

[0050] 図 9 (A)、(B) を参照して、まずたとえばシリコンからなる、n 型または p 型の導電性不純物を含む半導体基板 S U B が準備される。次に一般公知の方法により、半導体基板 S U B の主表面 S 1 の一部に、転送トランジスタの形成される領域（フォトダイオードの形成される領域を含む）、増幅トランジスタの形成される領域およびリセットトランジスタの形成される領域のそれぞれに分けるための素子分離膜 S P T が形成される。

[0051] その後、特に図 9 (A) を参照して、転送トランジスタの形成される領域においては、フォトダイオードの形成される領域を含むように、半導体基板 S U B 内にフォトダイオードの形成される領域（活性領域 A R）が、たとえば通常の写真製版技術およびイオン注入技術により形成される。また図示されないが、必要に応じて半導体基板 S U B 内にはウェル領域が形成されてもよい。

[0052] さらに通常の写真製版技術およびイオン注入技術により、必要に応じて半導体基板 S U B 内の主表面 S 1 の近傍には、図 9 に示されないチャネル領域が形成される。このチャネル領域は、たとえば転送トランジスタのゲート電極などが形成される領域の真下の領域に形成される、微量の不純物が注入された領域である。

[0053] 図 10 (A)、(B) を参照して、次に、たとえば通常の熱酸化法により、半導体基板 S U B の主表面（素子分離膜 S P T の上面を除く）にはシリコン酸化膜からなる絶縁膜が形成される。次に、たとえば通常の C V D (Chemical Vapor Deposition) 法により、絶縁膜および素子分離膜 S P T を覆うように、導電性不純物を含む多結晶シリコンの薄膜が形成される。通常の写真製版技術およびエッチング技術により、公知の感光剤を用いたフォトレジストのパターンが形成される。このフォトレジストのマスクを用いて、多結晶シリコンの薄膜がエッチングされ、転送ゲート電極 T g、増幅ゲート電極 A g およびリセットゲート電極 R g が形成される。この多結晶シリコンの薄

膜のエッチングは、たとえば通常のR I E (Reactive Ion Etching) 法によりなされる。その後、上記のフォトレジストが除去される結果、転送ゲート電極T gなどの真下以外の絶縁膜は除去され、転送ゲート電極T gなどの真下に残った絶縁膜はゲート絶縁膜G Iとなる。

[0054] 図11を参照して、通常の写真製版技術およびイオン注入技術により、フォトダイオードの形成される領域（活性領域A R）における半導体基板S U B内には、n型領域N Rおよび表面p型領域S P Rがこの順に形成され、これらによりフォトダイオードP Dが形成される。

[0055] 図12を参照して、通常の写真製版技術およびイオン注入技術により、たとえばn型の導電性不純物を含むイオン注入領域としてのフローティング拡散領域F D、リセット活性領域R a、および図示されない増幅活性領域、選択活性領域が形成される。次にたとえば通常のC V D法およびエッチバックにより、たとえばシリコン酸化膜とシリコン窒化膜とがこの順に積層された構成を有する側壁絶縁膜S Wが形成される。

[0056] 図13を参照して、たとえばC V D法を用いて、シリコン酸化膜からなる層間絶縁膜I I 1が形成される。その後、当該層間絶縁膜I I 1がC M P (Chemical Mechanical Polishing) と呼ばれる化学機械的研磨法により上面が平坦となるように研磨される。さらに通常の写真製版技術およびエッチング技術により、転送ゲート電極T g、増幅ゲート電極A g、リセットゲート電極R g、フローティング拡散領域F D、リセット活性領域R aなどに達するように層間絶縁膜I I 1にビアホールが形成される。層間絶縁膜I I 1（シリコン酸化膜）とゲート電極T g、A g、R g（多結晶シリコン）とのエッチング選択比の差を利用して、ゲート電極T g、A g、R gの上面に達したところでエッチングが終了することにより、ビアホールが形成される。

[0057] 次に、ビアホールの内部にたとえばタングステンよりなる導電膜が充填されることにより、ビアホールの内部にはコンタクトC Tが形成される。この処理においてはたとえばC V D法が用いられ、層間絶縁膜I I 1上にもタングステンの薄膜が形成される。層間絶縁膜I I 1上のタングステンの薄膜は

CMPにより除去される。

[0058] 図14を参照して、層間絶縁膜111上にはたとえばアルミニウムからなる薄膜が、たとえばスパッタリングにより形成される。そして通常の写真製版技術およびエッチング技術により、コンタクトCTの真上にはたとえばアルミニウムからなる配線M1が形成される。

[0059] 図8を参照して、次に、層間絶縁膜111および配線M1を覆うようにシリコン酸化膜からなる層間絶縁膜112が形成され、所望の領域（配線M1の特に配線M1b, M1c上）に、配線M1上に達するように上記のビアホールと同様のビアホールが形成される。次に図12の工程と同様にそのビアの内部にたとえばタングステンよりなる導電膜が充填されることによりコンタクトCTが形成される。

[0060] さらに上記と同様の工程により、層間絶縁膜112のコンタクトCTの真上にはたとえばアルミニウムからなる配線M2が形成され、層間絶縁膜112および配線M2を覆うようにシリコン酸化膜からなる層間絶縁膜113が形成される。

[0061] 層間絶縁膜113上にはたとえばアルミニウムやタングステンなどの光に対する透過性の低い金属材料の薄膜が、たとえばスパッタリングにより形成される。そして通常の写真製版技術およびエッチング技術により、フォトダイオードPDの真上以外の領域に残存するように当該金属材料の薄膜がパターンニングされ、遮光膜としての機能を兼ねる配線M3が形成される。

[0062] その後、シリコン酸化膜からなる層間絶縁膜114が形成され、層間絶縁膜114上のフォトダイオードPDの真上にはカラーフィルタFLTおよびレンズLNSが形成される。以上の各工程により一実施の形態の固体撮像素子を有する半導体装置が形成される。

[0063] 次に、比較例としての図15を参照しながら、本実施の形態の作用効果を説明する。

図15を参照して、当該比較例の半導体装置においても本実施の形態と同様に、行列状に並ぶ複数の画素領域のそれぞれに活性領域ARが形成され、

当該活性領域A R内には互いに間隔をあけて、2つのフォトダイオードP Dが配置されている。また2つのフォトダイオードP Dのそれぞれからの電気信号を蓄積可能とすべく、各画素領域内に2つのフローティング拡散領域F Dが配置されている。この点において、図15は図4に示す本実施の形態の第1例の構成と同様である。

[0064] ただし比較例においては、一の画素領域内のリセットトランジスタR S T、増幅トランジスタA M Iともに、画素領域内の2つの転送トランジスタT X（特に2つのフローティング拡散領域F D）から離れた位置に配置されており、少なくとも図の左右方向に関して一方および他方のフローティング拡散領域F D（または転送ゲート電極T g，フォトダイオードP D）の間に配置されていない。この場合、図中に示すようにフローティング拡散領域F Dからリセット活性領域R aまでを電氣的に接続するために引き回される配線M 1，M 2の長さが非常に長くなる。このため当該配線M 1，M 2とこれに隣接する層間絶縁膜とにより形成される配線容量が大きくなる。この配線容量はたとえば寄生容量として、半導体装置の動作に意図しない影響を及ぼす可能性がある。

[0065] なお図15の比較例においては選択トランジスタS E L、増幅トランジスタA M IおよびリセットトランジスタR S Tが平面視において図の上下方向に一直線状に並んでおり、その一直線の延長上に接地パッドG N Dが配置されている。また図15においては選択トランジスタS E Lと増幅トランジスタA M Iとが活性領域S A aを共有しており、増幅トランジスタA M IとリセットトランジスタR S Tとが活性領域A R aを共有している。しかし図15の比較例における各構成要素の配置はこのような態様に限られない。

[0066] そこで本実施の形態においては、図3～図6に示すように、単一の画素領域内の2つの転送トランジスタT Xのそれぞれのフローティング拡散領域F Dの並ぶ左右方向に関する一方と他方との間に、増幅トランジスタA M Iが配置される。第1の画素領域の増幅トランジスタA M Iは必ずしも2つのフローティング拡散領域F Dと一直線に並ぶように配置されなくてもよいが、

少なくとも図の上下方向に関して（たとえば下側に）隣り合う第2の画素領域内の活性領域よりも、第1の画素領域側（たとえば上側）に配置される。

[0067] 図4、図6のように転送トランジスタTXから電気信号が出力されるドレイン領域に相当する、1対のフローティング拡散領域FDの間に第1のトランジスタ（増幅トランジスタAMI）が配置されることにより、ドレイン領域と増幅トランジスタAMI（のたとえば増幅ゲート電極Ag）との電気的な接続に用いる配線M1の長さを、図15の比較例よりも大幅に短くすることができる。このため配線容量を小さくすることができる。

[0068] また本実施の形態においては、上記増幅トランジスタAMIは、単一の画素領域内の1対の転送トランジスタTXの2つの転送ゲート電極Tgの並ぶ方向に関する両者の間に配置され、かつ単一の画素領域内の1対の転送トランジスタTXの2つのフォトダイオードPDの並ぶ方向に関する両者の間に配置される。これによっても、上記同様に、配線M1の長さを、図15の比較例よりも大幅に短くすることができる。このため配線容量を小さくすることができる。

[0069] 特に本実施の形態のように、1対のフローティング拡散領域FDのそれぞれと、第1のトランジスタ（増幅トランジスタAMI）とが平面視において一直線上に並ぶように配置されれば、上記配線をいっそう短くすることができる。またチップ領域IMC内における各構成要素のレイアウト効率を高めることができ、半導体装置をいっそう高集積化することができる。

[0070] 本実施の形態においては、上記の増幅トランジスタAMIが、これを挟む1対の転送トランジスタTXにより共用される。すなわち単一の画素領域内に、転送トランジスタTXが2つ配置されるのに対し、増幅トランジスタAMIは1つのみ配置されている。このため、たとえば1つの転送トランジスタTXごとに1つの（すなわち画素領域内に2つの）増幅トランジスタAMIが配置される場合に比べて、チップ領域IMC内に配置される構成要素の数を減少させることができる。これによりチップ領域IMCを小さくし、半導体装置をいっそう高集積化することができる。

[0071] また本実施の形態においては、複数の画素領域のそれぞれが第2のトランジスタとしてリセットトランジスタRSTを備え、これが画素領域内の1対のフローティング拡散領域FDのそれぞれと平面視において一直線上に並ぶ。これにより、第2のトランジスタと第1のトランジスタとを接続する配線M1をいっそう短くすることができる。またチップ領域IMC内における各構成要素のレイアウト効率を高めることができ、半導体装置をいっそう高集積化することができる。

[0072] さらに、たとえば図5および図6の第2例のように互いに隣り合う第1および第2の画素領域のそれぞれの転送トランジスタTX（フォトダイオードPD）がフローティング拡散領域FDを共用する構成（いわゆる対向型）が考えられる。この場合、図3および図4の第1例のように個々の転送トランジスタTXが1つずつのフローティング拡散領域FDを保有する構成（いわゆる並列型）に比べて、チップ領域IMC内における各構成要素のレイアウト効率を高めることができ、半導体装置をいっそう高集積化することができる。

[0073] （実施の形態2）

図16および図17を参照して、本実施の形態の第1例の半導体装置は、基本的に図3および図4の実施の形態1の第1例と同様に、いわゆる並列型の構成を有している。しかし本実施の形態においては、リセットトランジスタRST（第2のトランジスタ）のリセット活性領域Raの一部、すなわちリセットトランジスタRSTのソース／ドレイン領域のいずれかの少なくとも一部が、そのリセットトランジスタRSTが配置される画素領域内の2つのフローティング拡散領域FDのいずれかと平面視において重なっている。

[0074] 図18および図19を参照して、本実施の形態の第2例の半導体装置は、基本的に図5および図6の実施の形態1の第2例と同様に、いわゆる対向型の構成を有している。しかし本実施の形態においては、リセットトランジスタRSTのリセット活性領域Raの一部、すなわちリセットトランジスタRSTのソース／ドレイン領域のいずれかの少なくとも一部が、そのリセット

トランジスタ R S T が配置される画素領域内の 2 つのフローティング拡散領域 F D のいずれかと平面視において重なっている。

[0075] 上記の第 1 例、第 2 例ともに、重なったフローティング拡散領域 F D およびリセット活性領域 R a は、コンタクト C T を介在して、配線 M 1 と接続されている。その重なったフローティング拡散領域 F D およびリセット活性領域 R a から、それと反対側のフローティング拡散領域 F D まで、たとえば一直線上に、配線 M 1 が延びている。当該反対側のフローティング拡散領域 F D は、コンタクト C T を介在して、配線 M 1 と接続されている。配線 M 1 は増幅ゲート電極 A g とも、コンタクト C T を介在して接続されている。

[0076] 図 20 を参照して、この概略断面図の構成は、リセットトランジスタ R S T のソース／ドレイン領域 R a とフローティング拡散領域 F D とが少なくとも部分的に重なる点を除き、基本的に図 8 (B) の実施の形態 1 と同様の構成を有している。このため図 20 の配線 M 1 a は図 8 (B) の配線 M 1 a よりも図の左右方向の長さが短くなっている。なお本実施の形態における図 8 (A) の断面図と同じ方向に関する断面図は、図 8 (A) と同様となるため省略している。また本実施の形態の構成の回路図は図 7 と同様となるため省略している。

[0077] なお、これ以外の本実施の形態の構成は、実施の形態 1 の構成とほぼ同じであるため同一の要素については同一の符号を付し、その説明は繰り返さない。

[0078] 次に、本実施の形態の作用効果について説明する。

本実施の形態のようにリセットトランジスタ R S T のソース／ドレイン領域 R a とフローティング拡散領域 F D とが少なくとも部分的に重なることにより、たとえば実施の形態 1 (図 3～図 6) におけるリセットトランジスタ R S T のソース／ドレイン領域 R a とフローティング拡散領域 F D とを結ぶ配線 M 1 を省略することができる。このため本実施の形態の配線 M 1 は実施の形態 1 の配線 M 1 よりも短くなるため、配線 M 1 による配線容量をいっそう低減させることができる。

[0079] なお本実施の形態においては、増幅トランジスタAM Iの増幅ゲート電極Agはたとえば図16～図19における左右方向に延び、リセットトランジスタRSTのリセットゲート電極Rgはたとえば図16～図19における上下方向に延びている。すなわち本実施の形態においては、増幅トランジスタAM Iの増幅ゲート電極Ag（第1のゲート電極）とリセットトランジスタRSTのリセットゲート電極Rg（第2のゲート電極）とは、平面視において互いに交差（たとえば直交）する方向に延びている。またフローティング拡散領域FDはたとえば図16～図19における上下方向に延びているため、フローティング拡散領域FDとリセットゲート電極Rgとは平面視において互いにほぼ平行に沿うように延びている（フローティング拡散領域FDと増幅ゲート電極Agとは平面視において互いに交差する方向に延びている）。このようにすれば、リセット活性領域Raとフローティング拡散領域FDとが重なるレイアウトを容易に設計することができる。

[0080] （実施の形態3）

図21および図22を参照して、本実施の形態の第1例においては、基本的に図3および図4の実施の形態1の第1例と同様に、いわゆる並列型の構成を有している。しかし本実施の形態においては、第1のトランジスタとしての2つのリセットトランジスタRSTが、平面視において左右方向に並ぶ、画素領域内の2つの転送トランジスタTXのうち一方のフローティング拡散領域FDと他方のフローティング拡散領域FDの間に配置されている。そして当該2つのリセットトランジスタRSTが、画素領域内の2つの転送トランジスタTXのそれぞれ（のフローティング拡散領域FD）に接続されるように配置されている。

[0081] 画素領域内の2つのリセットトランジスタRSTのうち一方のリセット活性領域Raと他方のリセット活性領域Raとは部分的に領域RRaにおいて重なり、両者は一直線上に並ぶように配置されている。ただしこのような配置は一例であり、必ずしもこのような構成を有さなくてもよい。

[0082] 以上の点において本実施の形態は、第1のトランジスタとして単一の増幅

トランジスタ A M I が、画素領域内の 2 つの転送トランジスタ T X のうち一方のフローティング拡散領域 F D と他方のフローティング拡散領域 F D の間に配置される実施の形態 1 とは構成が異なっている。

[0083] 図 2 1 および図 2 2 においては特に、2 つのフローティング拡散領域 F D のそれぞれと、それらの間の第 1 のトランジスタとしての 2 つのリセットトランジスタ R S T とが、平面視において図の左右方向に一直線に並ぶように配置されている。

[0084] 増幅トランジスタ A M I は、平面視において 2 つのフローティング拡散領域 F D とこれらの間の 2 つのリセットトランジスタ R S T とを結ぶ一直線の（図 2 1 および図 2 2 の左側および右側の）延長線上に 1 つずつ（単一の画素領域あたり 2 つ）配置されている。言い換えれば 2 つの増幅トランジスタ A M I が 2 つのフローティング拡散領域 F D のそれぞれと、平面視において一直線上に並んでいる。そして上記の 2 つのフローティング拡散領域 F D のそれぞれと、これらの間の 2 つのリセットトランジスタ R S T のたとえばリセット活性領域 R a とが、平面視において重なるように接続されている。また上記 2 つのフローティング拡散領域 F D のそれぞれとこれに隣り合う増幅トランジスタ A M I のたとえば増幅ゲート電極 A g とが、たとえばコンタクト C T を介在して図の左右方向に一直線状に延びる配線 M 1 に電氣的に接続される。

[0085] たとえば図 2 2 においては配線 M 1 が 2 本に分かれて配置されている。ただし図 2 1, 2 2 の左側の増幅ゲート電極 A g と 2 つのフローティング拡散領域 F D と右側の増幅ゲート電極 A g とが、単一の直線状の配線 M 1 によりすべて接続される態様であってもよい。

[0086] つまり本実施の形態においては、単一の画素領域内の 2 つの転送トランジスタ T X のそれぞれに対して 1 つずつのリセットトランジスタ R S T および増幅トランジスタ A M I が割り当てられている。また図 2 1 および図 2 2 に示すように、本実施の形態においては単一の画素領域内に 2 つの選択トランジスタ S E L が配置されている。ここでは図 3 などと同様に選択ゲート電極

S_gが図の上下方向に延びるように配置されているが、この配置は一例でありこれに限られない。

[0087] なお本実施の形態においても、実施の形態1と同様に、各画素領域における第1のトランジスタとしての1対のリセットトランジスタRSTは、当該画素領域内において、2つの転送ゲート電極T_gのうち一方の転送ゲート電極T_gと他方の転送ゲート電極T_gとの並ぶ図の左右方向に関して、一方の転送ゲート電極T_gと他方の転送ゲート電極T_gとの間に配置されている。また本実施の形態においても、実施の形態1と同様に、各画素領域における第1のトランジスタとしての1対のリセットトランジスタRSTは、当該画素領域内において、2つのフォトダイオードPDのうち一方のフォトダイオードPDと他方のフォトダイオードPDとの並ぶ図の左右方向に関して、一方のフォトダイオードPDと他方のフォトダイオードPDとの間に配置されている。

[0088] 図23および図24を参照して、本実施の形態の第2例においては、図21および図22と同様の構成を、図5および図6の実施の形態1の第2例と同様に、いわゆる対向型の構成に適用した例である。並列型の構成から対向型の構成に変更され、図の上下方向に隣り合う2つの画素領域の転送トランジスタTX間で増幅トランジスタAMIおよびリセットトランジスタRSTが共用される点を除き、図23および図24の構成は基本的に図21および図22の構成と同様である。このため同一の要素については同一の符号を付し、その説明は繰り返さない。

[0089] 図25を参照して、図21および図22の第1例、図23および図24の第2例ともに、回路図で表せば概ね同様の構成となっている。ただし上記のように、単一の転送トランジスタTXに対して1つずつのリセットトランジスタRST、増幅トランジスタAMIおよび選択トランジスタSELが割り当てられる点において、図25は図7と異なっている。

[0090] 図26を参照して、この概略断面図の構成は、2つのフローティング拡散領域FD（の一部と平面的に重なるようにリセット活性領域Raが配置され

てもよい)の間に2つのリセットトランジスタRSTが、また2つのフローティング拡散領域FDの外側に2つの増幅トランジスタAMIが配置される。また配線M1として、配線M1a, M1bのほかに、増幅トランジスタAMIのさらに外側の選択トランジスタSELに向けて延びる配線M1dが配置される。なお本実施の形態における図8(A)の断面図と同じ方向に関する断面図は、図8(A)と同様となるため省略している。

[0091] なお、これ以外の本実施の形態の構成は、実施の形態1の構成とほぼ同じであるため同一の要素については同一の符号を付し、その説明は繰り返さない。

[0092] 次に、本実施の形態の作用効果について説明する。

本実施の形態のように、図の左右方向に関して2つのフローティング拡散領域FD(転送ゲート電極Tg、フォトダイオードPD)に挟まれた第1のトランジスタは、リセットトランジスタRSTであってもよい。またリセットトランジスタRSTが各転送トランジスタTXごとに1つずつ割り当てられることにより、1つの画素領域内の2つの転送トランジスタTX(フォトダイオードPD)のそれぞれからの電気信号のリセットトランジスタRSTへの伝送を好みのタイミングで行なうことができる。つまりたとえば、1つの画素領域内の2つの転送トランジスタTXのうち一方からの電気信号と、他方からの電気信号とを同一のタイミングでリセットトランジスタRSTへ伝送させることができる。

[0093] このため本実施の形態においては、たとえば1つのリセットトランジスタRSTが2つの転送トランジスタTXに共用されるため2つの転送トランジスタTXのそれぞれから異なるタイミングでリセットトランジスタRSTへ伝送する必要がある実施の形態1などに比べて、電気信号の伝送の処理を迅速に行なうことができる。

[0094] (実施の形態4)

図27および図28を参照して、本実施の形態の第1例においては、基本的に図3および図4の実施の形態1の第1例と同様に、いわゆる並列型の構

成を有している。しかし本実施の形態においては、第1のトランジスタとして、増幅トランジスタAM1とリセットトランジスタRSTとの双方が1つずつ、平面視において左右方向に並ぶ、画素領域内の2つの転送トランジスタTXのうち一方のフローティング拡散領域FDと他方のフローティング拡散領域FDの間に配置されている。そして当該増幅トランジスタAM1およびリセットトランジスタRSTが、画素領域内の2つの転送トランジスタTXのそれぞれ（のフローティング拡散領域FD）に接続されるように配置されている。この点において本実施の形態は、第1のトランジスタとして増幅トランジスタAM1またはリセットトランジスタRSTのいずれかのみが、画素領域内の2つの転送トランジスタTXのうち一方のフローティング拡散領域FDと他方のフローティング拡散領域FDの間に配置される実施の形態1～3とは構成が異なっている。

[0095] 図27および図28においては特に、2つのフローティング拡散領域FDのそれぞれと、それらの間の第1のトランジスタとしての増幅トランジスタAM1およびリセットトランジスタRSTとが、平面視において図の左右方向に一直線に並ぶように配置されている。また上記2つのフローティング拡散領域FDのそれぞれとこれに隣り合う増幅トランジスタAM1の増幅ゲート電極AgとリセットトランジスタRSTのリセット活性領域Raとが、たとえばコンタクトCTを介在して図の左右方向に一直線状に延びる配線M1に電氣的に接続される。

[0096] 2つのフローティング拡散領域FDの間の増幅トランジスタAM1の増幅活性領域Aaと、リセットトランジスタRSTのリセット活性領域Raとが部分的に（領域RAaにて）重なっているが、これは一例であり、必ずしもこのような構成を有さなくてもよい。

[0097] 以上より、本実施の形態においては実施の形態1と同様に、リセットトランジスタRSTおよび増幅トランジスタAM1は、単一の画素領域あたり1つ配置されている。

[0098] なお選択トランジスタSELは、上記の増幅トランジスタAM1とリセッ

トランジスタ R S T となどを結ぶ一直線の延長線上に配置されてもよいが、当該一直線の延長線上とは異なる領域に配置されてもよい。また単一の画素領域中に 1 つ配置されても 2 つ配置されてもよい。

[0099] なお本実施の形態においても、実施の形態 1 と同様に、各画素領域における第 1 のトランジスタとしての増幅トランジスタ A M I およびリセットトランジスタ R S T は、当該画素領域内において、2 つの転送ゲート電極 T g のうちの一方と他方との並ぶ図の左右方向に関して、一方の転送ゲート電極 T g と他方の転送ゲート電極 T g との間に配置されている。また本実施の形態においても、実施の形態 1 と同様に、各画素領域における第 1 のトランジスタとしての増幅トランジスタ A M I およびリセットトランジスタ R S T は、当該画素領域内において、2 つのフォトダイオード P D のうちの一方と他方との並ぶ図の左右方向に関して、一方のフォトダイオード P D と他方のフォトダイオード P D との間に配置されている。

[0100] 図 29 および図 30 を参照して、本実施の形態の第 2 例においては、図 27 および図 28 と同様の構成を、図 5 および図 6 の実施の形態 1 の第 2 例と同様に、いわゆる対向型の構成に適用した例である。並列型の構成から対向型の構成に変更され、図の上下方向に隣り合う 2 つの画素領域の転送トランジスタ T X 間で増幅トランジスタ A M I およびリセットトランジスタ R S T が共用される点を除き、図 29 および図 30 の構成は基本的に図 27 および図 28 の構成と同様である。このため同一の要素については同一の符号を付し、その説明は繰り返さない。

[0101] 図 31 を参照して、この概略断面図の構成は、2 つのフローティング拡散領域 F D の間に増幅トランジスタ A M I とリセットトランジスタ R S T とが配置され、増幅ゲート電極 A g とリセット活性領域 R a とフローティング拡散領域 F D とがコンタクト C T を介在して配線 M 1 に接続される点を除き、基本的に図 8 (B) の実施の形態 1 と同様の構成を有している。なお本実施の形態における図 8 (A) の断面図と同じ方向に関する断面図は、図 8 (A) と同様となるため省略している。また本実施の形態の構成の回路図は図 7

と同様となるため省略している。

[0102] なお上記においては2つのフローティング拡散領域FDの間に配置される第1のトランジスタとしてリセットトランジスタRSTおよび増幅トランジスタAMIを挙げて説明したが、第1のトランジスタとして選択トランジスタSELが配置されてもよい。

[0103] これ以外の本実施の形態の構成は、実施の形態1の構成とほぼ同じであるため同一の要素については同一の符号を付し、その説明は繰り返さない。

[0104] 次に、本実施の形態の作用効果について説明する。

本実施の形態においては、増幅トランジスタAMIとリセットトランジスタRSTとの双方が2つのフローティング拡散領域FD（転送ゲート電極Tg、フォトダイオードPD）の間に配置され、2つのフローティング拡散領域FDの外側には増幅トランジスタAMIなどが配置されない。このため増幅トランジスタAMIとリセットトランジスタRSTとの少なくとも一方が2つのフローティング拡散領域FDの外側に配置される実施の形態1などに比べて、第1のトランジスタとフローティング拡散領域とを接続する配線M1の長さをいっそう短くすることができる。このため、配線M1による配線容量をいっそう低減させることができる。

[0105] （実施の形態5）

これまでに説明した各実施の形態はすべて、転送トランジスタTXが、フォトダイオードPDと転送ゲート電極Tgとフローティング拡散領域FDとが一直線上に（各平面図の上下方向に）並ぶように配置された構成を有している。しかし図32を参照して、転送トランジスタTXが、平面視において、フォトダイオードPDと転送ゲート電極Tgとを結ぶ直線の延びる方向に対して屈曲した方向にフローティング拡散領域FDを有する構成であってもよい。

[0106] またこれまでに説明した各実施の形態はすべて、第1のトランジスタとしての増幅トランジスタAMIなどが、画素領域内の2つのフローティング拡散領域FDを結ぶ直線上に配置されている。しかし図32を参照して、当該

第1のトランジスタとしてのたとえば増幅トランジスタAM1は、画素領域内の2つのフローティング拡散領域FDを結んでなる一直線上から外れた領域に配置されていてもよい。図32においては、当該画素領域内の増幅トランジスタAM1は、2つのフローティング拡散領域FDを結んでなる直線よりもやや下方に配置されている。また図32のように転送ゲート電極Tgの一部が、2つのフローティング拡散領域FDを結んでなる直線上に配置されてもよいが、転送ゲート電極Tgが当該直線上から外れた領域に配置されてもよい。

[0107] たとえば複数の画素領域のうちの一つである第1の画素領域内に配置される第1のトランジスタは、第1の画素領域の（フォトダイオードPDが内蔵される）活性領域ARと、そこから見てその中の2つのフローティング拡散領域FD側（つまり図32および他の各実施の形態における下側）に隣り合う第2の画素領域の活性領域ARとの間に配置されることが好ましい。言い換えれば、図32において、第1のトランジスタに相当する増幅トランジスタAM1は、少なくとも上側（第1の画素領域）の活性領域ARと下側（第2の画素領域）の活性領域ARとの間に配置されていることが好ましい。

[0108] なお図32においては第1のトランジスタとして増幅トランジスタAM1を挙げているが、第1のトランジスタとしては上記の各実施の形態に示すようにリセットトランジスタRSTが配置されてもよく、増幅トランジスタAM1とリセットトランジスタRSTとの双方が配置されてもよい。

[0109] また第2のトランジスタとして図32においてはリセットトランジスタRSTが、2つのフローティング拡散領域FDを結ぶ直線から外れた領域（当該直線の下側）に配置されているが、この第2のトランジスタについてもたとえば増幅トランジスタAM1が配置されてもよい。

[0110] また第2のトランジスタの配置される位置および（ゲート電極の延在する）方向についても図32に示す態様に限られない。たとえば図32においては転送ゲート電極Tgは図の上下方向に、増幅ゲート電極Agおよびリセットゲート電極Rgは図の左右方向に延在しているが、たとえば増幅ゲート電

極 A g およびリセットゲート電極 R g も図の上下方向に延在してもよい。

[0111] これ以外の本実施の形態の構成は、実施の形態 1 の構成とほぼ同じであるため同一の要素については同一の符号を付し、その説明は繰り返さない。

[0112] 次に、本実施の形態の作用効果について説明する。

本実施の形態のように、必ずしも第 1 のトランジスタが 1 対のフローティング拡散領域 F D の結ぶ直線上に配置されなくても、少なくとも隣り合う 1 対の活性領域 A R の間の領域に配置されていれば、フローティング拡散領域 F D から第 1 のトランジスタに引き回す配線 M 1 の長さが（たとえば図 1 5 の比較例のように）過剰に長くなる不具合を抑制することができる。このため配線容量を小さくすることができる。

[0113] また本実施の形態を許容することにより、半導体装置を構成する各トランジスタのレイアウトの適用可能範囲を広くすることができ、設計の自由度が高められる。

[0114] 以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

符号の説明

[0115] A a 増幅活性領域、A g 増幅ゲート電極、A M I 増幅トランジスタ、A R 活性領域、C T コンタクト、D L R ダイシングライン領域、F D フローティング拡散領域、F L T カラーフィルタ、G I ゲート絶縁膜、I I 1, I I 2, I I 3, I I 4 層間絶縁膜、I M C チップ領域、L N S レンズ、M 1, M 2, M 3 配線、N R n 型領域、P D フォトダイオード、R a リセット活性領域、R g リセットゲート電極、R S T リセットトランジスタ、S a 選択活性領域、S C W 半導体ウェハ、S E L 選択トランジスタ、S g 選択ゲート電極、S P R 表面 p 型領域、S P T 素子分離膜、S U B 半導体基板、T g 転送ゲート電極、T X 転送トランジスタ。

請求の範囲

- [請求項1] 半導体基板に複数の画素領域が行列状に並ぶ半導体装置であり、
前記複数の画素領域のそれぞれは、
前記半導体基板に形成された活性領域と、
前記活性領域内に互いに間隔をあけて配置された2つの光電変換素子と、
前記2つの光電変換素子のそれぞれとともに、光電変換により得られた電子を転送するための転送トランジスタを構成可能であり、前記光電変換素子から出力される電気信号を取り出し蓄積する2つの浮遊容量領域と、
前記転送トランジスタから出力される電気信号を受ける第1のトランジスタとを備え、
前記複数の画素領域のそれぞれには、前記2つの光電変換素子のそれぞれと前記2つの浮遊容量領域のそれぞれとを有する前記転送トランジスタが2つ含まれ、
前記第1のトランジスタは、前記画素領域内において、2つの前記浮遊容量領域のうち一方の前記浮遊容量領域と他方の前記浮遊容量領域との並ぶ方向に関して前記一方の浮遊容量領域と前記他方の浮遊容量領域との間に配置される、半導体装置。
- [請求項2] 前記2つの浮遊容量領域のそれぞれと、前記第1のトランジスタとは平面視において一直線上に並ぶ、請求項1に記載の半導体装置。
- [請求項3] 前記第1のトランジスタは、前記複数の画素領域のうち前記第1のトランジスタが配置される第1の画素領域の前記活性領域と、前記第1の画素領域の前記活性領域から見て前記第1の画素領域の前記一方および他方の浮遊容量領域側に隣り合う第2の画素領域の前記活性領域との間に配置される、請求項1に記載の半導体装置。
- [請求項4] 前記一方および他方の浮遊容量領域は、前記第1の画素領域と前記第2の画素領域とにより共用される、請求項3に記載の半導体装置。

- [請求項5] 前記第1のトランジスタは、前記2つの転送トランジスタからの電気信号を増幅する増幅トランジスタであり、
単一の前記増幅トランジスタが、前記2つの転送トランジスタにより共用される、請求項1に記載の半導体装置。
- [請求項6] 前記複数の画素領域のそれぞれは、前記第1のトランジスタから出力される電気信号を受ける第2のトランジスタをさらに備え、
前記2つの浮遊容量領域のそれぞれと、前記第2のトランジスタとは平面視において一直線上に並ぶ、請求項5に記載の半導体装置。
- [請求項7] 前記第2のトランジスタはソース／ドレイン領域を含み、
前記ソース／ドレイン領域のいずれかの少なくとも一部は、前記2つの浮遊容量領域のいずれかと重なっている、請求項6に記載の半導体装置。
- [請求項8] 前記第1のトランジスタは第1のゲート電極を含み、
前記第2のトランジスタは第2のゲート電極を含み、
前記第1のゲート電極と前記第2のゲート電極とは、平面視において互いに交差する方向に延びる、請求項7に記載の半導体装置。
- [請求項9] 前記第1のトランジスタは、前記転送トランジスタの蓄積する電気信号をリセットするリセットトランジスタであり、
2つの前記リセットトランジスタが、前記2つの転送トランジスタのそれぞれに接続されるように配置される、請求項1に記載の半導体装置。
- [請求項10] 前記第1のトランジスタは、前記2つの転送トランジスタからの電気信号を増幅する増幅トランジスタと、前記転送トランジスタの蓄積する電気信号をリセットするリセットトランジスタとの双方を含む、請求項1に記載の半導体装置。
- [請求項11] 前記2つの転送トランジスタのそれぞれは転送ゲート電極を有し、
前記第1のトランジスタは、前記画素領域内において、2つの前記転送ゲート電極のうち一方の前記転送ゲート電極と他方の前記転送ゲ

ート電極との並ぶ方向に関して前記一方の転送ゲート電極と前記他方の転送ゲート電極との間に配置される、請求項 1 に記載の半導体装置。

[請求項12] 前記第 1 のトランジスタは、前記 2 つの転送トランジスタからの電気信号を増幅する増幅トランジスタであり、

単一の前記増幅トランジスタが、前記 2 つの転送トランジスタにより共用される、請求項 1 1 に記載の半導体装置。

[請求項13] 前記複数の画素領域のそれぞれは、前記第 1 のトランジスタから出力される電気信号を受ける第 2 のトランジスタをさらに備え、

前記 2 つの浮遊容量領域のそれぞれと、前記第 2 のトランジスタとは平面視において一直線上に並ぶ、請求項 1 2 に記載の半導体装置。

[請求項14] 前記第 1 のトランジスタは、前記転送トランジスタの蓄積する電気信号をリセットするリセットトランジスタであり、

2 つの前記リセットトランジスタが、前記 2 つの転送トランジスタのそれぞれに接続されるように配置される、請求項 1 1 に記載の半導体装置。

[請求項15] 前記第 1 のトランジスタは、前記 2 つの転送トランジスタからの電気信号を増幅する増幅トランジスタと、前記転送トランジスタの蓄積する電気信号をリセットするリセットトランジスタとの双方を含む、請求項 1 1 に記載の半導体装置。

[請求項16] 前記第 1 のトランジスタは、前記画素領域内において、2 つの前記光電変換素子のうち一方の前記光電変換素子と他方の前記光電変換素子との並ぶ方向に関して前記一方の光電変換素子と前記他方の光電変換素子との間に配置される、請求項 1 に記載の半導体装置。

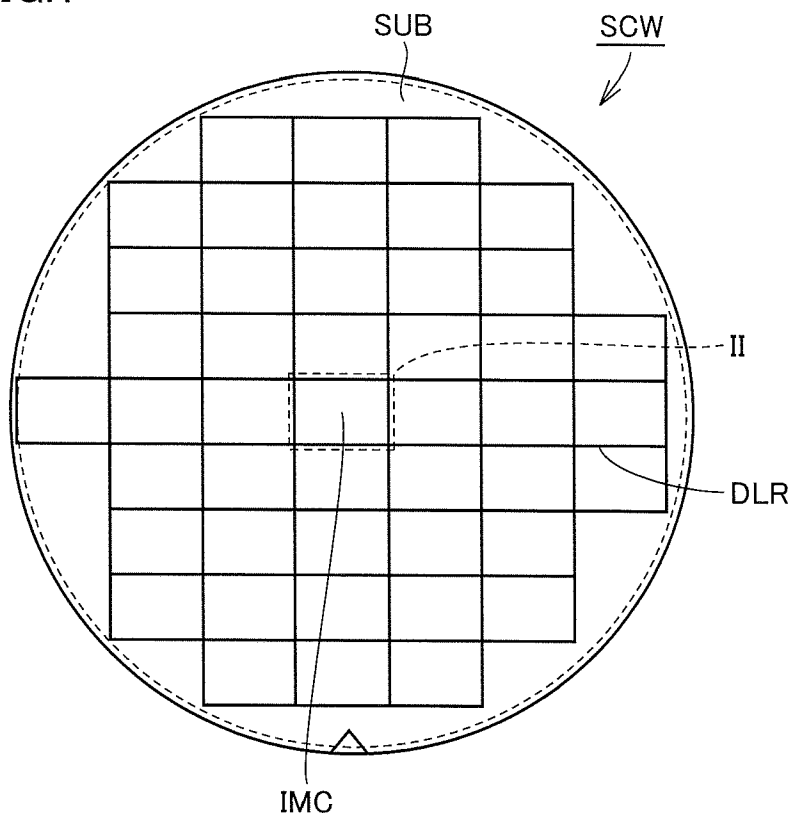
[請求項17] 前記第 1 のトランジスタは、前記 2 つの転送トランジスタからの電気信号を増幅する増幅トランジスタであり、

単一の前記増幅トランジスタが、前記 2 つの転送トランジスタにより共用される、請求項 1 6 に記載の半導体装置。

- [請求項18] 前記複数の画素領域のそれぞれは、前記第1のトランジスタから出力される電気信号を受ける第2のトランジスタをさらに備え、
前記2つの浮遊容量領域のそれぞれと、前記第2のトランジスタとは平面視において一直線上に並ぶ、請求項17に記載の半導体装置。
- [請求項19] 前記第1のトランジスタは、前記転送トランジスタの蓄積する電気信号をリセットするリセットトランジスタであり、
2つの前記リセットトランジスタが、前記2つの転送トランジスタのそれぞれに接続されるように配置される、請求項16に記載の半導体装置。
- [請求項20] 前記第1のトランジスタは、前記2つの転送トランジスタからの電気信号を増幅する増幅トランジスタと、前記転送トランジスタの蓄積する電気信号をリセットするリセットトランジスタとの双方を含む、請求項16に記載の半導体装置。

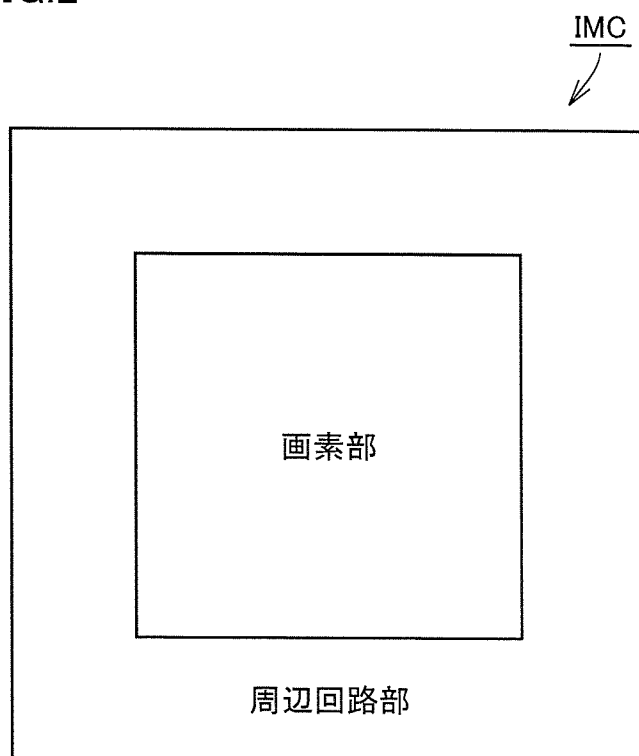
[図1]

FIG.1



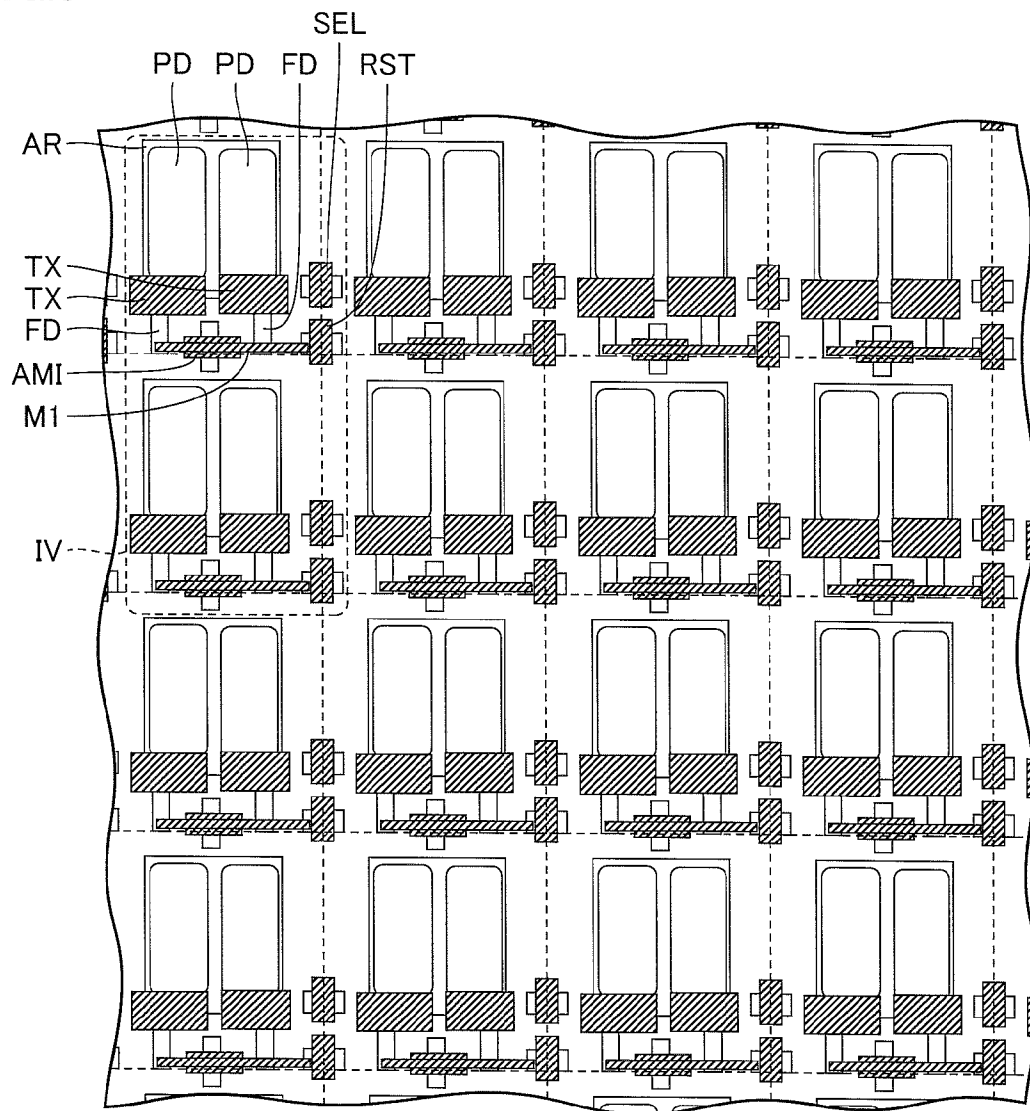
[図2]

FIG.2



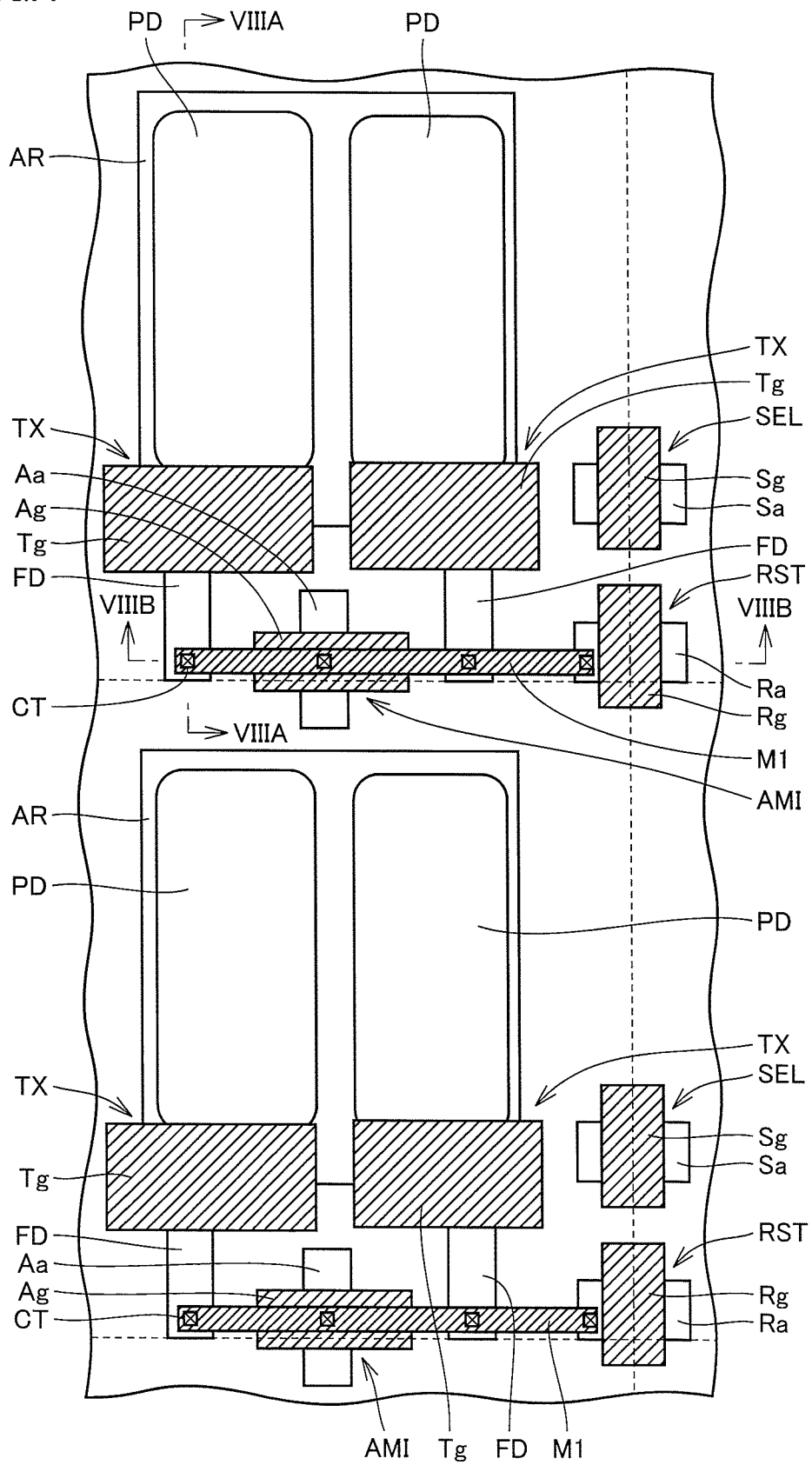
[図3]

FIG.3



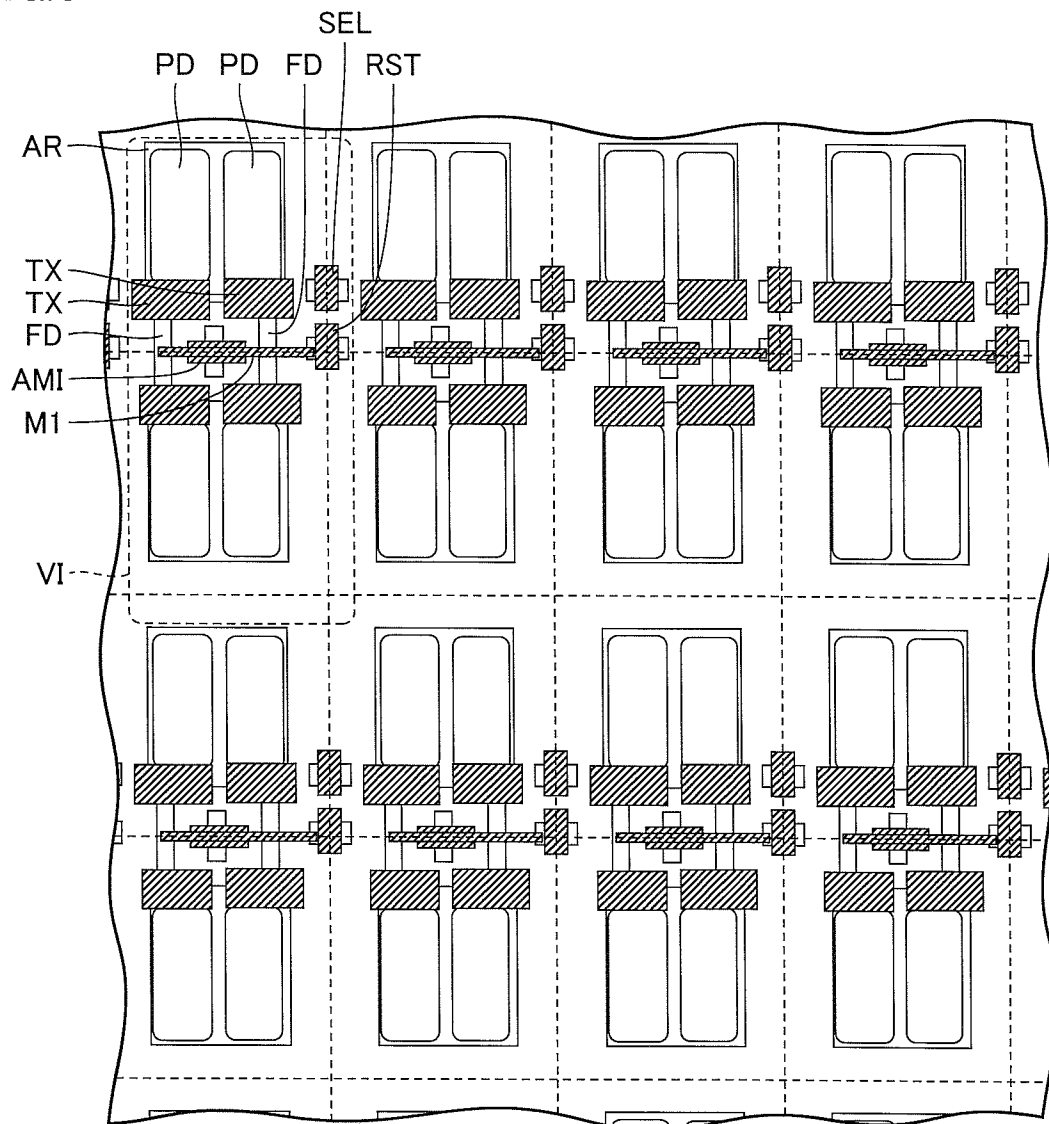
[図4]

FIG.4



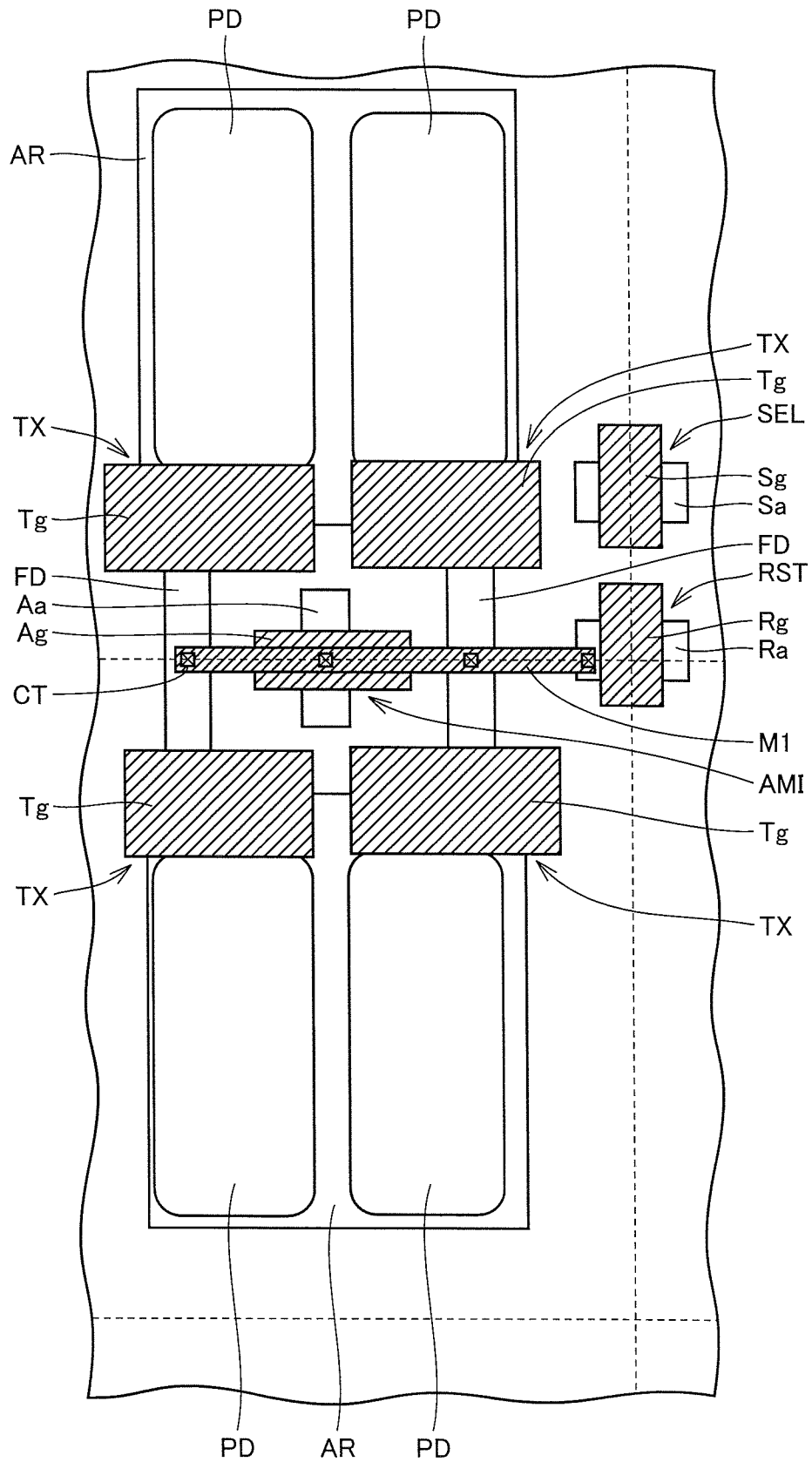
[図5]

FIG.5



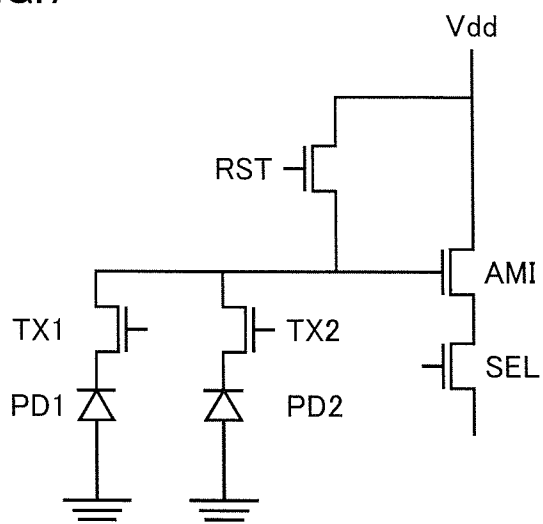
[図6]

FIG.6

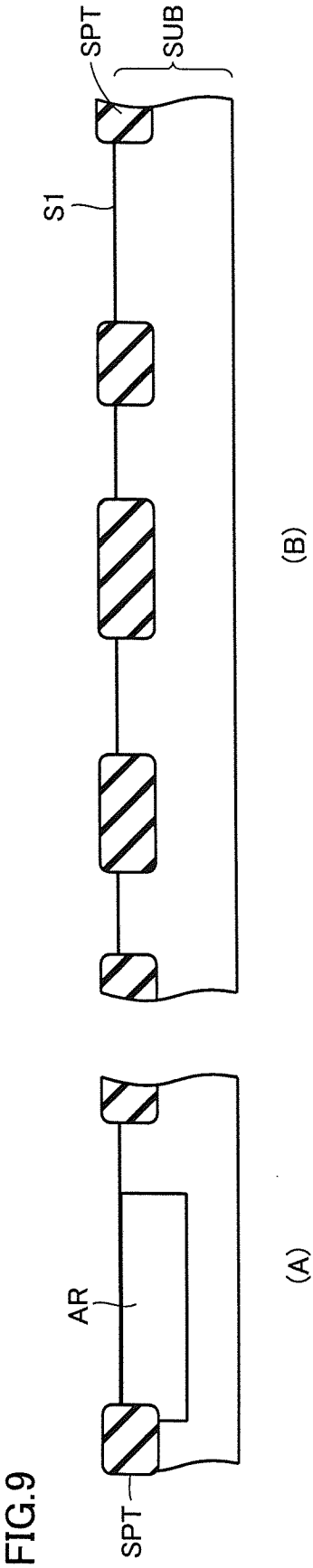


[図7]

FIG. 7

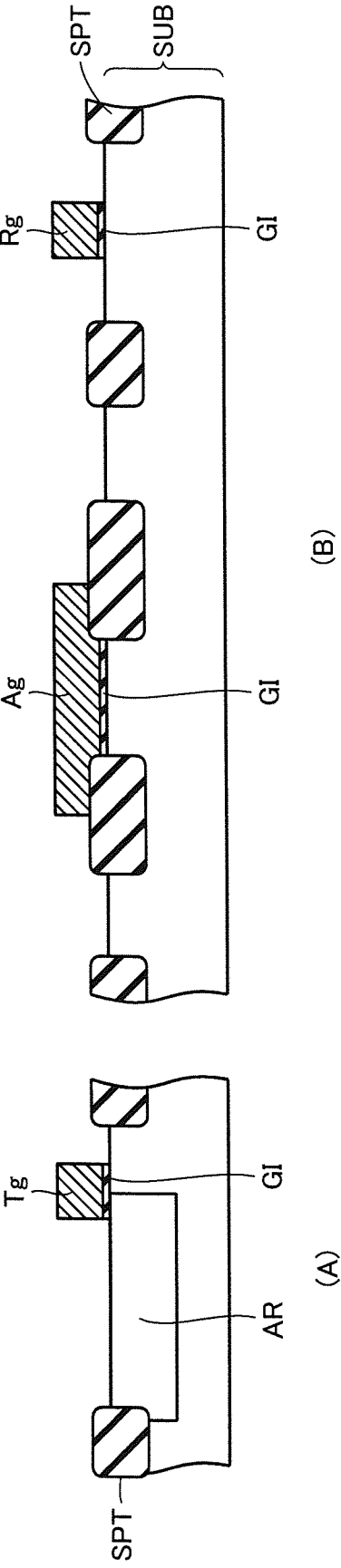


[図9]

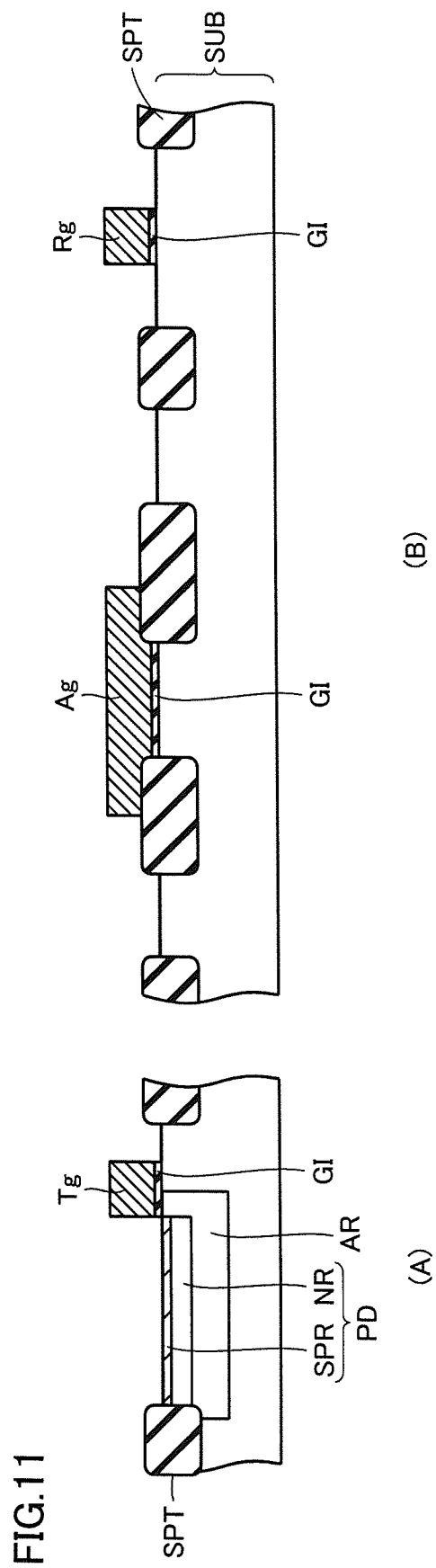


[図10]

FIG.10

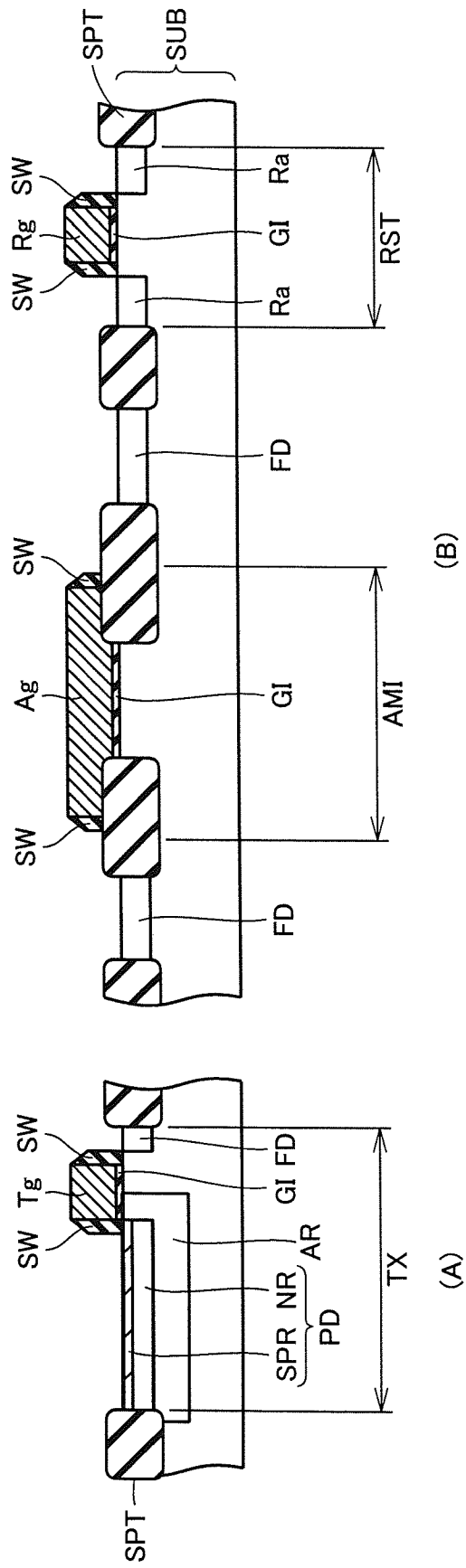


[図11]



[図12]

FIG.12



[図13]

FIG.13

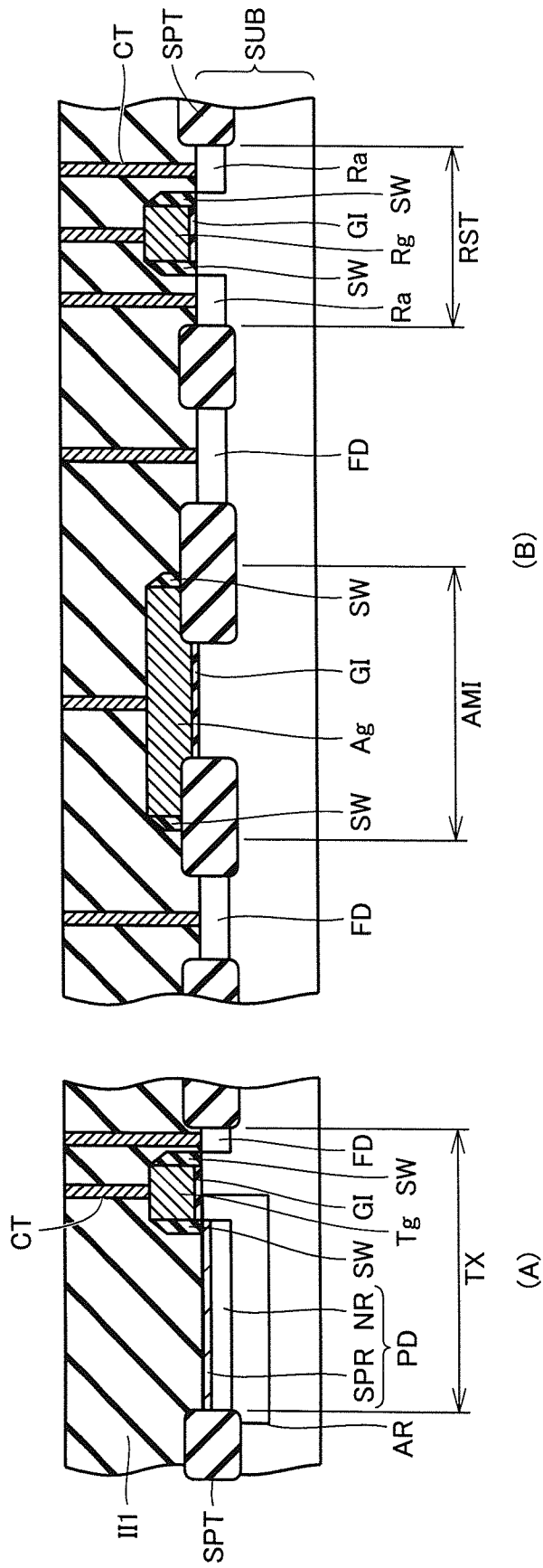
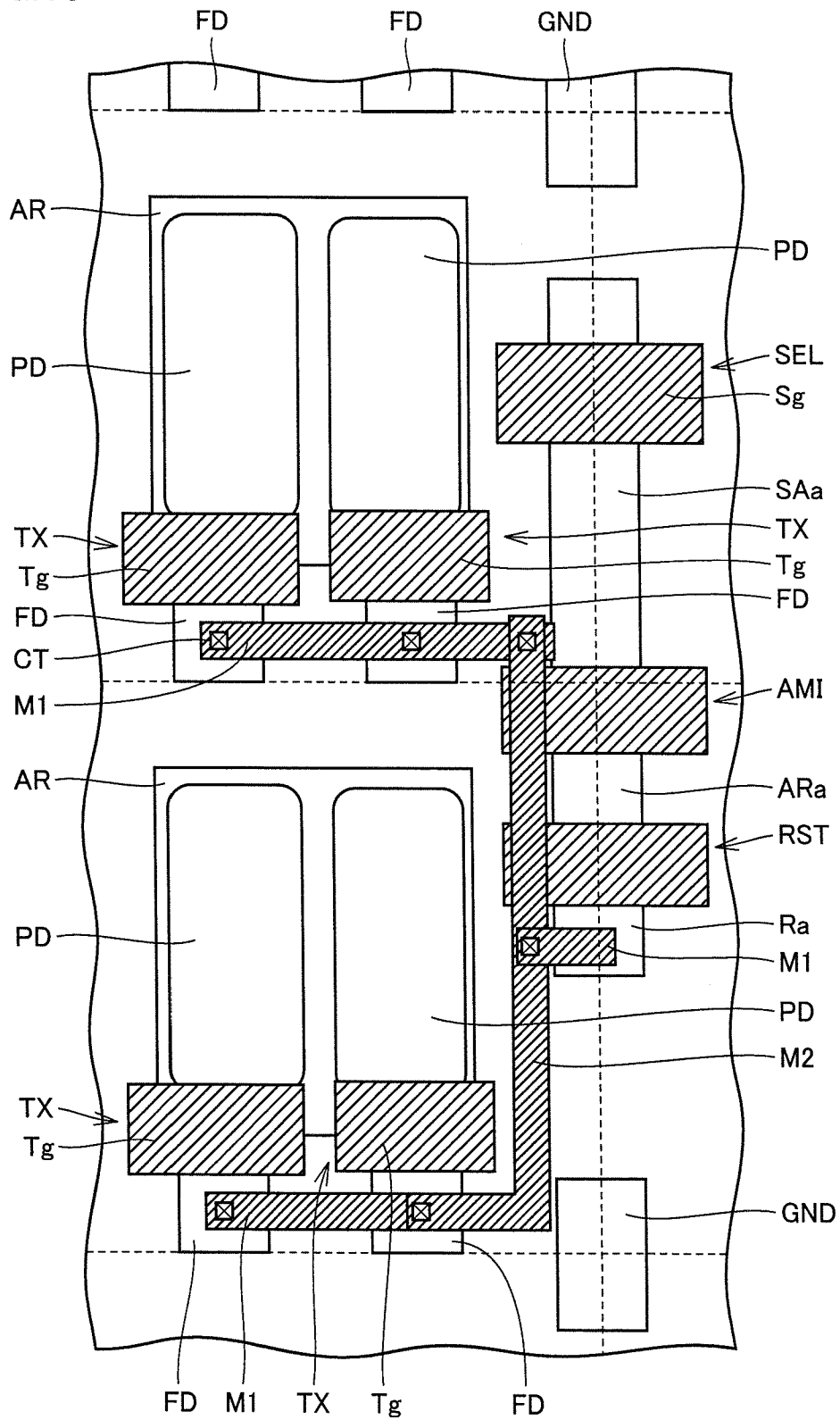


FIG. 14

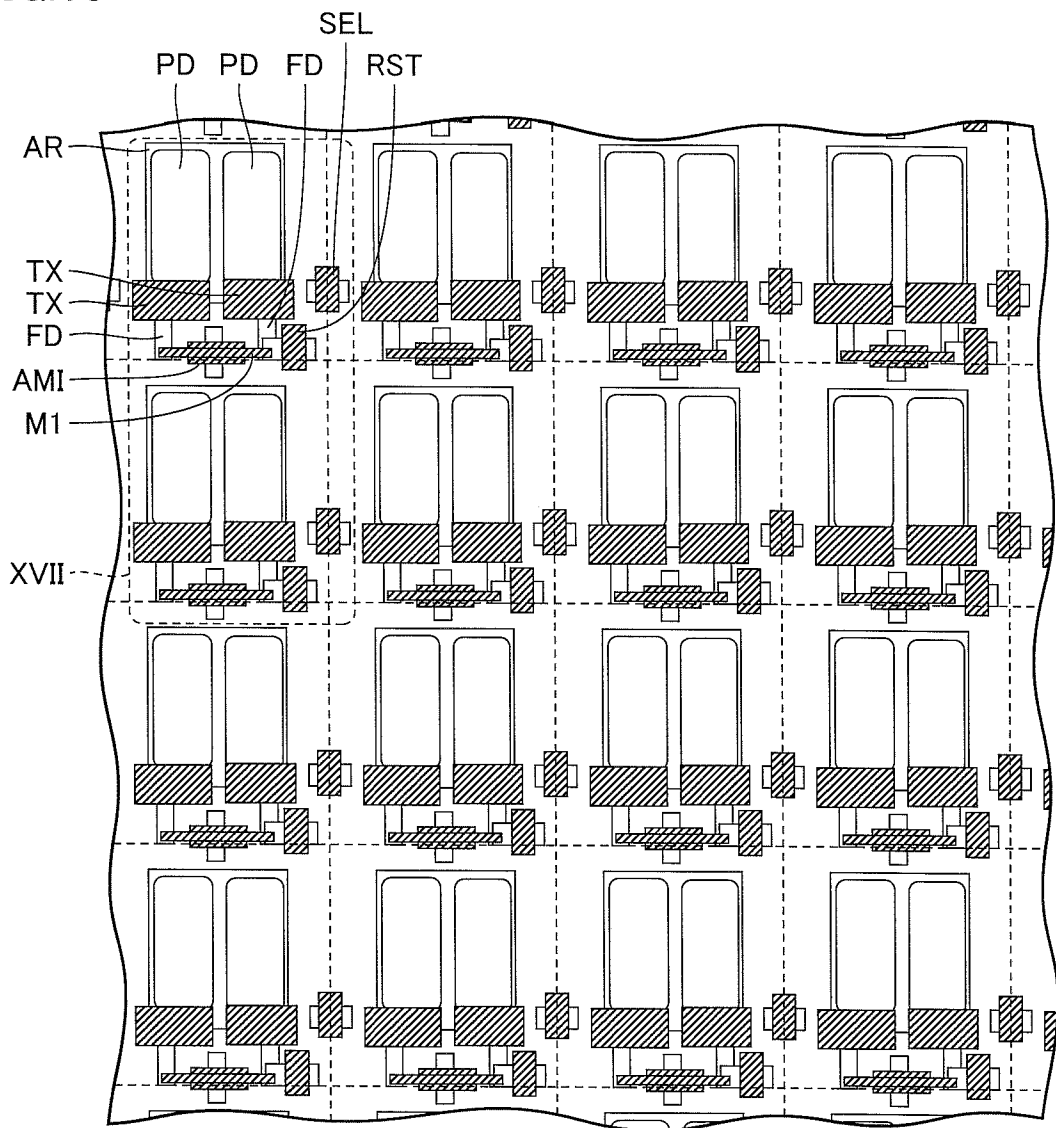


FIG.15



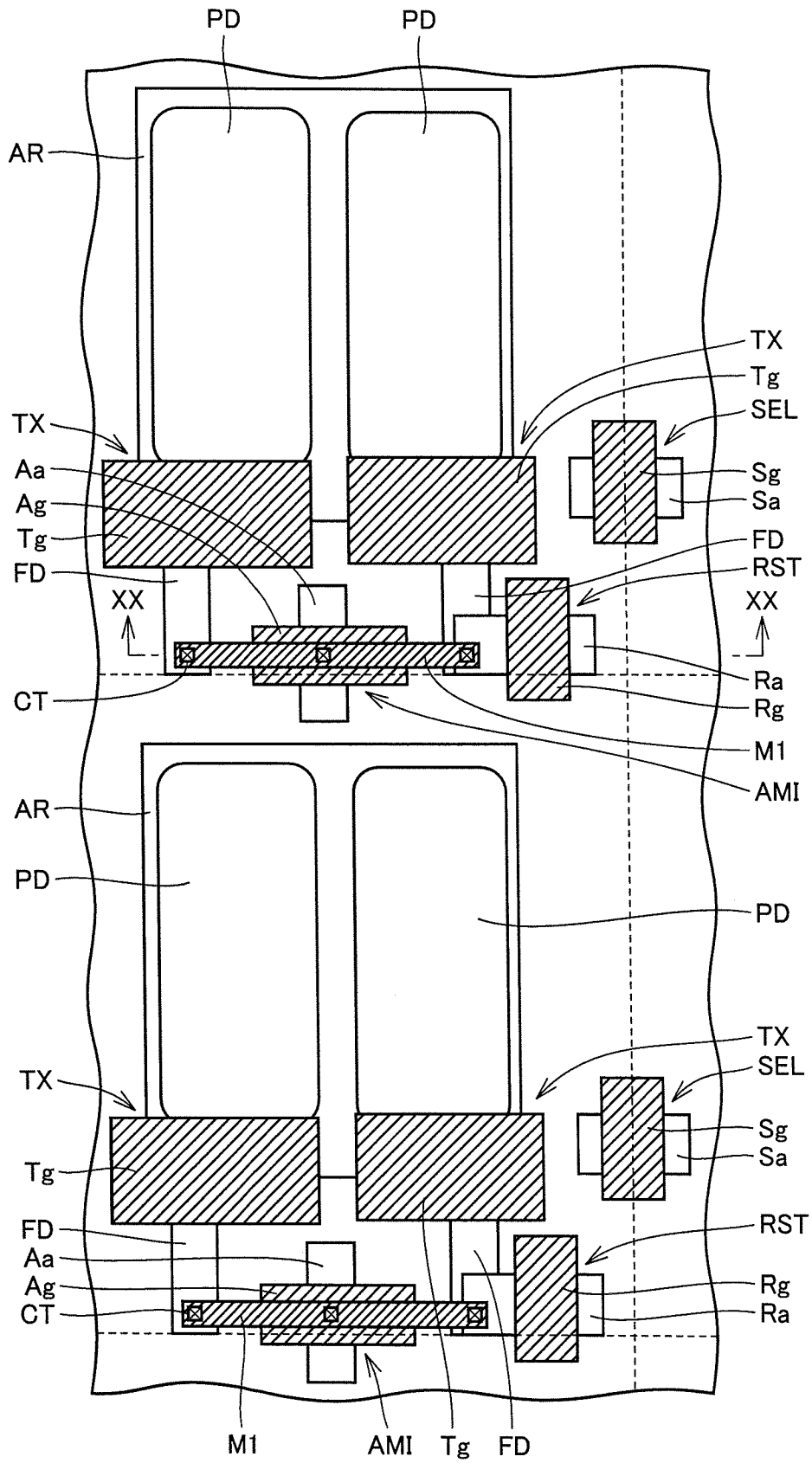
[図16]

FIG.16



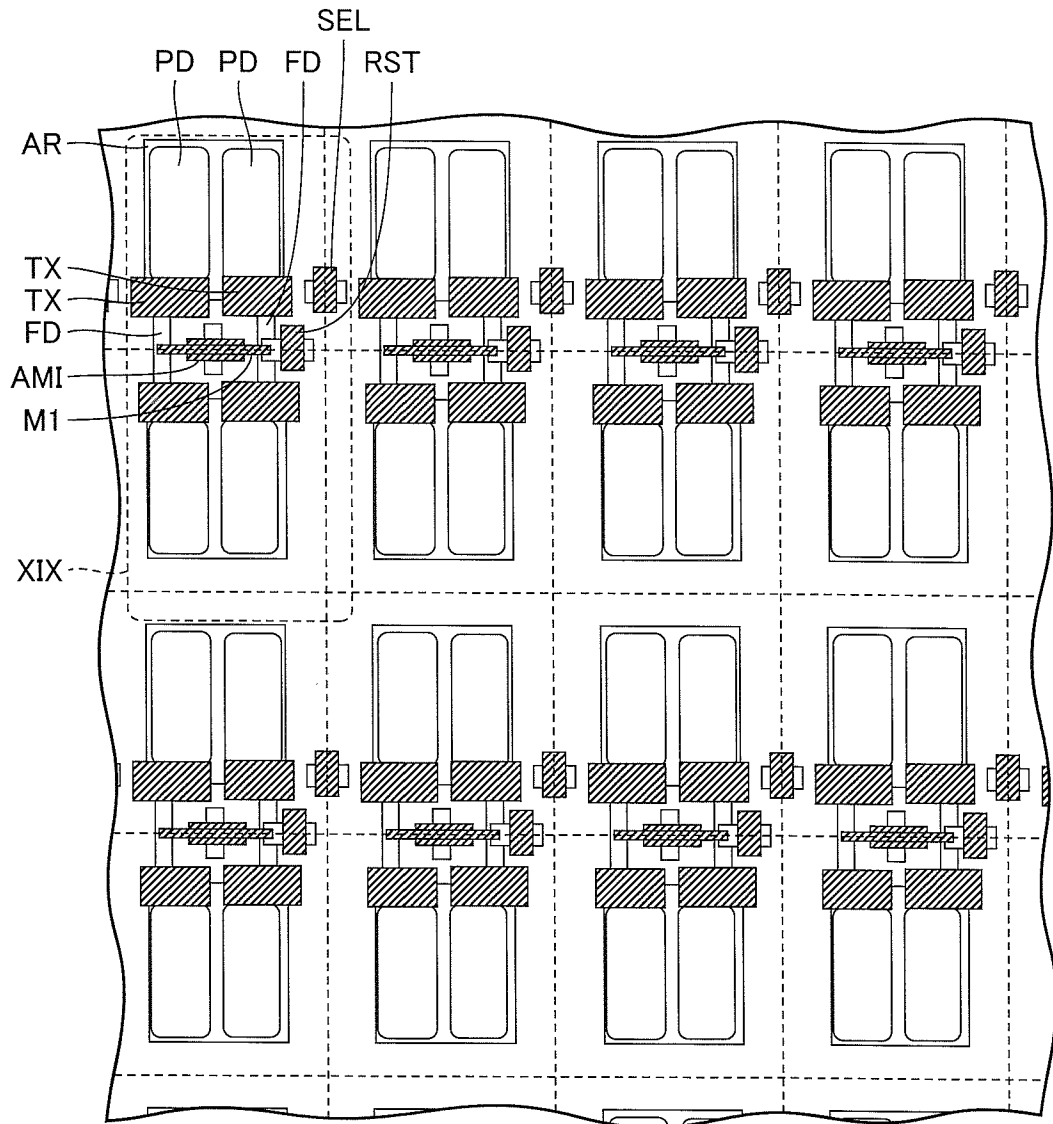
[図17]

FIG.17



[図18]

FIG.18



[図19]

FIG.19

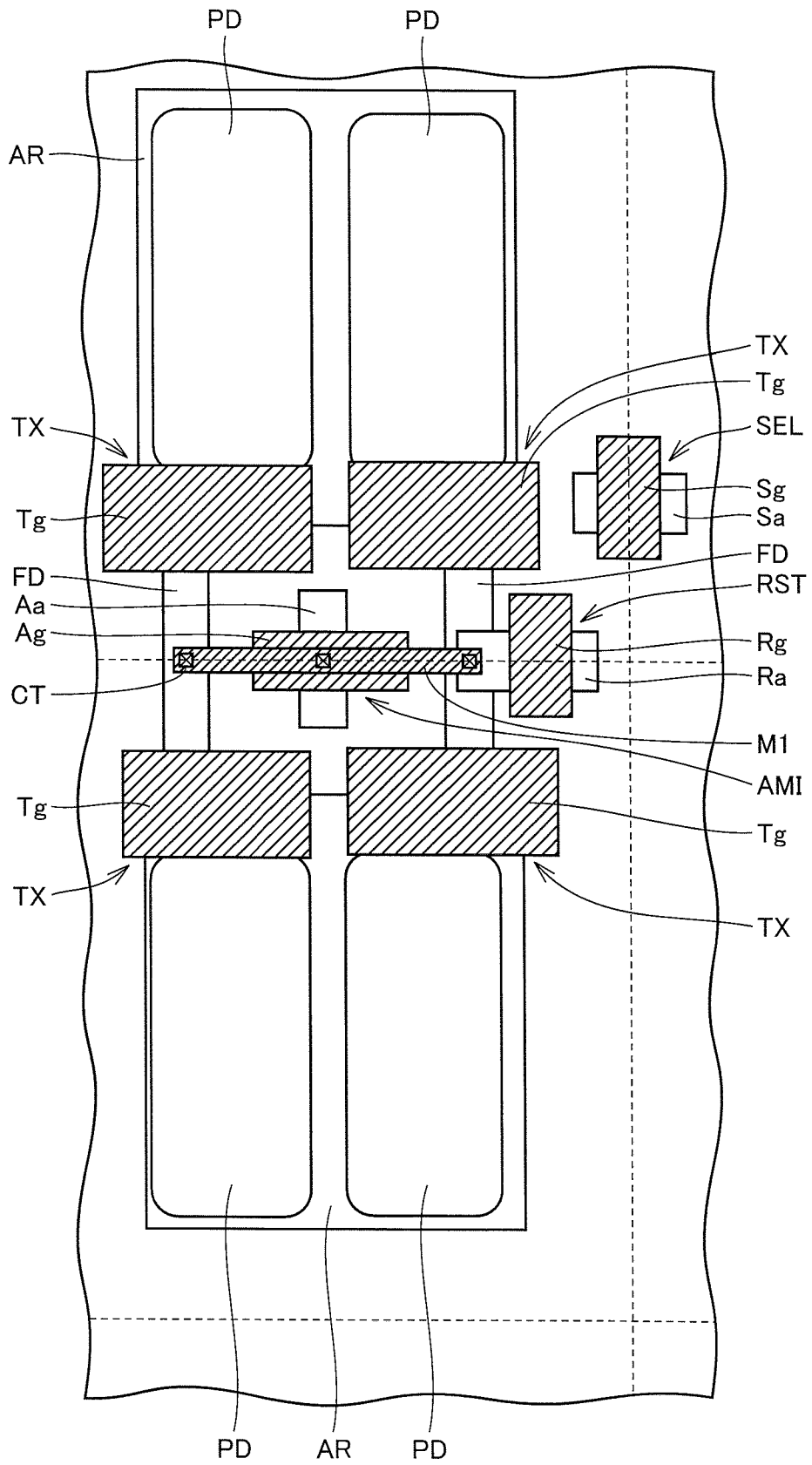
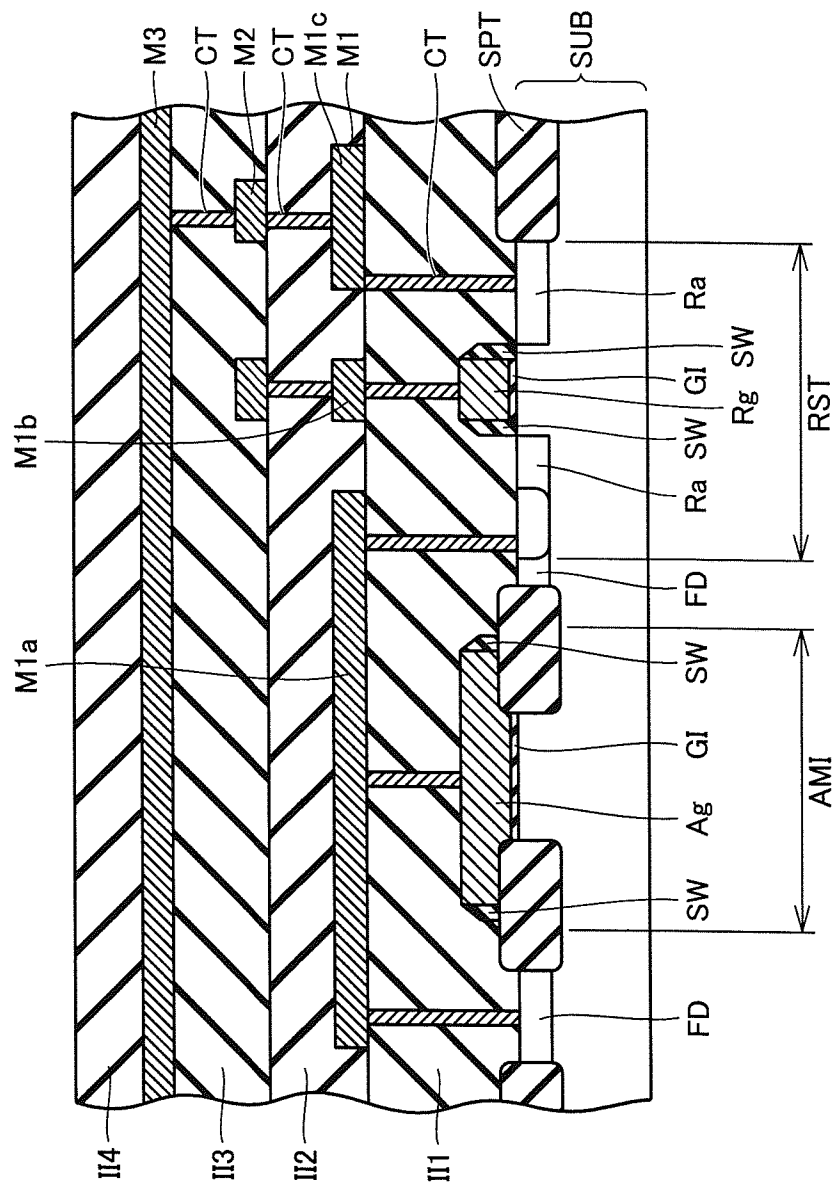
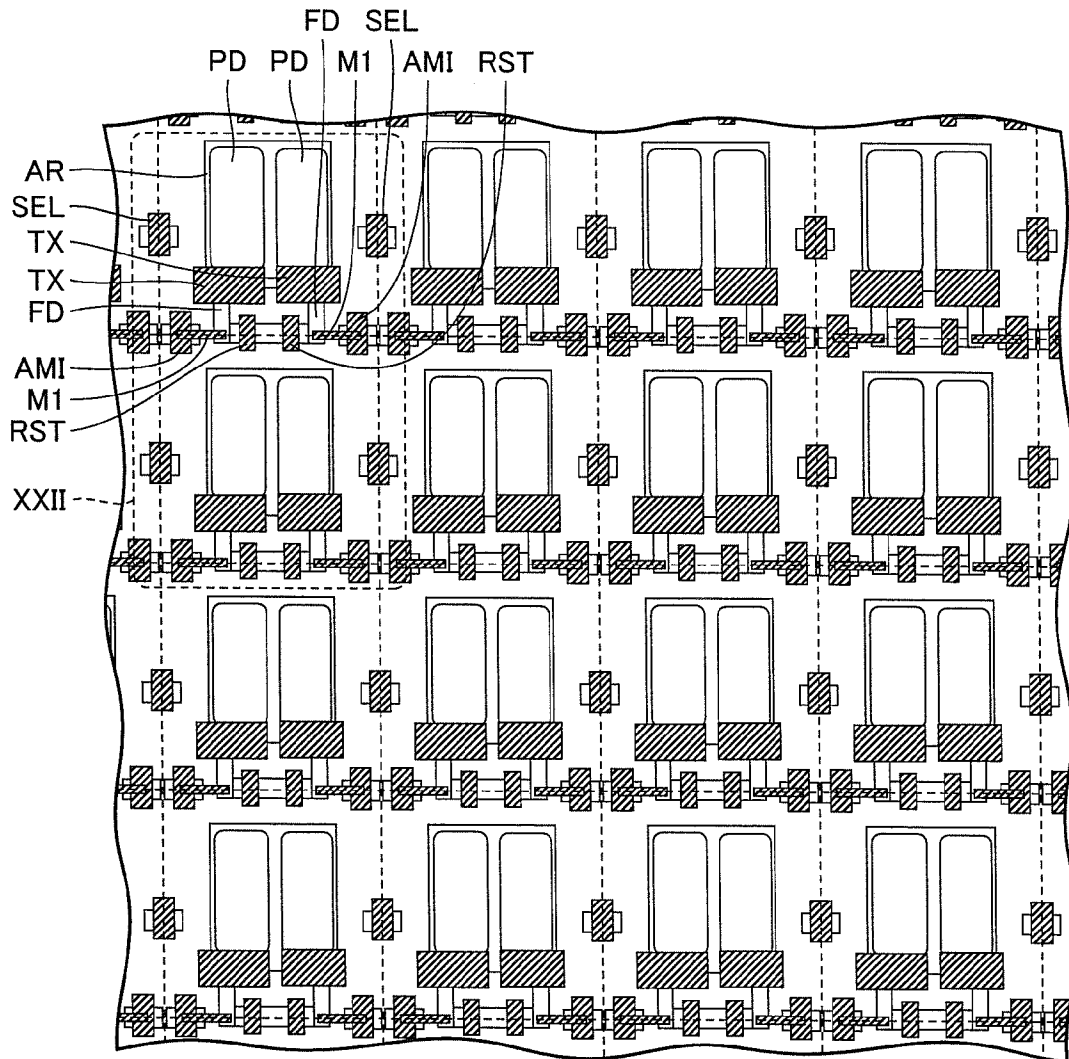


FIG. 20



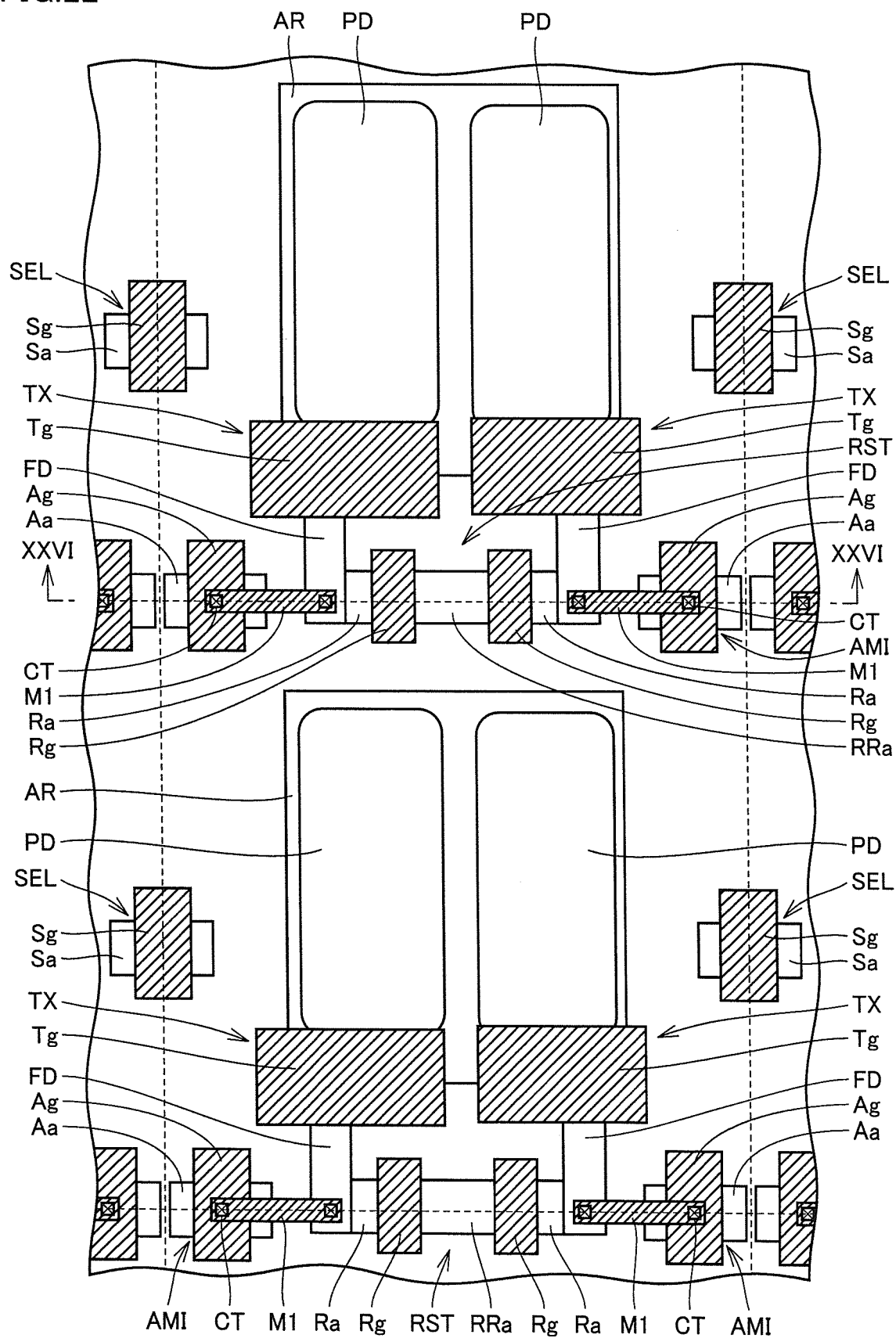
[図21]

FIG.21



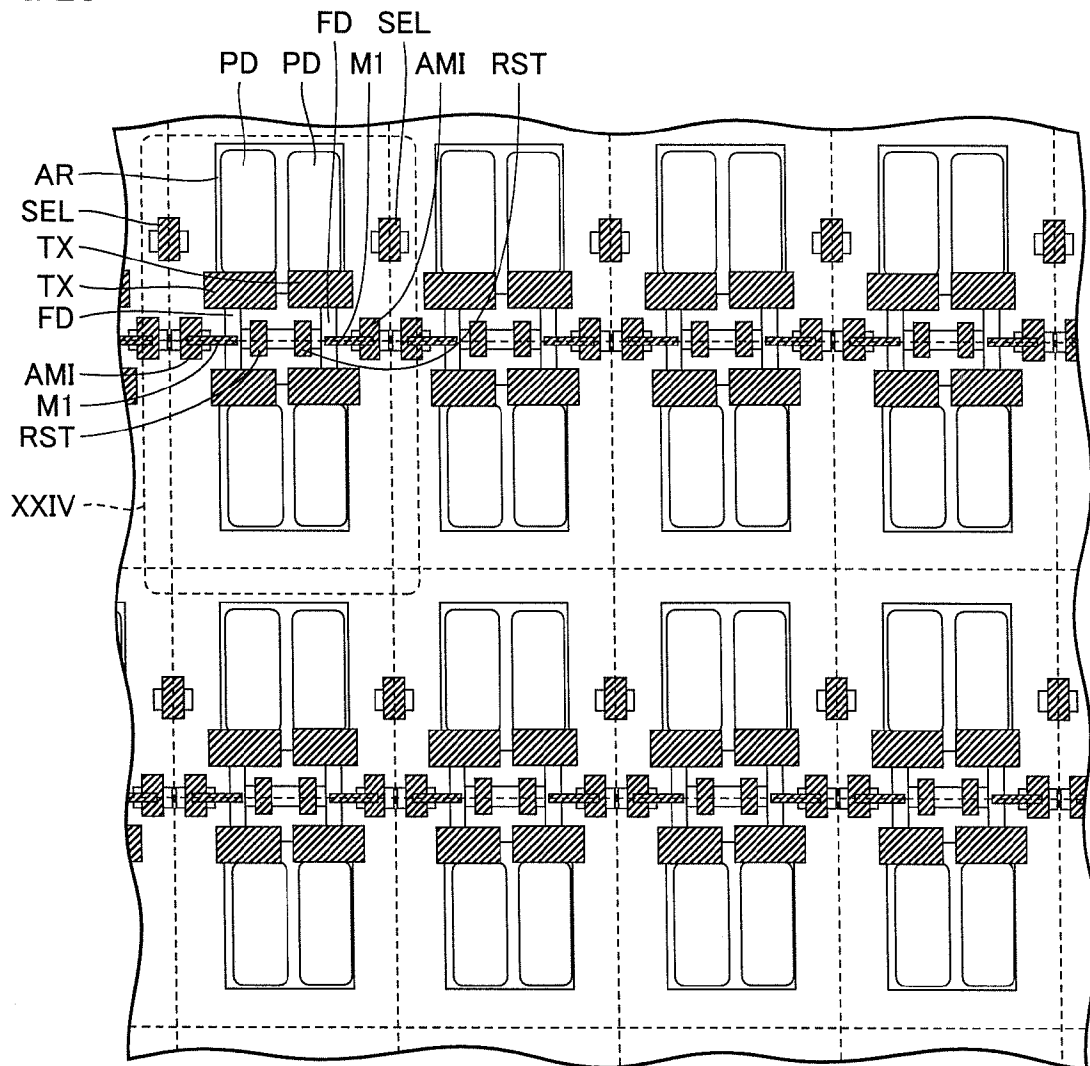
[図22]

FIG.22



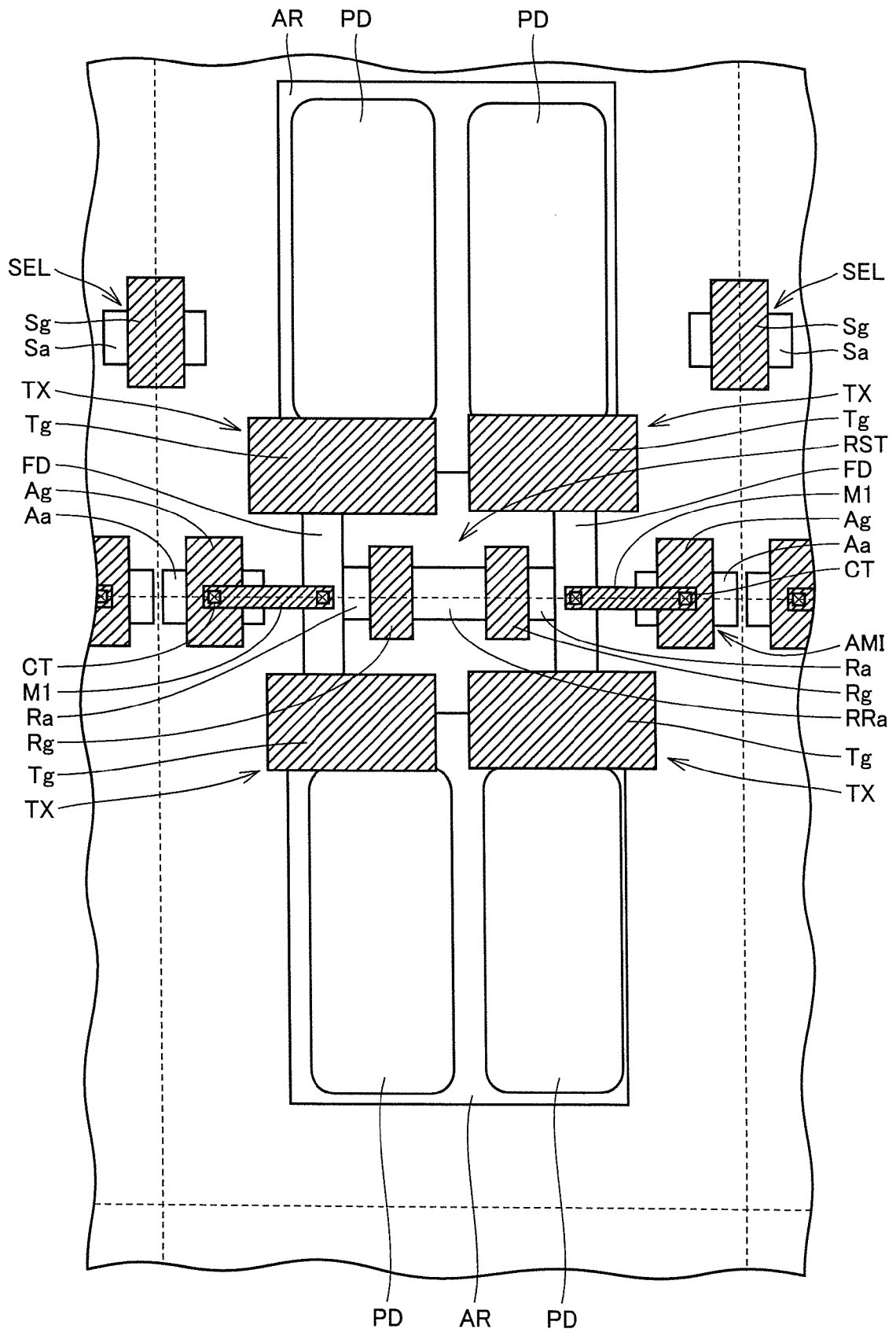
[図23]

FIG.23



[図24]

FIG.24



[図25]

FIG.25

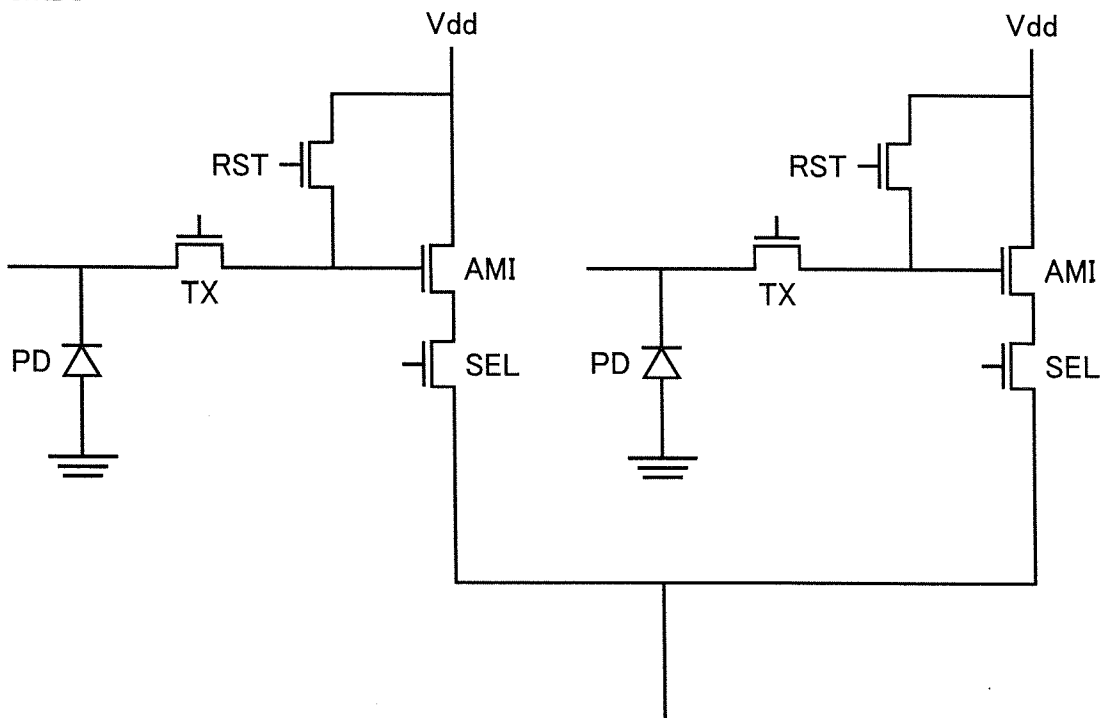
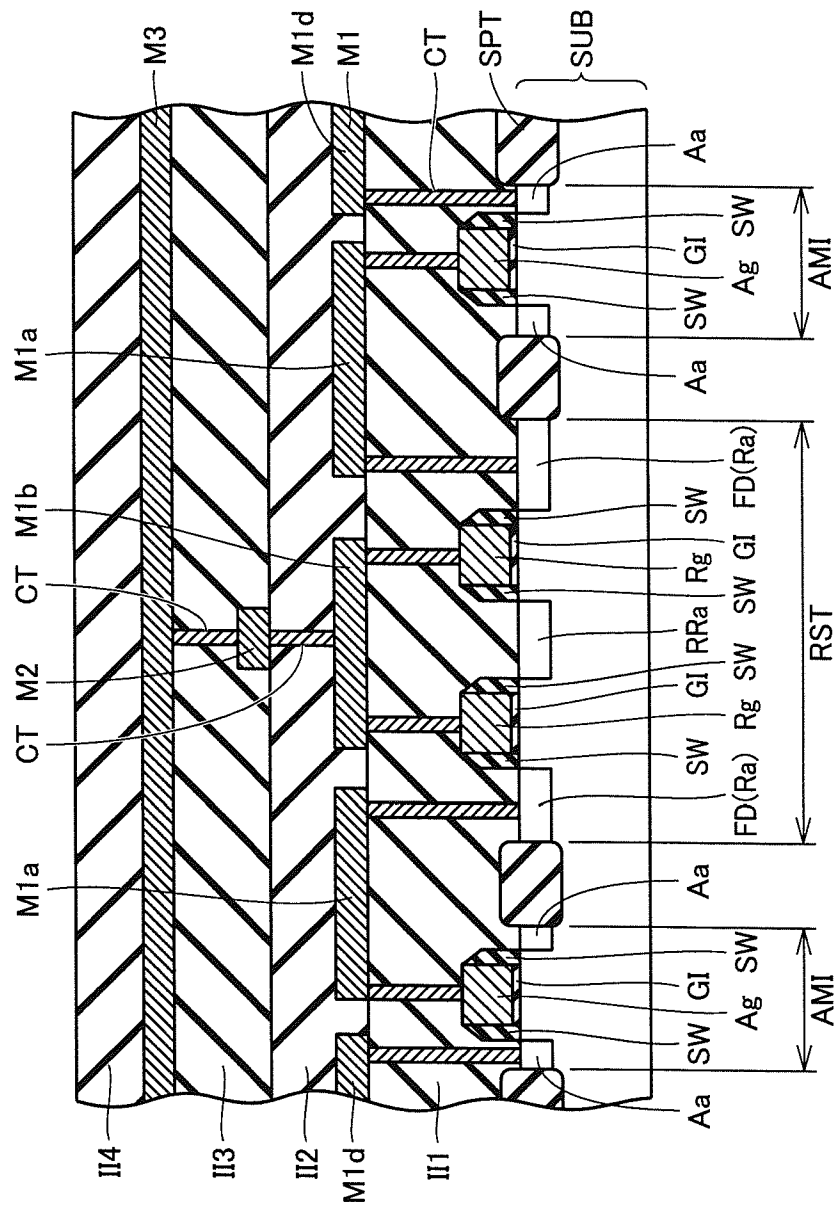


FIG. 26



[図27]

FIG.27

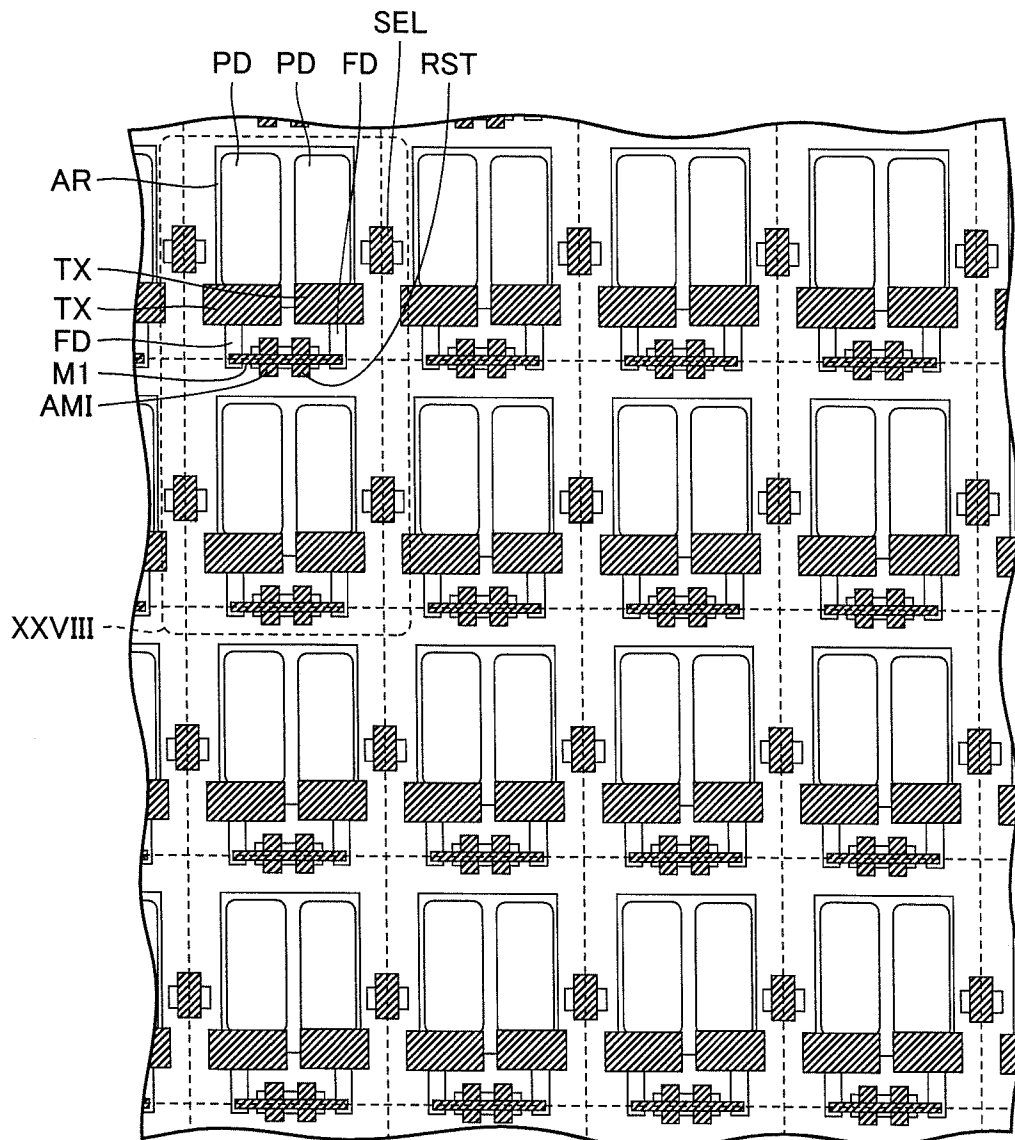
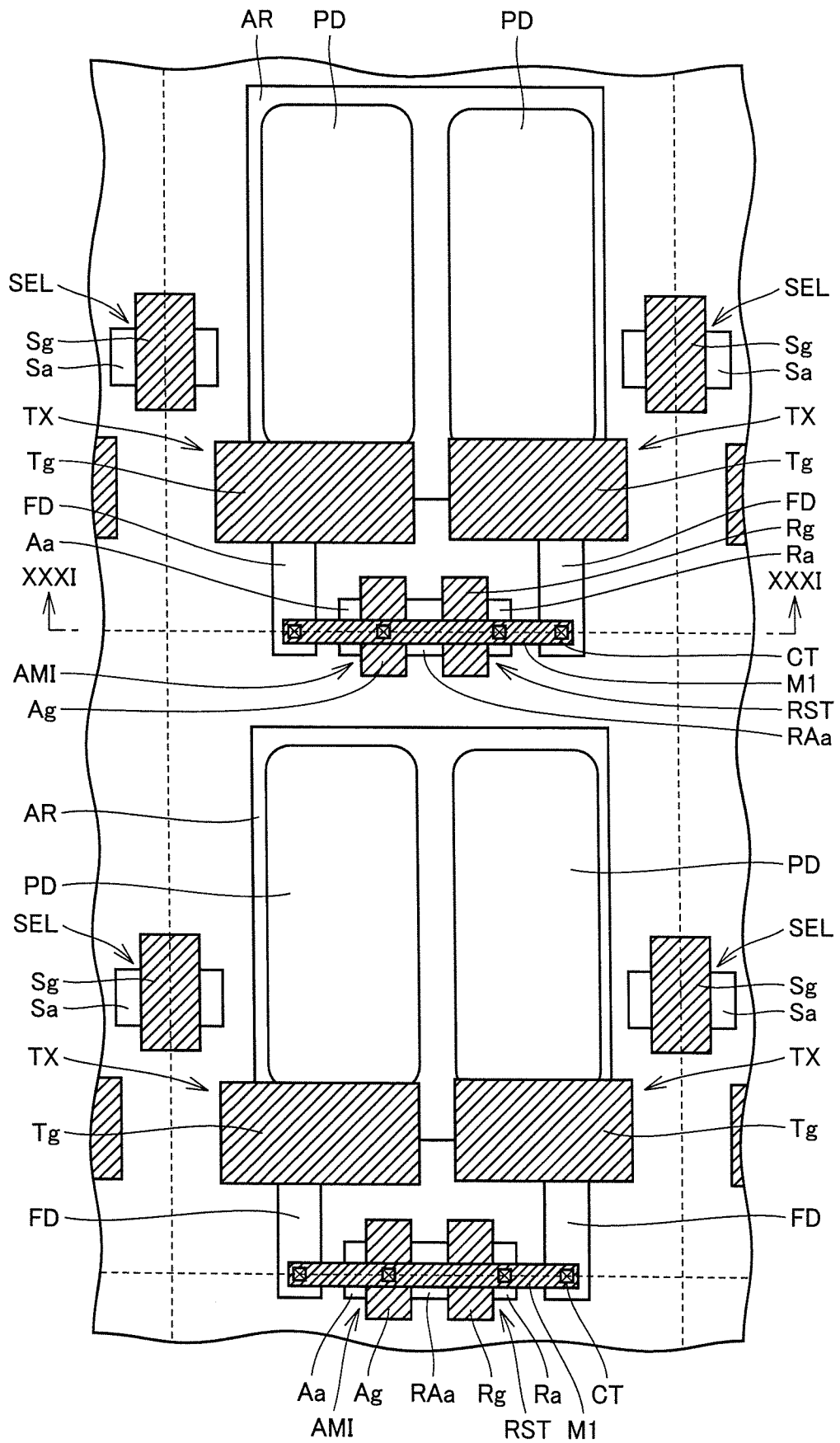
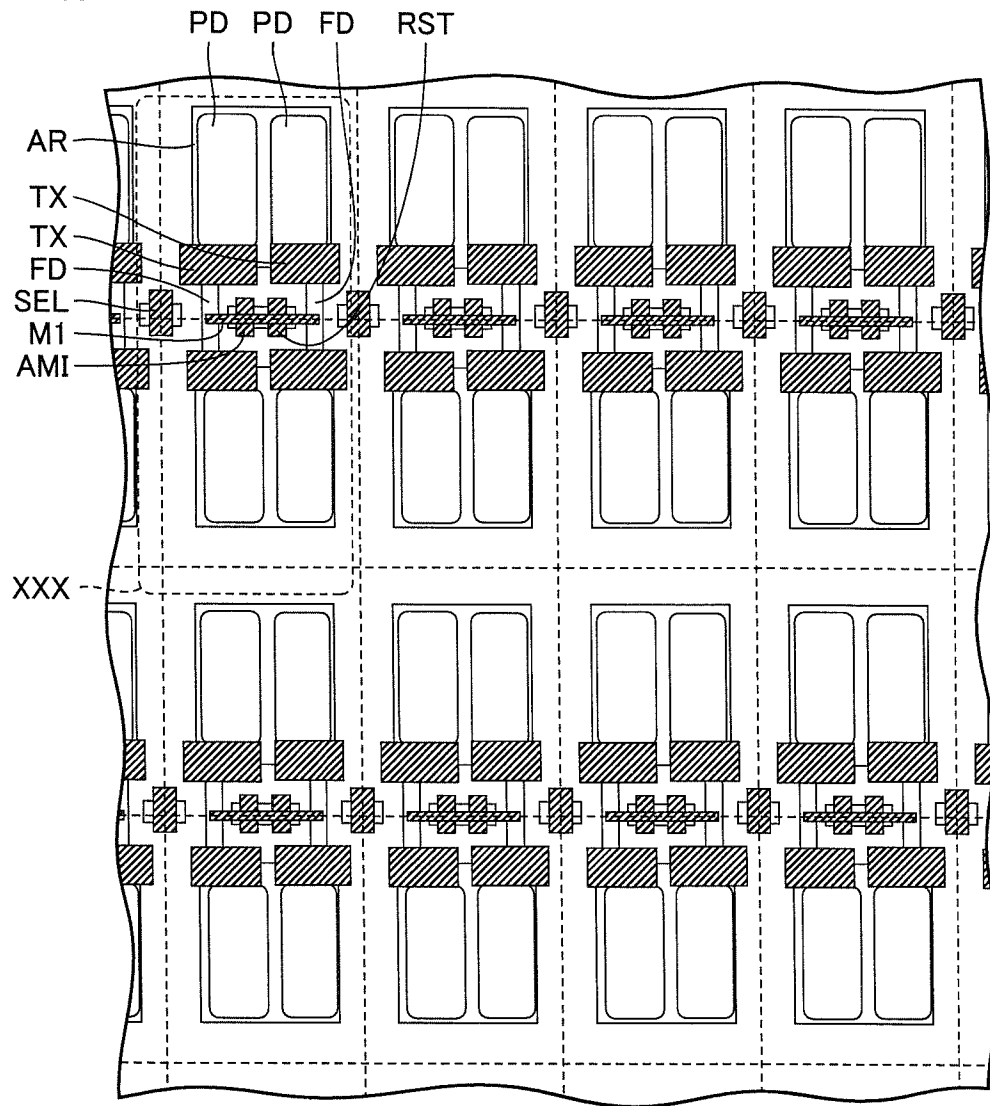


FIG.28



[図29]

FIG.29



[図30]

FIG.30

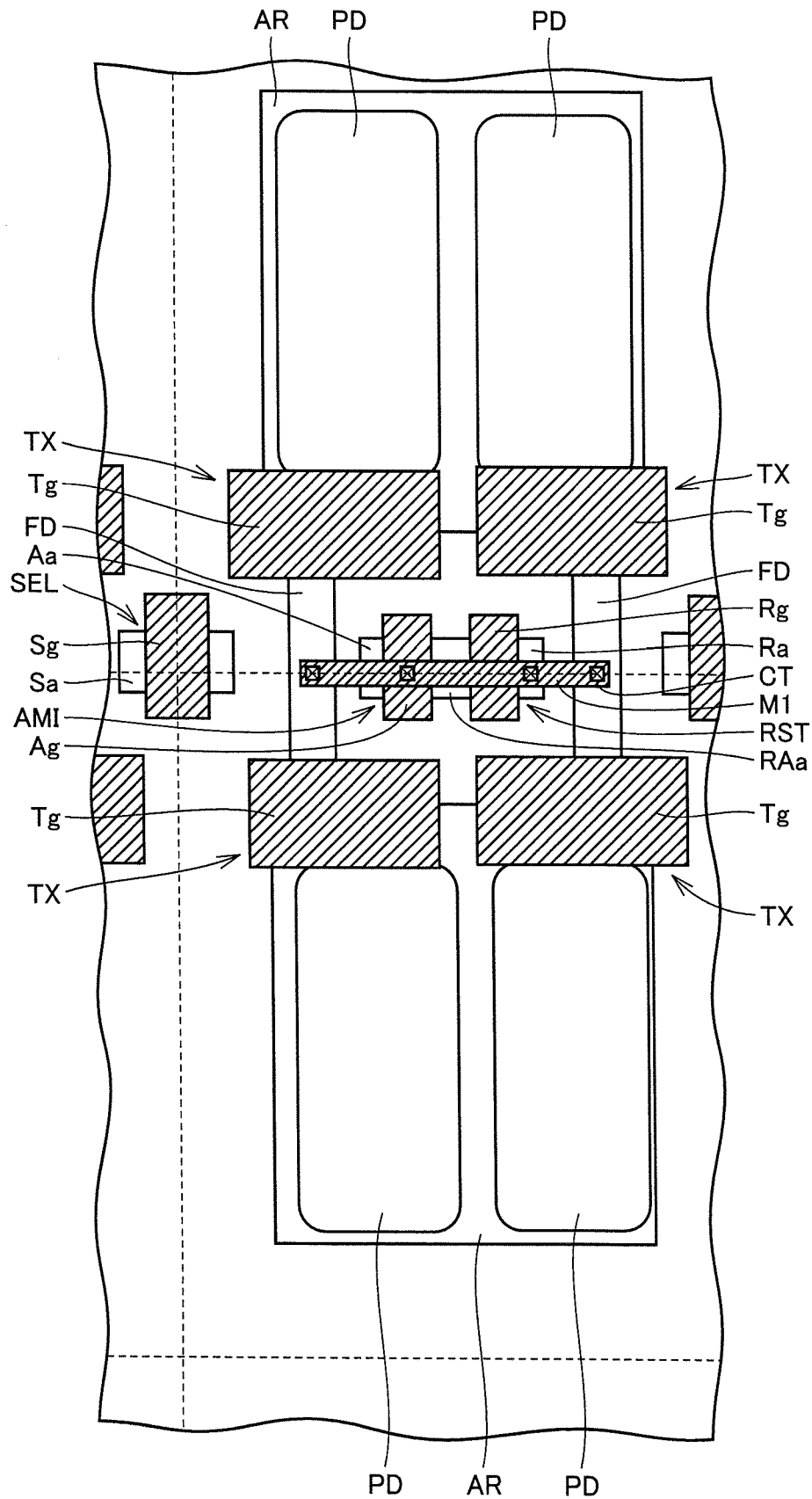
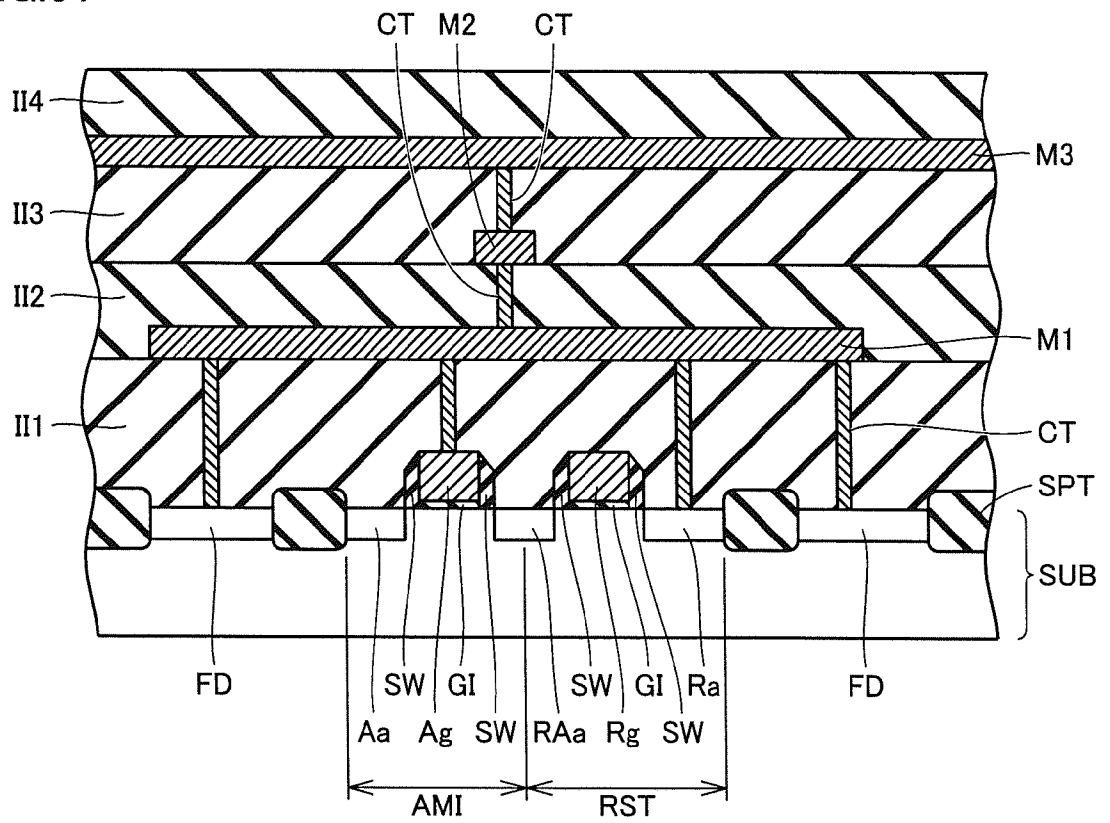
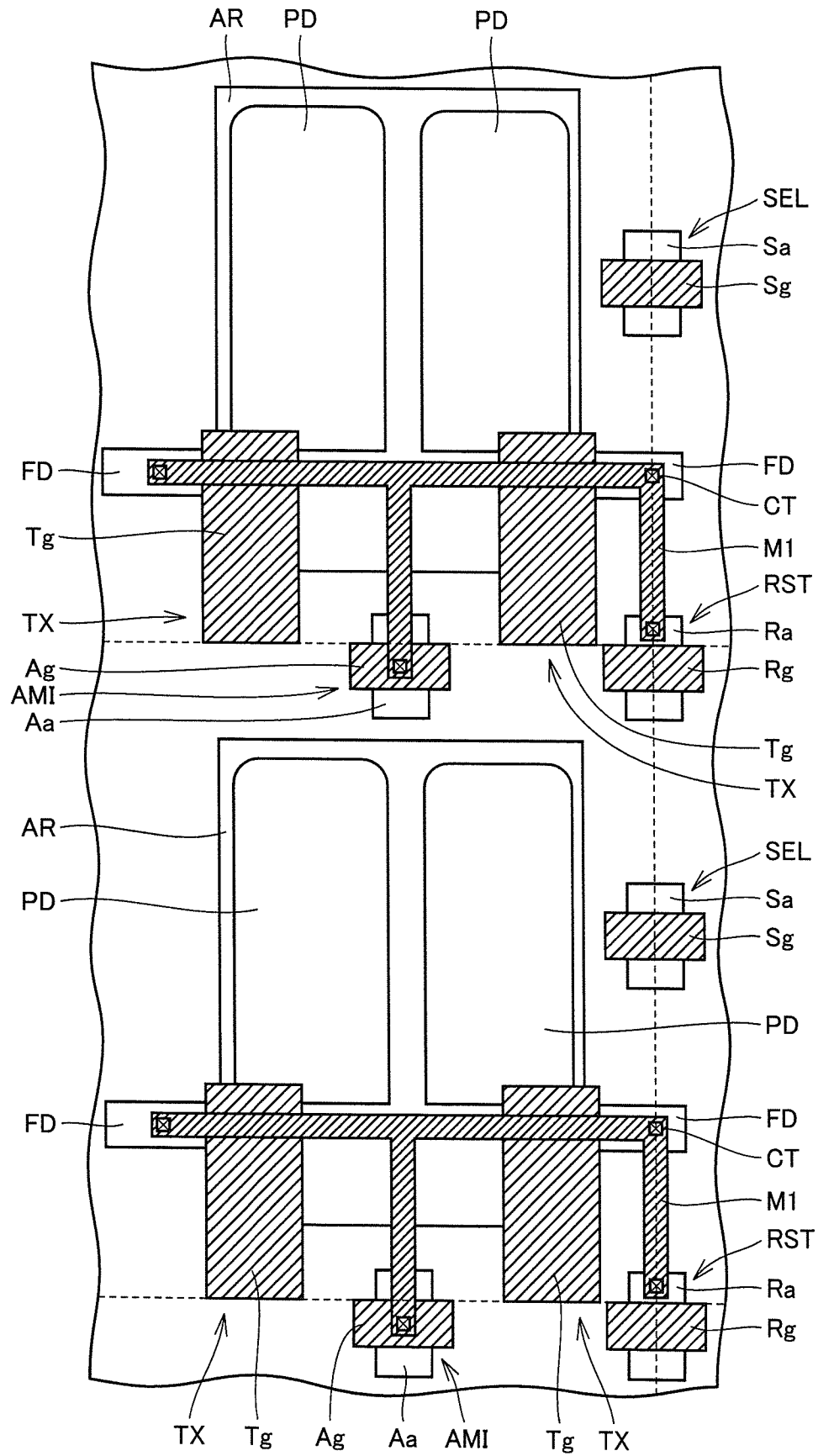


FIG.31



[図32]

FIG.32



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/068288

A. CLASSIFICATION OF SUBJECT MATTER

H04N5/374(2011.01)i, H01L27/146(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/374, H01L27/146

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2010-212769 A (Renesas Electronics Corp.), 24 September 2010 (24.09.2010), paragraphs [0090] to [0122]; fig. 2, 7, 8 & US 2010/0225795 A1	1-20
Y	WO 2014/061820 A1 (Nikon Corp.), 24 April 2014 (24.04.2014), paragraphs [0023] to [0028]; fig. 4 (Family: none)	1-20

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
26 August, 2014 (26.08.14)

Date of mailing of the international search report
16 September, 2014 (16.09.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H04N5/374(2011.01)i, H01L27/146(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H04N5/374, H01L27/146

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2010-212769 A（ルネサスエレクトロニクス株式会社） 2010.09.24, 段落【0090】 - 【0122】、図2、図7、図8 & US 2010/0225795 A1	1 - 2 0
Y	WO 2014/061820 A1（株式会社ニコン）2014.04.24, 段落【0023】 - 【0028】、図4（ファミリーなし）	1 - 2 0

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 6 . 0 8 . 2 0 1 4

国際調査報告の発送日

1 6 . 0 9 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

松永 隆志

5 V

4 2 2 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 7 1