



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

231702

(11)

(B1)

(22) Přihlášeno 07 04 76
(21) (PV 2273-76)

(51) Int. Cl.³

G 08 C 19/02

(40) Zveřejněno 14 05 84

(45) Vydáno 15 07 86

(75)

Autor vynálezu

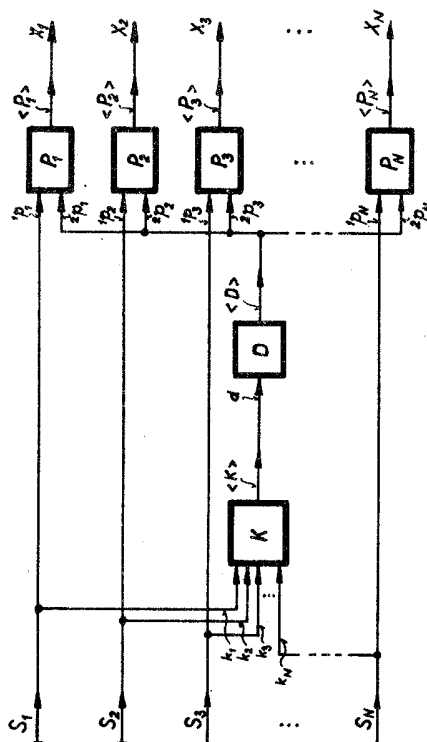
BOCEK KAREL ing. CSc., BYSTRICE nad Olší

(54) Zapojení pro záznam logických signálů

Zapojení pro záznam logických signálů je určeno k dosažení zvýšené spolehlivosti funkce záznamu logických signálů v podmínkách rušivého vlivu prostředí, zejména v průmyslových aplikacích jednoúčelových řídicích automatů.

Podstata zapojení složeného nejméně z jednoho signálního vedení záleží v tom, že první vstup prvního signálního vedení je spojen jednak s prvním vstupem prvního pamětového obvodu a jednak s jedním vstupem kombinačního logického obvodu, kde výstup kombinačního logického obvodu je spojen se vstupem diskriminačního obvodu.

Výstup diskriminačního obvodu je spojen s druhým vstupem prvního pamětového obvodu, a výstup prvního pamětového obvodu je spojen s prvním výstupem prvního signálního vedení.



OBR.1

Vynález se týká zapojení pro záznam logických signálů v elektronických, proudových a jiných soustavách, zejména v oblasti přímého řízení výrobních procesů, popřípadě výrobních zařízení.

Jsou známá zapojení pro záznam signálů, složená z logických obvodů, například z dvojkových pamětí, klopných obvodů a podobně, kde pro záznam každého jednotlivého signálu je v těchto zapojeních jeden logický obvod s paměťovou funkcí.

Nevýhodou těchto zapojení je skutečnost, že při delším časovém odstupu příchodu dvou skupin signálů pro zápis se například vlivem rušivého vlivu prostředí a podobně změní stav těchto logických obvodů, účinek zapsané jedné skupiny signálů z hlediska časového pořadí těchto signálů v této jedné skupině je zkreslený, což se projeví například při působení zapsaných signálů na další tok logických signálů v číslicovém automatu a podobně.

Tyto nevýhody odstraňuje zapojení podle vynálezu, složené nejméně z jednoho signálního vedení, jehož podstata spočívá v tom, že první vstup prvního signálního vedení je spojen jednak s prvním vstupem prvního paměťového obvodu a jednak s jedním vstupem kombinačního logického obvodu, kde výstup kombinačního logického obvodu je spojen se vstupem diskriminačního obvodu, výstup diskriminačního obvodu je spojen s druhým vstupem prvního paměťového obvodu, a výstup prvního paměťového obvodu je spojen s prvním výstupem prvního signálního vedení.

Jako paměťový obvod se uvažuje libovolný klopný obvod, dvojková paměť a podobně. Signál zvolené logické úrovně, který přijde na první vstup, s výhodou záznamový vstup, způsobuje vybuzení signálu zvolené logické úrovně na výstupu. Obdobně signál zvolené logické úrovně, který přijde na druhý vstup, s výhodou mazací vstup, způsobuje zánik tohoto signálu na výstupu.

Při vícenásobném záznamovém vstupu, popřípadě vícenásobném mazacím vstupu se předpokládá jednoduchá logická funkční závislost signálů na elementárních záznamových, popřípadě na elementárních mazacích vstupech, například funkce logického součtu, logického součinu a podobně.

Jako časový obvod se uvažuje libovolný logický obvod s takovou vlastností, že signál zvolené logické úrovně, který přijde na vstup, způsobuje vybuzení signálu zvolené logické úrovně na výstupu po dobu předem stanoveného časového úseku.

Při vícenásobném vstupu se předpokládá jednoduchá logická funkční závislost signálů na elementárních vstupech, například funkce logického součtu, logického součinu a podobně. Takto uvažovaný časový obvod lze chápat jako časovou paměť s předem stanovenou velikostí časového úseku trvání výstupního signálu.

Jako hradlo se uvažuje libovolný kombinační logický obvod se vstupem, s výstupem, řídicím vstupem s takovou vlastností, že průchod signálu ze vstupu na výstup se uvolňuje působením signálu zvolené logické úrovně na řídicím vstupu.

Jako hradlo může pracovat například kombinační logický obvod s funkcí logické konjunkce, vztaženo na vstup a na řídicí vstup. Jako kombinační obvod se uvažuje přednostně obvod s funkcí logického součtu, vztaženo na první vstup, na druhý vstup, popřípadě na další vstup, případně na další v pořadí vstup tohoto kombinačního obvodu.

Jako diskriminační obvod se uvažuje libovolný logický obvod, s takovou vlastností, že signál zvolené logické úrovně, přednostně úrovně logické jedničky, například vzestup napěťového signálu z hodnoty logické nuly na hodnotu logické jedničky, který přijde na vstup, způsobuje vybuzení signálu zvolené logické úrovně na výstupu, který trvá na tomto výstupu po dobu předem stanoveného časového úseku, jehož délka je určena vlastnostmi a nastavením tohoto diskriminačního obvodu.

Předností zapojení podle vynálezu je skutečnost, že umožňuje dosažení zvýšené spolehlivosti funkce záznamu logických signálů, zejména při přerušovaném pracovním režimu, kde signály ve skupinách s různým časovým pořadím přicházejí s delšími časovými odstupy na vstupy zapojení pro záznam.

Předností zapojení je zvýšená odolnost vůči rušivému vlivu prostředí, zejména v průmyslových aplikacích v jednorázových řídicích soustavách, dosahovaná účelným uvedením paměťových obvodů vždy na začátku příchodu jednotlivé skupiny signálů do předem stanoveného výchozího stavu a následné postavení do stavu shodného se signály pro záznam této jednotlivé skupiny.

Předností je dále skutečnost, že pomocí signálů na výstupech zapojení se dosahuje správného řídicího účinku ve správném časovém okamžiku i tam, kde řízený člen reaguje na začátek signálu na výstupu, v případě že v delším časovém rozmezí mezi příchody dvou skupin signálů na vstupy zapojení došlo k falešnému překlopení paměťového obvodu.

Zapojení podle vynálezu je v příkladném provedení znázorněno na přiloženém výkrese, kde na obr. 1 je základní zapojení, a na obr. 2 je modifikované zapojení s přidavnými logickými obvody.

Na obr. 1 je první vstup S_1 spojený přímo s prvním vstupem 1p_1 prvního paměťového obvodu P_1 , jehož výstup $\langle P_1 \rangle$ je spojen s prvním výstupem X_1 zapojení, druhý vstup S_2 je spojen přímo s prvním vstupem 1p_2 druhého paměťového obvodu P_2 , jehož výstup $\langle P_2 \rangle$ je spojen s druhým výstupem X_2 zapojení, další vstup S_3 je spojen přímo s prvním vstupem 1p_3 dalšího paměťového obvodu P_3 , jehož výstup $\langle P_3 \rangle$ je spojen s dalším výstupem X_3 zapojení, další v pořadí vstup S_N je spojen přímo s prvním vstupem 1p_N dalšího v pořadí paměťového obvodu P_N , jehož výstup $\langle P_N \rangle$ je spojen s dalším v pořadí výstupem X_N zapojení.

Dále je na obr. 1 kombinační logický obvod K , jehož vstupy $k_1, k_2, k_3, \dots, k_N$ jsou spojeny se vstupy $S_1, S_2, S_3, \dots, S_N$ zapojení, a jehož výstup $\langle K \rangle$ je spojen přes diskriminační obvod D a druhým vstupem 2p_1 prvního paměťového obvodu P_1 , s druhým vstupem 2p_2 druhého paměťového obvodu P_2 , s druhým vstupem 2p_3 dalšího paměťového obvodu P_3 , s druhým vstupem 2p_N dalšího v pořadí paměťového obvodu P_N .

Vstupy kombinačního obvodu K jsou spojeny se vstupy zapojení tak, že první vstup S_1 zapojení je spojen s prvním vstupem k_1 , druhý vstup S_2 zapojení je spojen s druhým vstupem k_2 , další vstup S_3 zapojení je spojen s dalším vstupem k_3 , další v pořadí vstup S_N zapojení je spojen s dalším v pořadí vstupem k_N tohoto kombinačního obvodu K , jehož výstup $\langle K \rangle$ je spojen se vstupem d diskriminačního obvodu D .

Výstup $\langle D \rangle$ diskriminačního obvodu je spojen s druhým vstupem 2p_1 prvního paměťového obvodu P_1 , s druhým vstupem 2p_2 druhého paměťového obvodu P_2 , s druhým vstupem 2p_3 dalšího paměťového obvodu P_3 , s druhým vstupem 2p_N dalšího v pořadí paměťového obvodu P_N .

V dalším příkladném provedení podle obr. 2 je první vstup S_1 spojený přes první přidavný logický obvod H_1, T_1 s prvním vstupem 1p_1 prvního paměťového obvodu P_1 , jehož výstup $\langle P_1 \rangle$ je spojen s prvním výstupem X_1 zapojení, kterýžto první přidavný logický obvod se skládá z prvního hradla H_1 a z prvního časového obvodu T_1 spojených v kaskádě za sebou tak, že tento první vstup S_1 je spojen se vstupem h_1 prvního hradla H_1 , jehož výstup $\langle H_1 \rangle$ je spojen se vstupem t_1 prvního časového obvodu T_1 , jehož výstup $\langle T_1 \rangle$ je spojen s prvním vstupem 1p_1 prvního paměťového obvodu P_1 , druhý vstup S_2 je spojen přes druhý přidavný logický obvod H_2, T_2 s prvním vstupem 1p_2 druhého paměťového obvodu P_2 , jehož výstup $\langle P_2 \rangle$ je spojen s druhým výstupem X_2 zapojení, kterýžto druhý přidavný logický obvod se skládá z druhého hradla H_2 a z druhého časového obvodu T_2 spojených v kaskádě za sebou tak, že tento druhý vstup S_2 je spojen se vstupem h_2 druhého hradla H_2 , jehož výstup $\langle H_2 \rangle$ je spojen se vstupem t_2 druhého časového obvodu T_2 , jehož výstup $\langle T_2 \rangle$ je spojen s prvním vstupem druhého paměťo-

vého obvodu P_2 , další vstup S_3 je spojen přes další přidavný logický obvod H_3 , T_3 , s prvním vstupem 1p_3 dalšího paměťového obvodu P_3 , jehož výstup $\langle P_3 \rangle$ je spojen s dalším výstupem X_3 zapojení, kterýžto další přidavný logický obvod se skládá z dalšího hradla H_3 a z dalšího časového obvodu T_3 spojených v kaskádě za sebou tak, že tento další vstup S_3 je spojen se vstupem h_3 dalšího hradla H_3 , jehož výstup $\langle H_3 \rangle$ je spojen se vstupem t_3 dalšího časového obvodu T_3 , jehož výstup $\langle T_3 \rangle$ je spojen s prvním vstupem 1p_3 dalšího paměťového obvodu P_3 .

Další v pořadí vstup S_N je spojen přes další v pořadí přidavný logický obvod H_N , T_N s prvním vstupem 1p_N dalšího v pořadí paměťového obvodu P_N , jehož výstup $\langle P_N \rangle$ je spojen s dalším v pořadí výstupem X_N zapojení, kterýžto další v pořadí přidavný logický obvod se skládá z dalšího v pořadí hradla H_N a z dalšího v pořadí časového obvodu T_N spojených v kaskádě za sebou tak, že tento další v pořadí vstup S_N je spojen se vstupem h_N dalšího v pořadí hradla H_N , jehož výstup $\langle H_N \rangle$ je spojen se vstupem t_N dalšího v pořadí časového obvodu T_N , jehož výstup $\langle T_N \rangle$ je spojen s prvním vstupem 1p_N dalšího v pořadí paměťového obvodu P_N .

Dále je na obr. 2 kombinační logický obvod K , jehož vstupy $k_1, k_2, k_3, \dots, k_N$ jsou spojeny se vstupy $S_1, S_2, S_3, \dots, S_N$ zapojení, a jehož výstup $\langle K \rangle$ je spojen přes diskriminační obvod D s druhým vstupem 2p_1 prvního paměťového obvodu P_1 , s druhým vstupem 2p_2 druhého paměťového obvodu P_2 , s druhým vstupem 2p_3 dalšího paměťového obvodu P_3 , s druhým vstupem 2p_N dalšího v pořadí paměťového obvodu P_N .

Vstupy kombinačního obvodu K jsou spojeny se vstupy zapojení tak, že první vstup S_1 zapojení je spojen s prvním vstupem k_1 , druhý vstup S_2 zapojení je spojen s druhým vstupem k_2 , další vstup S_3 zapojení je spojen s dalším vstupem k_3 , další v pořadí vstup S_N zapojení je spojen s dalším v pořadí vstupem k_N tohoto kombinačního obvodu K , jehož výstup $\langle K \rangle$ je spojen se vstupem d diskriminačního obvodu D , jehož výstup $\langle D \rangle$ je spojen s druhým vstupem 2p_1 prvního paměťového obvodu P_1 , s druhým vstupem 2p_2 druhého paměťového obvodu P_2 , s druhým vstupem 2p_3 dalšího paměťového obvodu P_3 , s druhým vstupem 2p_N dalšího v pořadí paměťového obvodu P_N , a dále s řídicím vstupem h_1 prvního hradla H_1 , s řídicím vstupem h_2 druhého hradla H_2 , s řídicím vstupem h_3 dalšího hradla H_3 , s řídicím vstupem h_N dalšího v pořadí hradla H_N .

Funkce zapojení v příkladném provedení podle obr. 1 je taková, že signál, který přišel na první vstup S_1 , přechází na první vstup 1p_1 prvního paměťového obvodu P_1 a na první vstup k_1 kombinačního logického obvodu K .

U kombinačního logického obvodu K s funkcí logického součtu přechází tento signál na jeho výstup $\langle K \rangle$ a dále na vstup d diskriminačního obvodu D , kde vznik signálu, například z logické nuly na logickou jedničku, způsobuje vybuzení signálu na výstupu $\langle D \rangle$ tohoto diskriminačního obvodu po dobu předem stanoveného časového úseku.

Signál na výstupu $\langle D \rangle$ tohoto diskriminačního obvodu D přechází na druhý vstup 2p_1 prvního paměťového obvodu P_1 , na druhý vstup 2p_2 druhého paměťového obvodu P_2 , na druhý vstup 2p_3 dalšího paměťového obvodu P_3 , na druhý vstup 2p_N dalšího v pořadí paměťového obvodu P_N .

Předpokládá se taková funkce paměťových obvodů, že při současném buzení prvního vstupu i druhého vstupu převládá logická funkce signálu na druhém vstupu, tj. převládá mazání.

Výsledkem je, že po dobu časového trvání signálu na výstupu $\langle D \rangle$ diskriminačního obvodu D je zamezeno vybuzení signálu na výstupu $\langle P_1 \rangle$ prvního paměťového obvodu P_1 , přestože je již buzen signálem na prvním vstupu 1p_1 , a obdobně i na výstupu druhého, dalšího, dalšího v pořadí paměťového obvodu.

Až při zániku signálu na výstupu $\langle D \rangle$ tohoto diskriminačního obvodu D se uskutečňuje záznam signálů ze vstupů $S_1, S_2, S_3, \dots, S_N$ zapojení do příslušných paměťových obvodů $P_1, P_2, P_3, \dots, P_N$, přičemž tento záznam následuje vždy po předchozím vymazaném stavu těchto paměťových obvodů.

Funkce zapojení v příkladném provedení podle obr. 2 je taková, že signál, který přišel na první vstup S_1 přechází na vstup h_1 prvního hradla H_1 a na první vstup k_1 kombinačního logického obvodu K .

U kombinačního logického obvodu K s funkcí logického součtu přechází tento signál na jeho výstup $\langle K \rangle$ a dále na vstup d diskriminačního obvodu D , kde vznik signálu, například z logické nuly na logickou jedničku, způsobuje vybuzení signálu na výstupu $\langle D \rangle$ tohoto diskriminačního obvodu po dobu předem stanoveného časového úseku.

Signál na výstupu $\langle D \rangle$ tohoto diskriminačního obvodu D přechází na druhý vstup 2p_1 prvního paměťového obvodu P_1 , na druhý vstup 2p_2 druhého paměťového obvodu P_2 , na druhý vstup 2p_3 dalšího paměťového obvodu P_3 , na druhý vstup 2p_N dalšího v pořadí paměťového obvodu P_N .

Vzhledem ke klopné funkci paměťových obvodů se dosáhne předem zvoleného, například vymazaného stavu těchto paměťových obvodů.

Signál na výstupu $\langle D \rangle$ diskriminačního obvodu D přechází dále na řídicí vstup H_1 prvního hradla H_1 , na řídicí vstup H_2 druhého hradla H_2 , na řídicí vstup H_3 dalšího hradla H_3 , na řídicí vstup H_N dalšího v pořadí hradla H_N .

Vzhledem k logické funkci je po dobu působení tohoto signálu uzavřen průchod těchto hradel pro signály ze vstupů $S_1, S_2, S_3, \dots, S_N$ zapojení, neboli ze vstupů $h_1, h_2, h_3, \dots, h_N$ hradel $H_1, H_2, H_3, \dots, H_N$ na jejich výstupy $\langle H_1 \rangle, \langle H_2 \rangle, \langle H_3 \rangle, \dots, \langle H_N \rangle$.

Až při zániku signálu na výstupu $\langle D \rangle$ diskriminačního obvodu D přecházejí signály přes tato hradla z jejich vstupů na jejich výstupy.

Tak například signál na prvním vstupu S_1 zapojení, neboli signál na vstupu h_1 prvního hradla $\langle H_1 \rangle$ přechází na jeho výstup H_1 a dále na vstup t_1 prvního časového obvodu T_1 .

Vzhledem k logické funkci použitého časového obvodu způsobuje tento signál na vstupu t_1 vybuzení signálu zvolené logické úrovně na výstupu $\langle T_1 \rangle$, s výhodou jedničkové logické úrovně, po dobu předem stanoveného časového úseku. Tento logický signál přechází dále na první vstup 1p_1 prvního paměťového obvodu P_1 , a způsobuje vybuzení signálu na jeho výstupu $\langle P_1 \rangle$, a tedy přechází na první výstup X_1 zapojení.

Tok signálů z druhého vstupu S_2 , dalšího vstupu S_3 , dalšího v pořadí vstupu S_N zapojení na druhý výstup X_2 , další výstup X_3 , další v pořadí výstup X_N zapojení je zcela obdobný.

Předpokládá se relativně dlouhé časové trvání signálů na vstupech $S_1, S_2, S_3, \dots, S_N$ zapojení, a odpovídající časové trvání signálů na výstupech $X_1, X_2, X_3, \dots, X_N$ zapojení, popřípadě taková necitlivost na tyto signály na výstupech, že případné přechodně působící signály v důsledku rozdílné, kdy reakce použitých obvodů lze zcela zanedbat. Tento předpoklad opravňuje zidealizovanou představu okamžité reakce použitých obvodů, bez ohledu na jejich fyzikální podstatu.

Zapojení podle vynálezu nachází svoje opodstatněné uplatnění v jednoúčelových řídicích systémech složených z logických obvodů, kde zvyšuje provozní spolehlivost obvodů, reagujících na vstupní signály, například signály čidel, signály identifikující stav výrobního zařízení a podobně.

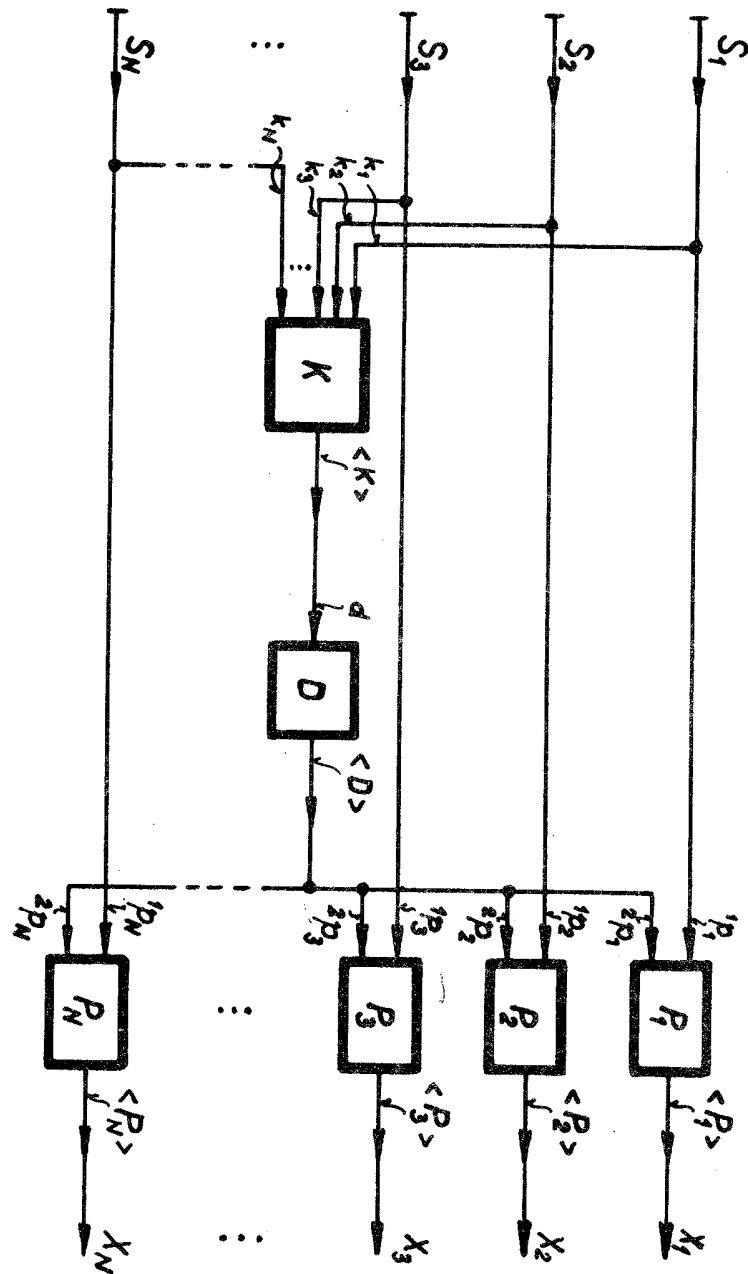
Uplatňuje se zejména skutečnost, že při zahájení výrobního cyklu s časovým odstupem od předchozího výrobního cyklu se uvádí paměťové obvody do počátečního stavu nebo jiného výchozího předem zvoleného stavu, a až pak následuje vlastní záznam vstupních signálů do příslušných paměťových obvodů.

PŘEDMĚT VYNÁLEZU

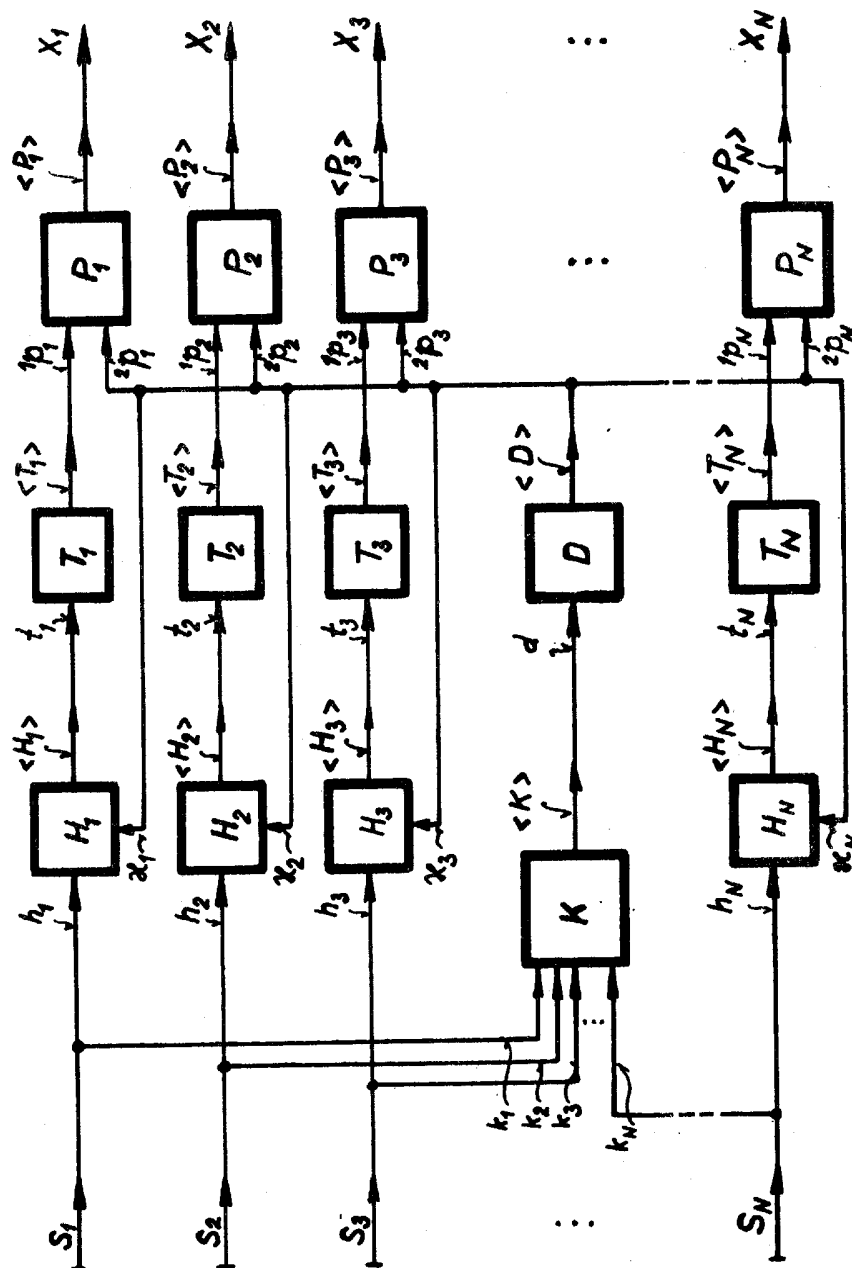
1. Zapojení pro záznam logických signálů, složené nejméně z jednoho signálního vedení, vyznačené tím, že první vstup (S_1) prvního signálního vedení je spojen jednak s prvním vstupem (1p_1) prvního paměťového obvodu (P_1) a jednak s jedním vstupem (k_1) kombinačního logického obvodu (K), kde výstup ($\langle K \rangle$) kombinačního logického obvodu (K) je spojen se vstupem (d) diskriminačního obvodu (D), výstup ($\langle D \rangle$) diskriminačního obvodu (D) je spojen s druhým vstupem (2p_1) prvního paměťového obvodu (P_1), a výstup ($\langle P_1 \rangle$) prvního paměťového obvodu (P_1) je spojen s prvním výstupem (X_1) prvního signálního vedení.

2. Zapojení podle bodu 1, vyznačené tím, že první vstup (S_1) prvního signálního vedení je spojen s prvním vstupem (1p_1) prvního paměťového obvodu (P_1) přes první přídavný logický obvod skládající se z prvního hradla (H_1) a z prvního časového obvodu (T_1) spojených v kaskádě za sebou, přičemž výstup ($\langle H_1 \rangle$) prvního hradla (H_1) je spojen se vstupem (t_1) prvního časového obvodu (T_1), a řídicí vstup (H_1) tohoto prvního hradla (H_1) je spojen s výstupem ($\langle D \rangle$) diskriminačního obvodu (D).

2 výkresy



OBR.1



OBR. 2