

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第7部門第2区分  
 【発行日】平成24年3月22日(2012.3.22)

【公開番号】特開2010-183021(P2010-183021A)  
 【公開日】平成22年8月19日(2010.8.19)  
 【年通号数】公開・登録公報2010-033  
 【出願番号】特願2009-27598(P2009-27598)  
 【国際特許分類】

H 0 1 L 27/04 (2006.01)

H 0 1 L 21/822 (2006.01)

H 0 1 L 21/82 (2006.01)

【F I】

H 0 1 L 27/04 A

H 0 1 L 27/04 C

H 0 1 L 21/82 D

【手続補正書】

【提出日】平成24年2月7日(2012.2.7)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

基板と、

前記基板上に形成され、それぞれ、長軸方向と短軸方向とを有する所定パターンの膜を含み、前記基板の面内方向の同一層に分散配置された複数の分割素子と、  
 を含み、

複数の前記分割素子は、第1の方向において隣接する前記分割素子の前記膜の長軸方向が異なるか、または、前記第1の方向において隣接する前記分割素子が、前記第2の方向に、当該第2の方向における前記分割素子の長さよりも小さい量だけずらして配置された半導体装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0054

【補正方法】変更

【補正の内容】

【0054】

図2および図3に示した例では、第1の接続点102aと第2の接続点104aとが同じ側に設けられているが、図17に示すように、第1の接続点102aと第2の接続点104aとは、反対の側(平面視で一端と他端)に設けることもできる。図19は、図17に示した構成のMIMキャパシタ200を図4に示したレイアウトと同様に配置した構成を部分的に示す平面図である。

< 付記 >

< 発明1 >

基板と、

前記基板上に形成され、それぞれ、長軸方向と短軸方向とを有する所定パターンの膜を含み、前記基板の面内方向の同一層に分散配置された複数の分割素子と、

を含み、

複数の前記分割素子は、第1の方向において隣接する前記分割素子の前記膜の長軸方向が異なるか、または、前記第1の方向において隣接する前記分割素子が、前記第1の方向と直交する第2の方向に、当該第2の方向における前記分割素子の長さよりも小さい量だけずらして配置された半導体装置。

< 発明 2 >

発明 1 に記載の半導体装置において、

各前記分割素子は、前記基板上に形成された絶縁膜と、前記絶縁膜中の同層に形成され、間に前記絶縁膜を挟んで形成された第1の電極および第2の電極と、から構成された分割MIMキャパシタであって、

前記所定パターンの膜は、前記第1の電極および前記第2の電極であって、

各前記分割MIMキャパシタは、それぞれ、複数の前記第1の電極と複数の前記第2の電極とが交互に配置された構成を有し、

各前記分割MIMキャパシタにおいて、前記第1の電極および前記第2の電極は、前記長軸方向が同一方向に延在して形成され、

複数の前記分割MIMキャパシタは、前記第1の方向において隣接する前記分割MIMキャパシタの前記第1の電極および前記第2の電極の長軸方向が異なるか、または、前記第1の方向において隣接する前記分割MIMキャパシタが、前記第1の方向と直交する第2の方向に、当該第2の方向における前記分割MIMキャパシタの長さよりも小さい量だけずらして配置された半導体装置。

< 発明 3 >

発明 2 に記載の半導体装置において、

前記第1の方向において、前記第1の電極および前記第2の電極の長軸方向が当該第1の方向である前記分割MIMキャパシタと、前記第1の電極および前記第2の電極の長軸方向が前記第2の方向である前記分割MIMキャパシタとが交互に配置された半導体装置。

< 発明 4 >

発明 2 または 3 に記載の半導体装置において、

前記複数の分割MIMキャパシタは、平面視において、マトリクス状に配置された半導体装置。

< 発明 5 >

発明 2 から 4 いずれかに記載の半導体装置において、

前記複数の分割MIMキャパシタは、平面視において、同じ大きさかつ同形状に形成された半導体装置。

< 発明 6 >

発明 2 から 5 いずれかに記載の半導体装置において、

前記複数の分割MIMキャパシタは、一の入力線から入力された信号が各前記複数の分割MIMキャパシタを介して一の出力線に出力されるように構成され、当該複数の分割MIMキャパシタで一のMIMキャパシタを構成する半導体装置。

< 発明 7 >

発明 2 から 6 いずれかに記載の半導体装置において、

前記複数の分割MIMキャパシタの一部は、一の第1の入力線から入力された信号が当該一部の分割MIMキャパシタを介して一の第1の出力線に出力されるように構成された第1のMIMキャパシタを構成し、

前記複数の分割MIMキャパシタの他の一部は、一の第2の入力線から入力された信号が当該他の一部の分割MIMキャパシタを介して一の第2の出力線に出力されるように構成された第2のMIMキャパシタを構成し、

前記第1のMIMキャパシタを構成する前記複数の分割MIMキャパシタの一部と、前記第2のMIMキャパシタを構成する前記複数の分割MIMキャパシタの他の一部とは、互いに混在して配置され、前記第1の方向または前記第2の方向の少なくとも一方の方向

において交互に配置された半導体装置。

< 発明 8 >

発明 7 に記載の半導体装置において、

前記第 1 の M I M キャパシタおよび前記第 2 の M I M キャパシタは、回路中で、同じ特性値を示すことが必要であり、前記第 1 の M I M キャパシタおよび前記第 2 の M I M キャパシタは、それぞれ、同じ数の前記分割 M I M キャパシタを含む半導体装置。

< 発明 9 >

発明 7 または 8 に記載の半導体装置において、

前記第 1 の M I M キャパシタを構成する前記分割 M I M キャパシタと、前記第 2 の M I M キャパシタを構成する前記分割 M I M キャパシタとは、互いに混在して配置され、前記第 1 の方向および前記第 2 の方向の両方において交互に配置された半導体装置。

< 発明 10 >

発明 1 に記載の半導体装置において、

各前記分割素子は、前記基板上に形成された抵抗膜を含む分割抵抗端子であって、

前記所定パターンの膜は、前記抵抗膜であって、

複数の前記分割抵抗端子は、第 1 の方向において隣接する前記分割抵抗端子に含まれる前記抵抗膜の長軸方向が異なるか、または、前記第 1 の方向において隣接する前記分割抵抗端子が、前記第 1 の方向と直交する第 2 の方向に、当該第 2 の方向における前記分割抵抗端子の長さよりも小さい量だけずらして配置された半導体装置。

< 発明 11 >

発明 1 に記載の半導体装置において、

各前記分割素子は、前記基板上に形成され、素子分離絶縁膜で分離された拡散層と、前記拡散層上に形成されたゲート絶縁膜およびゲート電極と、から構成された分割トランジスタであって、

前記所定パターンの膜は、前記ゲート絶縁膜であって、

複数の前記分割トランジスタは、第 1 の方向において隣接する前記分割トランジスタの前記ゲート絶縁膜および前記ゲート電極の長軸方向が異なるか、または、前記第 1 の方向において隣接する前記トランジスタが、前記第 1 の方向と直交する第 2 の方向に、当該第 2 の方向における前記拡散層の長さよりも小さい量だけずらして配置された半導体装置。