



(12) 发明专利

(10) 授权公告号 CN 1982952 B

(45) 授权公告日 2010.12.15

(21) 申请号 200610172967.3

审查员 刘亚利

(22) 申请日 2006.11.24

(30) 优先权数据

2005-114641 2005.11.29 KR

(73) 专利权人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 全相镇

(74) 专利代理机构 中科专利商标代理有限责任
公司 11021

代理人 戎志敏

(51) Int. Cl.

G02F 1/13(2006.01)

G01R 31/00(2006.01)

(56) 对比文件

US 6624857 B1, 2003.09.23, 说明书第20栏
第4-6段, 第27栏第1-6段、图1, 图4-5.

CN 1388404 A, 2003.01.01, 权利要求1.

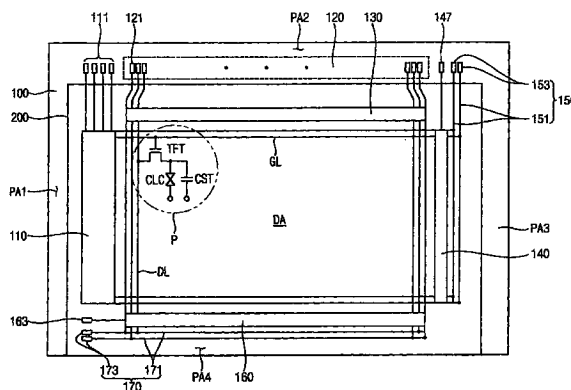
权利要求书 3 页 说明书 12 页 附图 11 页

(54) 发明名称

显示基板和测试该显示基板的方法

(57) 摘要

一种显示基板包括多条栅极线、多条数据线、栅极信号输入单元、第一测试单元以及第一伪开关单元。栅极线沿第一方向延伸。数据线沿与第一方向交叉的第二方向延伸。栅极信号输入单元形成在各条栅极线的第一端以将栅极信号施加于栅极线。第一测试单元形成在各条栅极线与第一端相反的第二端以将第一测试信号施加于栅极线。第一伪开关单元形成在栅极信号输入单元和第一测试单元之间并将第一测试信号传递到栅极线。



1. 一种显示基板,其包括:
沿第一方向延伸的多条栅极线;
沿与第一方向交叉的第二方向延伸的多条数据线;
形成在栅极线的第一端以将栅极信号施加于栅极线的栅极信号输入单元;
形成在与第一端相反的栅极线的第二端并接收第一测试信号的第一测试单元;
形成在栅极信号输入单元和第一测试单元之间并将第一测试信号传递到栅极线的第一伪开关单元;
形成在数据线的第一端以将数据信号施加于数据线的的数据信号输入单元;以及
电连接在数据信号输入单元和多条数据线中的每一条数据线之间以分布来自数据信号输入单元的静电的仅一个静电二极管。
2. 根据权利要求 1 的显示基板,其中第一伪开关单元包括:
分别电连接于栅极线的多个第一伪开关;以及
将控制信号施加于第一伪开关的第一控制焊盘。
3. 根据权利要求 2 的显示基板,其中各第一伪开关包括:
电连接于第一控制焊盘的栅电极;
电连接于第一测试单元的源电极;以及
电连接于一条栅极线的漏电极。
4. 根据权利要求 2 的显示基板,其中第一测试单元包括:
多条测试线,各条测试线将第一测试信号施加于第一伪开关的组;以及
分别电连接于多条测试线的多个测试焊盘。
5. 根据权利要求 2 的显示基板,其中第一测试单元包括:
将第一测试信号施加于第一伪开关中的奇数第一伪开关的第一测试线;
电连接于第一测试线的第一测试焊盘;
将第一测试信号施加于偶数第一伪开关的第二测试线;以及
电连接于第二测试线的第二测试焊盘。
6. 根据权利要求 1 的显示基板,其中栅极信号输入单元包括电连接于栅极驱动芯片的输出的栅极输入焊盘。
7. 根据权利要求 1 的显示基板,其中栅极信号输入单元包括依赖地连接成多级以输出栅极信号的移位寄存器。
8. 根据权利要求 1 的显示基板,还包括:
形成在与第一端相反的数据线的第二端并将第二测试信号输出到数据线的第二测试单元;以及
形成在数据信号输入单元和第二测试单元之间并将第二测试信号传递到数据线的第二伪开关单元。
9. 根据权利要求 8 的显示基板,其中第二伪开关单元包括:
分别电连接于数据线的多个伪开关;以及
将控制信号施加于伪开关的控制焊盘。
10. 根据权利要求 9 的显示基板,其中各个伪开关包括:
电连接于控制焊盘的栅电极;

电连接于第二测试单元的源电极 ; 以及
电连接于一条数据线的漏电极。

11. 根据权利要求 9 的显示基板, 其中第二测试单元包括 :
多条测试线, 各条测试线将第二测试信号施加于伪开关组 ; 以及
分别电连接于多条测试线的多个测试焊盘。

12. 根据权利要求 9 的显示基板, 其中第二测试单元包括 :
将第二测试信号施加于伪开关中的奇数伪开关的第一测试线 ;
电连接于第一测试线的第一测试焊盘 ;
将第二测试信号施加于偶数伪开关的第二测试线 ; 以及
电连接于第二测试线的第二测试焊盘。

13. 根据权利要求 12 的显示基板, 其中施加于第一测试焊盘的第二测试信号具有与施加于第二测试焊盘的第二测试信号不同的电压电平。

14. 根据权利要求 8 的显示基板, 其中数据信号输入单元包括电连接于源极驱动芯片的输出的数据输入焊盘。

15. 一种测试显示基板的方法, 该显示基板包括形成在数据线的端部以将数据信号施加于数据线的的数据输入焊盘, 形成在栅极线的第一端以将栅极信号施加于栅极线的栅极信号输入单元, 形成在与第一端相反的栅极线的第二端的第一测试单元, 形成在栅极信号输入单元和第一测试单元之间的第一伪开关单元, 形成在数据线的端部以将数据信号施加于数据线的的数据信号输入单元, 以及电连接在数据信号输入单元和多条数据线中的每一条数据线之间以分布来自数据信号输入单元的静电的仅一个静电二极管, 该方法包括 :

将第一控制信号施加于第一伪开关单元以接通第一伪开关单元 ;
将第一测试信号施加于第一测试单元以激活栅极线 ; 以及
将第二测试信号施加于数据输入焊盘。

16. 根据权利要求 15 的方法, 其中栅极信号输入单元包括依赖地连接成多级并输出栅极信号的移位寄存器。

17. 根据权利要求 15 的方法, 其中第一伪开关单元包括分别电连接于栅极线的多个第一伪开关, 以及

施加第一测试信号包括第一测试单元的第一测试线将第一测试信号施加于第一伪开关中的奇数第一伪开关, 第一测试焊盘电连接于第一测试线, 第一测试单元的第二测试线将第一测试信号施加于偶数第一伪开关, 以及第二测试焊盘电连接于第二测试线。

18. 根据权利要求 15 的方法, 其中阵列基板还包括电连接于数据输入焊盘的第二伪开关单元, 以及电连接于第二伪开关单元的第二测试单元, 以及

施加第二测试信号包括将第二控制信号施加于第二伪开关单元以接通第二伪开关单元, 并将施加于数据线的第二测试信号施加于第二测试单元。

19. 根据权利要求 18 的方法, 其中第二伪开关单元包括分别电连接于数据线的多个伪开关, 以及

施加第二测试信号还包括第二测试单元的第一测试线将第二测试信号施加于伪开关中的奇数伪开关, 第一测试焊盘电连接于第一测试线, 第二测试单元的第二测试线将第二测试信号施加于偶数伪开关, 以及第二测试焊盘电连接于第二测试线。

20. 根据权利要求 19 的方法,其中施加于第一测试焊盘的第二测试信号具有与施加于第二测试焊盘的第二测试信号不同的电压电平。

21. 根据权利要求 15 的方法,其中将第二测试信号施加于数据输入焊盘包括将测试仪的探针接触数据输入焊盘。

22. 一种测试显示基板的方法,该显示基板包括形成在数据线的端部以将数据信号施加于数据线的的数据输入焊盘,形成在栅极线的第一端以将栅极信号施加于栅极线的栅极信号输入单元,形成在与第一端相反的栅极线的第二端的第一测试单元,形成在栅极信号输入单元和第一测试单元之间的第一伪开关单元,形成在数据线的的第一端以将数据信号施加于数据线的的数据信号输入单元,以及电连接在数据信号输入单元和多条数据线中的每一条数据线之间以分布来自数据信号输入单元的静电的仅一个静电二极管,该方法包括:

将第一控制信号施加于形成在栅极线端部和第一测试单元之间的第一伪开关单元,并接通第一伪开关单元;

将第一测试信号施加于第一测试单元,并将该第一测试信号通过第一伪开关单元传递到栅极线;

将第二控制信号施加于形成在数据线端部和第二测试单元之间的第二伪开关单元,并接通第二伪开关单元;和

将第二测试信号施加于第二测试单元,并将该第二测试信号通过第二伪开关单元传递到数据线。

显示基板和测试该显示基板的方法

技术领域

[0001] 本发明的优选实施例涉及显示基板和测试该显示基板的方法。尤其，本发明的优选实施例涉及由简单的过程测试的显示基板以及测试该显示基板的方法，该简单的过程具有改进的检查程度。

背景技术

[0002] 通常，液晶显示装置（“LCD”）包括 LCD 板以及电连接到该 LCD 板用于驱动该 LCD 板的驱动单元。

[0003] LCD 板包括阵列基板，面对该阵列基板的滤色器基板，以及置于阵列基板和滤色器基板之间的液晶（LC）层。在制造 LCD 板的过程中，诸如微粒的缺陷导致产量的减少。尤其，由于微粒导致的导线的断路和短路直接减少了 LCD 板的产量。

[0004] 在检测导线故障的方法中，在制造阵列基板的过程中将电信号施加于导线用于测试阵列基板。然后 LC 被注入到包括阵列基板和滤色器基板的 LCD 板中。电信号和背光源（或正面光）被提供给 LCD 板以执行关于 LCD 板的视觉检测。

[0005] 为了测试阵列基板，阵列测试线形成在底部基板中的显示单元外侧。电信号通过阵列测试线被施加到阵列基板上。在测试该阵列基板之后，底部基板被各个显示单元隔开。

[0006] 为了执行视觉测试，必须在显示单元中形成额外的视觉测试线。电信号和背光通过该视觉测试线被提供到该 LCD 板以检测 LCD 板的导线故障和像素故障。此外，不同的电信号分别被施加到导线以检测显示器故障以及导线故障。

[0007] 根据常用的测试方法，为了测试阵列基板，必须在底部基板（basesubstrate）上形成额外的阵列测试线。此外，为了执行视觉测试，还必须在显示单元中形成额外的视觉测试线。

发明内容

[0008] 本发明的优选实施例提供一种由简单的过程测试的显示基板，该简单的过程具有改进的检查程度。

[0009] 本发明的优选实施例还提供一种测试上述显示基板的方法。

[0010] 根据本发明的优选实施例的显示基板包括多条栅极线、多条数据线、栅极信号输入单元、第一测试单元和第一伪开关单元。该栅极线沿第一方向延伸。数据线沿与第一方向交叉的第二方向延伸。栅极信号输入单元形成在各条栅极线的第一端以将栅极信号施加于栅极线。第一测试单元形成在各栅极线相对第一端的第二端以将第一测试信号施加于栅极线。第一伪开关单元形成在栅极信号输入单元和第一测试单元之间以将第一测试信号传递给栅极线。

[0011] 在测试根据本发明的优选实施例的显示基板的方法中，其中显示基板包括形成在各条数据线的一端以将数据信号施加于数据线的的数据输入焊盘，形成在各条栅极线的第一端以将栅极信号施加于栅极线的栅极信号输入单元，形成在各条栅极线相对的第二端的第

一测试单元,以及形成在栅极信号输入单元和第一测试单元之间的第一伪开关单元,该方法包括将第一控制信号施加于第一伪开关单元以接通第一伪开关单元。将第一测试信号施加于第一测试单元以激活栅极线。然后将第二测试信号施加于数据输入焊盘。

[0012] 在测试根据本发明另一优选实施例的显示基板的方法中,该方法包括将第一控制信号施加于形成在栅极线的端部和第一测试单元之间的第一伪开关单元,接通第一伪开关单元,将第一测试信号施加于第一测试单元,通过第一伪开关单元将第一测试信号传递到栅极线,将第二控制信号施加于形成在数据线末端和第二测试单元之间的第二伪开关单元,接通第二伪开关单元,并将第二测试信号施加于第二测试单元,通过第二伪开关单元将第二测试信号传递到数据线。

[0013] 根据本发明的优选实施例,阵列基板的测试和显示基板的视觉测试可以仅利用单个的测试线执行,从而可以简化测试过程且还可具有改进的检查程度。

附图说明

[0014] 参考附图通过详细描述其优选的实施例,本发明的上述和其它特征和优势将变得更明显,其中:

[0015] 图 1 是根据本发明的一个优选实施例说明优选的显示基板的平面图;

[0016] 图 2 是说明图 1 中优选的栅极信号输入单元的原理图;

[0017] 图 3 是说明图 1 中优选的阵列基板的一部分的局部放大平面图;

[0018] 图 4 是沿图 3 的 I-I' 线截开的截面图;

[0019] 图 5 是说明图 1 中优选的阵列基板的另一部分的局部放大平面图;

[0020] 图 6 是沿图 5 中 II-II' 线截开的截面图;

[0021] 图 7 是说明图 1 中优选的阵列基板的等效电路图;

[0022] 图 8 是根据本发明的另一优选实施例说明优选显示面板的平面图;

[0023] 图 9 是说明图 8 中优选的阵列基板的局部放大平面图;

[0024] 图 10 是说明图 8 中优选的阵列基板的等效电路图;和

[0025] 图 11 是根据本发明又一优选实施例说明优选显示面板的平面图。

具体实施方式

[0026] 下文参考附图更完整地描述本发明,附图中示出了本发明的实施例。然而,本发明可以以不同的形式实施,且本发明不应该构造为受到这里提出的实施例的限制。相反地,这些实施例被提供以使得该公开彻底并完整,且对于本领域技术人员来说完全覆盖本发明的范围。在附图中,为了清楚起见,各层和区域的尺寸以及相对尺寸将被放大。

[0027] 可以理解当一元件或层表示为在另一元件“上方”,“连接到”或“耦合到”另一元件或层,它可以直接位于另一元件上方,连接或耦合到另一元件,或两者之间可能存在中间元件。相比较,当一元件表示为“直接”在另一元件“上方”,“直接连接到”或“直接耦合到”另一元件或层,则没有中间元件或层存在。在全文中相同的附图标记表示相同的元件。正如这里所用的,术语“和/或”包括一个或多个相关所列术语的任何和所有的组合。

[0028] 可以理解,尽管这里所用的术语第一、第二、第三等描述不同的元件、组件、区域、层和/或部分,但是这些元件、组件、区域、层和/或部分不应被这些术语所限。这些术语仅

用于区分一个元件、组件、区域、层或部分和另一元件、组件、区域、层或部分。因此，在不脱离本发明的宗旨的情况下，下面所述的第一元件、组件、区域、层或部分可以称为第二元件、组件、区域、层或部分。

[0029] 如附图所示为了方便地说明一个元件或特征与另一元件或特征之间的关系，空间相关的术语，例如“在…之下 (beneath)”、“在…下方 (below)”、“在…下部 (lower)”、“在…之上 (above)”、“在…上部 (upper)”等类似用语可用于此处。可以理解空间相关的术语用于包括除附图中所示的方向外使用或操作中装置的不同方向。例如，如果图中的装置被翻转，描述为在另一元件或特征的“下方”或“之下”的元件则翻转为另一元件或特征的“上方”。因此，示例中术语“在…下方”可包括上下方向。另外转动该装置（旋转 90 度或其它方向），且这里所用的空间相关术语可作相应的解释。

[0030] 这里所用的术语仅是为了描述特定的实施例，并不用于限制本发明。如这里所用的，单数形式也用于包括复数形式，除非下文明确地指出。另外还可以理解当说明书中所用的术语“包括”表示所陈述的特征、整体、步骤、操作、元件和 / 或组件的存在，但是不排除其中一个或更多其它的特征、整体、步骤、操作、元件、组件和 / 或组的存在或增加。

[0031] 这里参考横截面视图描述本发明的实施例，该视图是本发明理想化实施例（和中间结构）的示意图。同样地，可以预期例如由于制造工艺和 / 或偏差导致的视图形状的不同。因此本发明的实施例不应该构建为这里所示的区域的特定形状的限制，但是包括例如由于制造导致的形状上的差异。例如，所说明为矩形的插入区域可能典型地具有圆角和弯曲的特征，和 / 或在其边缘具有插入浓度的梯度变化，而不是从插入区域到非插入区域的二值变化。同样地，由插入形成的掩埋区域可能导致掩埋区域和插入发生的表面之间的区域中的某些插入。因此，另外，附图中所示的区域实际上是示意性的，它们的形状旨在说明区域的实际形状，不旨在限制本发明的范围。

[0032] 除非另外定义，这里所用的所有术语（包括技术和科学术语）具有与一个本发明所属的技术领域的普通技术人员通常理解的意义相同。进一步可以理解，例如通常所用的字典中定义的术语应该解释为具有与相关领域的上下文和本发明公开的内容一致的意义，但是不解释为理想化的或过于正式的意义，除非下文特别定义。

[0033] 图 1 是根据本发明的优选实施例优选的显示基板的平面图，图 2 是说明图 1 中优选的栅极信号输入单元的原理图。

[0034] 参考图 1 和 2，该优选实施例的显示基板包括阵列基板 100、与阵列基板 100 组合的滤色器基板 200、置于阵列基板 100 和滤色器基板 200 之间的液晶（“LC”）层（未示出）。阵列基板 100 与滤色器基板 200 面对。

[0035] 阵列基板 100 被分为显示区域 DA、第一、第二、第三和第四外围区域 PA1、PA2、PA3 和 PA4。第一、第二、第三和第四外围区域 PA1、PA2、PA3 和 PA4 围绕该显示区域 DA。

[0036] 以矩阵形状排列的栅极线 GL、数据线 DL 以及多个像素 P 形成在显示区域 DA 中。数据线 GL 沿第一方向延伸。数据线 DL 沿与第一方向基本垂直的第二方向延伸。像素 P 由栅极线 GL 和数据线 DL 定义。开关元件 TFT（例如薄膜晶体管）、LC 电容 CLC 和存储电容 CST 的像素电极形成在各个像素 P 中。

[0037] 栅极信号输入单元 110 形成在第一外围区域 PA1 中。栅极信号输入单元 110 与各条栅极线 GL 的一端（例如第一端）电连接以将栅极信号施加于栅极线 GL。如图 2 中所示，

栅极信号输入单元 110 对应于多级依赖连接的移位寄存器。栅极信号输入单元 110 被集成在第一外围区域 PA1 中。栅极信号输入单元 110 包括多个栅极控制信号输入到其中的输入终端 111。

[0038] 参考图 2, 栅极信号输入单元 110 的移位寄存器包括 n 级 SRC1、SRC2、... SRCn 和伪级 SRCd。各级 SRC1、SRC2、... SRCn 和 SRCd 相互依赖地连接。各级 SRC1、SRC2、... SRCn 和 SRCd 通过集成多个薄膜晶体管 (“TFT”) 形成。各级 SRC1、SRC2、... SRCn 和 SRCd 包括输入和输出。输入终端 111 提供输入到各级 SRC1、SRC2、... SRCn 和 SRCd 的第一时钟信号 CKV、第二时钟信号 CKVB、关断电压和垂直起始信号 STV。

[0039] 各级的输入包括输入终端 IN、控制终端 CL、时钟终端 CK 和电压终端 VSS, 作为起始信号的垂直起始信号 STV 或前一级的输出信号被输入到输入终端 IN 中, 下一级的输出信号或伪级 SRCd 的输出信号被输入到控制终端 CL 中, 第一时钟信号 CKV 或第二时钟信号 CKVB 被输入到时钟终端 CK 中, 关断电压被施加于电压终端 VSS。这里, 第一时钟信号 CKV 被提供给奇数级。相反地, 第二时钟信号 CKVB 被提供给偶数级。输出被连接到相应的栅极线 GL 以输出栅极信号。

[0040] 再参考图 1, 数据信号输入单元 120 和静电二极管单元 130 形成在第二外围区域 PA2 中。数据信号输入单元 120 包括将数据信号施加于数据线 DL 的数据输入焊盘 121。数据输入焊盘 121 与源极驱动芯片的输出终端电连接以接收从源极驱动芯片输出的数据信号。静电二极管单元 130 从数据输入焊盘 121 分配静电以防止由于静电产生对像素 P 的损坏。

[0041] 第一伪开关单元 140 与第一测试单元 150 形成在第三外围区域 PA3 中。第一伪开关单元 140 与各条栅极线 GL 的另一端 (例如与第一端相对的第二端) 电连接。第一测试单元 150 与第一伪开关单元 140 电连接。

[0042] 第一伪开关单元 140 包括多个第一伪开关以及第一控制焊盘 147, 控制第一伪开关的操作的第一控制信号被输入到第一控制焊盘 147 中。各个第一伪开关与各个栅极线 GL 的第二端电连接。

[0043] 第一测试单元 150 从外部接收第一测试信号并将第一测试信号传递给第一伪开关单元 140。第一测试单元 150 包括将第一测试信号输入其中的第一测试焊盘 153, 以及将第一测试焊盘 153 电连接到第一伪开关单元 140 的第一伪开关的第一测试线 151。第一测试信号通过第一伪开关单元 140 被施加于栅极线 GL。

[0044] 第一伪开关单元 140 将第一测试信号传递给响应施加于第一控制焊盘 147 的第一控制信号的栅极线 GL, 并同时防止显示区域 DA 中的像素 P 受到制造过程中产生的静电的损坏。

[0045] 第二伪开关单元 160 和第二测试单元 170 形成在第四外围区域 PA4 中。第二伪开关单元 160 与数据线 DL 的另一端 (例如第二端) 电连接。第二测试单元 170 与第二伪开关单元 160 电连接。

[0046] 第二伪开关单元 160 包括多个第二伪开关和第二控制焊盘 163, 控制第二伪开关操作的第二控制信号被输入到第二控制焊盘 163 中。第二伪开关单元 160 的各个第二伪开关与各条数据线 DL 的另一端 (例如第二端) 电连接。

[0047] 第二测试单元 170 从外部接收第二测试信号并将第二测试信号传递给第二伪开

关单元 160。第二测试单元 170 包括将第二测试信号输入其中的第二测试焊盘 173, 以及将第二测试焊盘 173 电连接到第二伪开关单元 160 的第二伪开关的第二测试线 171。第二测试信号通过第二伪开关单元 160 被施加于数据线 DL。

[0048] 第二伪开关单元 160 响应施加于第二控制焊盘 163 的第二控制信号, 将第二测试信号传递给数据线 DL, 并同时防止显示区域 DA 中的像素 P 受到制造过程中产生的静电的损坏。

[0049] 图 3 是说明图 1 中优选的阵列基板的一部分的局部放大平面图, 图 4 是沿图 3 的 I-I' 线截开的截面图。

[0050] 参考图 1、3 和 4, 阵列基板包括显示区域 DA, 与显示区域 DA 相邻的第二和第三外围区域 PA2 和 PA3。

[0051] 多条奇数栅极线 GL-O 和偶数栅极线 GL-E 以及多条奇数数据线 DL-O 和偶数数据线 DL-E 形成在显示区域 DA 中。栅极线 GL-O 和 GL-E 以及数据线 DL-O 和 DL-E 定义像素 P1。开关元件 TFT1 和连接于开关元件 TFT1 的像素电极 PE1 形成在各像素 P1 中。

[0052] 特别地, 开关元件 TFT1 包括栅电极 102g、半导体层 102a、源电极 102s、漏电极 102d。栅电极 102g 包括基本上与栅极线 GL-O 和 GL-E 相同的栅极金属层。栅电极 102g 可以从栅极线 GL-O 和 GL-E 突出。栅极绝缘层 103 形成在栅电极 102g 和绝缘基板 101 的任意暴露的表面上。源电极 102s 和漏电极 102d 包括基本上与数据线 DL-O 和 DL-E 相同的源极金属层。源电极 102s 可以从数据线 DL-O 和 DL-E 突出。钝化层 104 形成在源电极 102s 和漏电极 102d 上方。在漏电极 102d 上的钝化层 104 被部分移除以允许漏电极 102d 和像素电极 PE1 之间的连接。

[0053] 数据信号输入单元 120 和静电二极管单元 130 形成在第二外围区域 PA2 中。数据信号输入单元 120 包括数据输入焊盘 121。静电二极管单元 130 包括多个电连接于数据输入焊盘 121 的静电二极管 131。静电二极管 131 防止像素 P 受到由于来自数据输入焊盘 121 产生的静电的损坏。

[0054] 各静电二极管 131 对应于包括栅电极、漏电极和源电极的开关元件。栅电极和漏电极通常连接于存储公用线。所示的静电二极管 131 的源电极电连接于数据线 DL-E。

[0055] 第一伪开关单元 140 和第一测试单元 150 形成在第三外围区域 PA3 中。

[0056] 第一伪开关单元 140 包括分别对应于奇数栅极线 GL-O 和偶数栅极线 GL-E 的第一伪开关 140-O 和 140-E 以及用于控制第一伪开关 140-O 和 140-E 的第一控制信号施加于其中的第一控制焊盘 147。第一伪开关 140-O 和 140-E 电连接于各条栅极线 GL-O 和 GL-E 的另一端, 例如第二端。

[0057] 第一测试单元 150 包括第一测试焊盘 153-O, 连接于第一测试焊盘 153-O 的第一测试线 151-O, 第二测试焊盘 153-E, 以及连接于第二测试焊盘 153-E 的第二测试线 151-E。第一测试线 151-O 和第一测试焊盘 153-O 电连接于第一伪开关 140-O, 第二测试线 151-E 和第二测试焊盘 153-E 电连接于第一伪开关 140-E。这里, 第一和第二测试线 151-O 和 151-E 可以包括基本上与栅极金属层相同的材料, 且在制造过程中基本上可以与栅电极 102g 和栅极线 GL-O 和 GL-E 同时形成。此外, 第一和第二测试焊盘 153-O 和 153-E 可以包括基本上与像素电极 PE1 相同的透明导电材料。

[0058] 从第一测试焊盘 153-O 输入的第一测试信号通过第一测试线 151-O 被传递到奇数

第一伪开关 140-0。从第二测试焊盘 153-E 输入的第一测试信号通过第二测试线 151-E 被传递到偶数第一伪开关 140-E。

[0059] 因此,第一测试单元 150 将从外部接收的第一测试信号传递到第一伪开关单元 140。第一伪开关单元 140 响应于从第一控制焊盘 147 施加的控制信号将第一测试信号施加于栅极线 GL-0 和 GL-E。

[0060] 每个奇数第一伪开关 140-0 包括连接于第一控制焊盘 147 的栅电极 141、连接于第一测试线 151-0 的源电极 143 和连接于奇数栅极线 GL-0 的漏电极 144。栅电极 141 在基本上与栅极线 GL-0 和 GL-E、栅电极 102g、测试线 151-0 和 151-E 相同的制造过程期间形成在绝缘基板 101 上。偶数第一伪开关 140-E 包括连接于第一控制焊盘 147 的栅电极 141、连接于第二测试线 151-E 的源电极 145 和连接于偶数栅极线 GL-E 的漏电极 146。

[0061] 例如,奇数第一伪开关 140-0 的栅电极 141 包括基本上与栅极金属层相同的材料。此外,源电极 143 和漏电极 144 可包括基本上与源极金属层相同的材料。半导体层 142 可形成在栅电极 141 上。

[0062] 由栅极金属层形成的奇数栅极线 GL-0 通过接点 106 电连接于由源极金属层形成的漏电极 144。此外,由源极金属层形成的源电极 143 通过接点 107 电连接于由栅极金属层形成的第一测试线 151-0。

[0063] 第一伪开关单元 140 和第一测试单元 150 通过两组测试将第一测试信号施加于栅极线 GL-0 和 GL-E 以检测线路和像素的故障。

[0064] 在优选的实施例中,为了测试栅极线,栅极线被划分为包括奇数栅极线 GL-0 和偶数栅极线 GL-E 的两组。可替换地,栅极线 GL 可划分为在第三外围区域 PA3 允许的区域范围之内至少三组。

[0065] 图 5 是说明图 1 中优选的阵列基板的另一部分的局部放大平面图,图 6 是沿图 5 中 II-II' 线截开的截面图。

[0066] 参考图 1、5 和 6,阵列基板包括显示区域 DA 以及与显示区域 DA 相邻的第一和第四外围区域 PA1 和 PA4。

[0067] 多条奇数栅极线 GL-0 和偶数栅极线 GL-E 以及多条奇数数据线 DL-0 和偶数数据线 DL-E 形成在显示区域 DA 中。栅极线 GL-0 和 GL-E 以及数据线 DL-0 和 DL-E 定义像素 P2。开关元件 TFT2 和连接于开关元件 TFT2 的像素电极 PE2 形成在各个像素 P2 中。

[0068] 作为移位寄存器的栅极信号输入单元 110 形成在第一外围区域 PA1 中。移位寄存器顺序地将栅极信号输出到栅极线 GL。

[0069] 第二伪开关单元 160 和第二测试单元 170 形成在第四外围区域 PA4 中。

[0070] 第二伪开关单元 160 包括分别对应于奇数数据线 DL-0 和偶数数据线 DL-E 的第二伪开关 160-0 和 160-E 以及将用于控制第二伪开关 160-0 和 160-E 的第二控制信号施加于其中的第二控制焊盘 167。第二伪开关 160-0 和 160-E 电连接于各条数据线 DL-0 和 DL-E 的另一端,例如第二端。

[0071] 第二测试单元 170 包括第三测试焊盘 173-0,连接于第三测试焊盘 173-0 的第三测试线 171-0,第四测试焊盘 173-E,以及连接于第四测试焊盘 173-E 的第四测试测试线 171-E。这里,第三和第四测试线 171-0 和 171-E 可以包括基本上与栅极金属层相同的材料,因此,测试线 171-0 和 171-E 可以在与栅极线 GL-0 和 GL-E 相同的制造过程期间形成在绝

缘基板 101 上。此外,第三和第四测试焊盘 173-0 和 173-E 可以包括基本上与像素电极 PE2 相同的透明导电材料。

[0072] 从第三测试焊盘 173-0 输入的第二测试信号通过第三测试线 171-0 被传递到奇数第二伪开关 160-0。从第四测试焊盘 173-E 输入的第二测试信号通过第四测试线 171-E 被传递到偶数第二伪开关 160-E。

[0073] 因此,第二测试单元 170 将从外部接收的第二测试信号传递到第二伪开关单元 160。第二伪开关单元 160 响应从第二控制焊盘 167 施加于第二伪开关单元 160 的控制信号,将第二测试信号施加于数据线 DL-0 和 DL-E。

[0074] 奇数第二伪开关 160-0 包括连接于第二控制焊盘 167 的栅电极 161、连接于第三测试线 171-0 的源电极 163 和连接于奇数数据线 DL-0 的漏电极 164。栅电极 161 与栅极线 GL-0 和 GL-E 和测试线 171 形成在绝缘基板 101 上。偶数第二伪开关 160-E 包括连接于第二控制焊盘 167 的栅电极 161、连接于第四测试线 171-E 的源电极 165 和连接于偶数数据线 DL-E 的漏电极 166。

[0075] 例如,奇数第二伪开关 160-0 的栅电极 161 包括基本上与栅极金属层相同的材料。此外,源电极 163 和漏电极 164 可包括基本上与形成数据线 DL-0 和 DL-E 的源极金属层相同的材料。半导体层 162 可形成在栅电极 161 上。

[0076] 由栅极金属层形成的奇数第二伪开关 160-0 的漏电极 164 通过接点 108 与栅极金属层形成的第三测试线 171-0 电连接。

[0077] 第二伪开关单元 160 和第二测试单元 170 通过两组测试将第二测试信号施加于数据线 DL-0 和 DL-E 以检测线路和像素的故障。

[0078] 在优选的实施例中,为了测试数据线 DL,数据线 DL 被划分为包括奇数数据线 DL-0 和偶数数据线 DL-E 的两组。可替换地,数据线 DL 可划分为第四外围区域 PA4 允许的区域范围之内的至少三组。

[0079] 图 7 是说明图 1 中优选的阵列基板的等效电路图。在下文中,参考图 7 说明包括分别被分为两组的栅极线和数据线的显示基板的测试。

[0080] 参考图 1 和 7,显示基板包括第一伪开关单元 140、第一测试单元 150、第二伪开关单元 160 和第二测试单元 170。

[0081] 第一伪开关单元 140 包括第一伪开关 140-1、140-2、 $\cdots$ 140-(n-1) 和 140-n。各个第一伪开关 140-1、140-2、 $\cdots$ 140-(n-1) 和 140-n 的栅电极电连接于第一控制焊盘 147。

[0082] 第一测试单元 150 包括第一测试焊盘 153-0、连接于第一测试焊盘 153-0 的第一测试线 151-0、第二测试焊盘 153-E 和连接于第二测试焊盘 153-E 第二测试线 151-E。第一测试线 151-0 连接于奇数栅极线 GL1、 $\cdots$ GLn-1,其中 n 是偶数。第二测试线 151-E 连接于偶数栅极线 GL2、 $\cdots$ GLn。

[0083] 第二伪开关单元 160 包括第二伪开关 160-1、160-2、 $\cdots$ 、160-(m-1)、160-m,各个第二伪开关 160-1、160-2、 $\cdots$ 、160-(m-1)、160-m 的栅电极电连接于第二控制焊盘 167。

[0084] 第二测试单元 170 包括第三测试焊盘 173-0、连接于第三测试焊盘 173-0 的第三测试线 171-0、第四测试焊盘 173-E 和连接于第四测试焊盘 173-E 第四测试线 171-E。第三测试线 171-0 连接于偶数数据线 DL1、 $\cdots$ DLm-1,其中 m 是偶数。第四测试线 171-E 连接于偶数数据线 DL2、 $\cdots$ DLm。

[0085] 如下测试阵列基板。

[0086] 将第一控制信号施加于第一控制焊盘 147 以接通第一伪开关单元 140。将与激活栅极线 GL1、...GLn 的栅极信号相对应的第一测试信号施加于第一测试单元 150 的第一和第二测试焊盘 153-0 和 153-E。例如,第一测试信号的电压为大约 -7V 到大约 25V。

[0087] 将第二控制信号施加于第二控制焊盘 167 以接通第二伪开关单元 160。将与施加于数据线 DL1、...DLn 的数据信号相对应的第二测试信号施加于第二测试单元 170 的第三和第四测试焊盘 173-0 和 173-E。例如,第二测试信号的电压为大约 0V 到大约 10V。

[0088] 这里,施加于第三和第四测试焊盘 173-0 和 173-E 的第二测试信号具有基本上相同的灰度电平或不同的灰度电平。当具有不同灰度电平的第二测试信号施加于第三和第四测试焊盘 173-0 和 173-E 时,连接于奇数数据线 DL-0 的像素 P 展示出与连接于偶数数据线 DL-E 的像素 P 不同的灰度级,因此可以检测出阵列基板的显示故障。

[0089] 因此,阵列测试可以通过上述方式在底部基板上执行。此外,视觉测试可以利用同一测试线通过上述方式在显示基板上执行。

[0090] 图 8 是根据本发明的另一优选实施例说明优选显示面板的平面图。

[0091] 参考图 8,优选实施例的显示基板包括阵列基板 300、与阵列基板 300 结合的滤色器基板 200 以及置于阵列基板 300 和滤色器基板 200 之间的 LC 层(未示出)。阵列基板 300 与滤色器基板 200 面对。

[0092] 阵列基板 300 被划分为显示区域 DA 以及第一、第二和第三外围区域 PA1、PA2 和 PA3。第一、第二和第三外围区域 PA1、PA2 和 PA3 围绕显示区域 DA。

[0093] 栅极线 GL、数据线 DL 和多个像素 P 形成在显示区域 DA 中。栅极线 GL 沿第一方向延伸。数据线 DL 沿基本上与第一方向垂直的第二方向延伸。像素 P 由栅极线 GL 和数据线 DL 定义。开关元件 TFT(例如薄膜晶体管)LC 电容 CLC 和存储电容 CST 的像素电极形成在各像素 P 中。

[0094] 栅极信号输入单元 310 形成在第一外围区域 PA1 中。栅极信号输入单元 310 电连接于各条栅极线 GL 的一端(例如第一端),以将栅极信号施加于栅极线 GL。栅极信号输入单元 310 对应于例如图 2 中所示的移位寄存器,多级依赖地连接成移位寄存器。栅极信号输入单元 310 集成在第一外围区域 PA1 中。栅极信号输入单元 310 包括多个栅极控制信号被输入其中的输入终端 311。

[0095] 数据信号输入单元 320 和静电二极管单元 330 形成在第二外围区域 PA2 中。数据信号输入单元 320 包括将数据信号施加于数据线 DL 的数据输入焊盘 321。数据输入焊盘 321 电连接于源极驱动芯片的输出终端以接收从源极驱动芯片输出的数据信号。静电二极管单元 330 分布来自数据输入焊盘 321 的静电以防止像素 P 受到静电的损坏。

[0096] 伪开关单元 340 和测试单元 350 形成在第三外围区域 PA3 中。伪开关单元 340 电连接于各条栅极线 GL 的另一端,例如第二端。测试单元 350 电连接于伪开关单元 340。

[0097] 伪开关单元 340 包括多个伪开关和控制焊盘 347,控制伪开关的操作的控制信号被输入到控制焊盘 347 中。各个伪开关电连接于各条栅极线 GL 的另一端,例如第二端。

[0098] 测试单元 350 从外部接收测试信号并将该测试信号传递到伪开关单元 340。测试单元 350 包括测试信号输入其中的测试焊盘 353 以及电连接于伪开关的测试线 351。测试信号通过伪开关单元 340 施加于栅极线 GL。

[0099] 伪开关单元 340 响应施加于控制焊盘 347 的控制信号,将测试信号传递到栅极线 GL,并防止由于在制造过程中可能产生静电效应对像素的损坏。

[0100] 图 9 是说明图 8 中优选的阵列基板的局部放大平面图。

[0101] 参考图 8 和 9,阵列基板包括显示区域 DA 以及与显示区域 DA 相邻的第二和第三外围区域 PA2 和 PA3。

[0102] 多条奇数栅极线 GL-O 和偶数栅极线 GL-E 以及多条奇数数据线 DL-O 和偶数数据线 DL-E 形成在显示区域 DA 中。栅极线 GL-O 和 GL-E 以及数据线 DL-O 和 DL-E 定义像素 P。开关元件 TFT 和连接于开关元件 TFT 的像素电极 PE 形成在各像素 P 中。

[0103] 数据信号输入单元 320 和静电二极管单元 330 形成在第二外围区域 PA2 中。数据信号输入单元 320 包括数据输入焊盘 321。静电二极管单元 330 包括电连接于数据输入焊盘 321 的多个静电二极管 331。静电二极管 332 对应于包括栅电极、漏电极和源电极的开关元件。栅电极和漏电极通常连接于存储公用线。在图 9 所示的静电二极管 331 中,源电极电连接于数据线 DL-E。

[0104] 伪开关单元 340 和测试单元 350 形成在第三外围区域 PA3 中。伪开关单元 340 包括分别对应于奇数栅极线 GL-O 和偶数栅极线 GL-E 的伪开关 340-O 和 340-E,以及将用于控制伪开关 340-O 和 340-E 的操作的控制信号输入其中的控制焊盘 347。伪开关单元 340-O 和 340-E 电连接于各条栅极线 GL-O 和 GL-E 的另一端,例如第二端。

[0105] 测试单元 350 包括第一测试焊盘 353-O、连接于第一测试焊盘 353-O 的第一测试线 351-O,第二测试焊盘 353-E 和连接于第二测试焊盘 353-E 的第二测试线 351-E。

[0106] 从第一测试焊盘 353-O 输入的测试信号通过第一测试线 351-O 被传递到奇数伪开关 340-O。从第二测试焊盘 353-E 输入的测试信号通过第二测试线 351-E 被传递到奇数伪开关 340-E。

[0107] 因此,测试单元 350 将从外部接收的测试信号传递到伪开关单元 340。伪开关单元 340 响应于从控制焊盘 347 施加的控制信号,将测试信号施加到栅极线 GL-O 和 GL-E。

[0108] 各个奇数伪开关 340-O 包括连接于控制焊盘 347 的栅电极 341、连接于第一测试线 351-O 的源电极 343 以及连接于奇数栅极线 GL-O 的漏电极 344。栅电极 341 可由与栅极线 GL-O 和 GL-E 相同的栅极金属层形成。偶数伪开关 340-E 包括连接于控制焊盘 347 的栅电极 341、连接于第二测试线 351-E 的源电极 345 以及连接于偶数栅极线 GL-E 的漏电极 346。

[0109] 伪开关单元 340 和测试单元 350 将测试信号施加于被分成两组的栅极线 GL-O 和 GL-E 以检测栅极线 GL-O 和 GL-E 和像素 P 的故障。

[0110] 在该优选的实施例中,为了测试栅极线 GL,栅极线 GL 被划分为包括奇数栅极线 GL-O 和偶数栅极线 GL-E 的两组。可替换地,栅极线 GL 可分成在第三外围区域 PA3 的允许区域范围内的至少三组。

[0111] 此外,在优选的实施例中,为了将测试信号施加于数据线 DL-O 和 DL-E,测试仪的探针分别与数据输入焊盘 121 接触。

[0112] 图 10 是说明图 8 中优选的阵列基板的等效电路图。在下文中,优选的显示基板参考图 10 进行说明。

[0113] 参考图 8 至 10,显示基板包括数据输入单元 320、静电二极管单元 330、伪开关单元 340 和测试单元 350。

[0114] 数据输入单元 320 包括形成在数据线 DL1、DL2、...DL_{m-1} 和 DL_m 的端部的多个数据输入焊盘 321-1、321-2、...、321-(_{m-1}) 和 321-_m。

[0115] 静电二极管单元 330 包括多个静电二极管 331-1、331-2、...、331-(_{m-1}) 和 331-_m。各个静电二极管 331-1、331-2、...、331-(_{m-1}) 和 331-_m 的栅电极和漏电极电连接于电压焊盘 VCOM, 电压焊盘 VCOM 电连接于存储公用线。各个静电二极管 331-1、331-2、...、331-(_{m-1}) 和 331-_m 的源电极电连接于数据输入焊盘 321-1、321-2、...、321-(_{m-1}) 和 321-_m。

[0116] 伪开关单元 340 包括伪开关 340-1、340-2、...、340-(_{n-1}) 和 340-_n。各个伪开关 340-1、340-2、...、340-(_{n-1}) 和 340-_n 的栅电极电连接于控制焊盘 347。

[0117] 测试单元 350 包括第一测试焊盘 353-0、连接于第一测试焊盘 353-0 的第一测试线 351-0、第二测试焊盘 353-E 和连接于第二测试焊盘 353-E 和第二测试线 351-E。第一测试线 351-0 连接于奇数栅极线 GL1、...GL_{n-1}, 其中 *n* 是偶数。第二测试线 351-E 连接于偶数栅极线 GL2、...GL_n。

[0118] 如下测试阵列基板。

[0119] 将控制信号施加于控制焊盘 347 以接通伪开关单元 340。将与激活栅极线 GL1、...GL_n 的栅极信号相对应的第一测试信号施加于测试单元 350 的第一和第二测试焊盘 353-0 和 353-E。例如, 第一测试信号的电压为大约 -7V 到大约 25V。

[0120] 将存储公共电压施加于电压焊盘 VCOM。将第二控制信号施加于数据输入焊盘 321-1、321-2、...、321-(_{m-1}) 和 321-_m。测试仪的探针分别接触数据输入焊盘 321-1、321-2、...、321-(_{m-1})、321-_m 以将第二测试信号施加于数据输入焊盘 321-1、321-2、...、321-(_{m-1}) 和 321-_m。例如, 第二测试信号的电压为大约 0V 到大约 10V。

[0121] 这里, 施加于数据输入焊盘 321-1、321-2、...、321-(_{m-1}) 和 321-_m 的第二测试信号可以具有不同的灰度电平。当施加具有不同灰度电平的第二测试信号时, 可以检测到阵列基板的显示故障。

[0122] 因此, 阵列测试可以通过上述方式在底部基板上执行。此外, 视觉测试可以通过上述方式在显示基板上执行。

[0123] 图 11 是根据本发明又一优选实施例说明优选显示面板的平面图。

[0124] 参考图 11, 优选实施例的显示基板包括阵列基板 400、与阵列基板 400 组合的滤色器基板 200、置于阵列基板 400 和滤色器基板 200 之间的 LC 层 (未示出)。阵列基板 400 与滤色器基板 200 面对。

[0125] 阵列基板 400 被分为显示区域 DA、第一、第二、第三和第四外围区域 PA1、PA2、PA3 和 PA4。第一、第二、第三和第四外围区域 PA1、PA2、PA3 和 PA4 围绕该显示区域 DA。

[0126] 栅极线 GL、数据线 DL 以及多个像素 P 以矩阵形状排列形成在显示区域 DA 中。数据线 GL 沿第一方向延伸。数据线 DL 沿与第一方向基本垂直的第二方向延伸。像素 P 由栅极线 GL 和数据线 DL 定义。开关元件 TFT (例如薄膜晶体管)、LC 电容 CLC 和存储电容 CST 的像素电极形成在各个像素 P 中。

[0127] 栅极信号输入单元 410 和第一静电二极管单元 480 形成在第一外围区域 PA1 中。

[0128] 栅极信号输入单元 410 包括形成在栅极线 GL 的端部 (例如第一端) 的栅极输入焊盘 411。栅极输入焊盘 411 电连接于栅极驱动芯片的输出端以将栅极信号施加于栅极驱动芯片。

[0129] 第一电极二极管单元 480 电连接于栅极输入焊盘 411。第一静电二极管单元 480 分布来自栅极输入焊盘 411 的静电以防止像素 P 受到静电的损坏。

[0130] 数据信号输入单元 420 和第二静电二极管单元 430 形成在第二外围区域 PA2 中。

[0131] 数据信号输入单元 420 包括形成在数据线 DL 的端部（例如第一端）的数据输入焊盘 421。数据输入焊盘 421 与源极驱动芯片的输出终端电连接以接收从源极驱动芯片输出的数据信号。

[0132] 第二静电二极管单元 430 电连接于数据输入焊盘 421。第二静电二极管单元 430 分布来自数据输入焊盘 421 的静电以防止像素 P 受到静电的损坏。

[0133] 第一伪开关单元 440 和第一测试单元 450 形成在第三外围区域 PA3 中。第一伪开关单元 440 电连接于各条栅极线 GL 的另一端，例如第二端。第一测试单元 450 电连接于第一伪开关单元 440。

[0134] 第一伪开关单元 440 包括多个第一伪开关以及第一控制焊盘 447，用于控制第一伪开关单元 440 的第一伪开关的操作的第一控制信号被输入第一控制焊盘 447 中。第一测试单元 450 接收来自外部的第一测试信号并将该第一测试信号传递给第一伪开关单元 440。第一测试单元 450 包括将第一测试信号输入其中的第一测试焊盘 453、电连接于第一伪开关单元 440 的第一伪开关的第一测试线 451。这里，第一伪开关单元 440 和第一测试单元 450 基本上与参考图 3 和 4 所述的相同。因此，为了简略起见，省略关于第一伪开关单元 440 和第一测试单元 450 的任何进一步的解释。

[0135] 第二伪开关单元 460 和第二测试单元 470 形成在第四外围区域 PA4 中。第二伪开关单元 460 电连接于数据线 DL 的另一端，例如第二端。第二测试单元 470 电连接于第二伪开关单元 460。

[0136] 第二伪开关单元 460 包括多个第二伪开关以及第二控制焊盘 463，用于控制第二伪开关单元 460 的第二伪开关的操作的第二控制信号被输入第二控制焊盘 463 中。第二测试单元 470 从外部接收第二测试信号并将该第二测试信号传递给第二伪开关单元 460。第二测试单元 470 包括将第二测试信号输入其中的第二测试焊盘 473、电连接于第二伪开关单元 460 的第二伪开关的第二测试线 471。这里，第二伪开关单元 460 和第二测试单元 470 基本上与参考图 5 和 6 所述的相同。因此，为了简略起见，省略关于第二伪开关单元 460 和第二测试单元 470 的任何进一步的解释。

[0137] 此外，根据本优选实施例中阵列基板的测试基本上与参考图 7 所述的相同。因此，为了简略起见，省略关于测试的任何进一步的解释。

[0138] 根据本发明的优选实施例，第一测试单元被设置在栅极线的一端，该端与将栅极信号输入其中的栅极线的另一端相反，从而测试信号通过第一测试单元施加于栅极线。因此，可以精确地检测到线路和像素的故障。

[0139] 此外，第二测试单元被设置在数据线的一端，该端与将数据信号输入其中的数据线的另一端相反，从而测试信号通过第二测试单元施加于数据线。因此，可以精确地检测到线路和像素的故障。

[0140] 此外，第一和第二测试单元设置在显示单元中，因此可以容易地执行阵列测试和视觉测试。

[0141] 本发明的上述内容是说明性的，而不是对其的限制。尽管已经描述了本发明几个

优选的实施例,但是本领域技术人员可以理解优选实施例中可能的多种修改实质上并没有脱离本发明新颖性的宗旨和优势。因此,所有的这些修改都包括在权利要求定义的本发明的范围之内。在权利要求中,装置加功能条款旨在覆盖这里所述的执行所述功能的结构,不仅是结构等价物而且包括等价的结构。因此,可以理解本发明的上述内容是说明性的,而不受到所公开的特定的实施例的限制,可以理解对所公开的实施例的修改以及其它实施例包括在所附权利要求的范围之内。本发明由所附权利要求以及包括在其中的权利要求的等价物来限定。

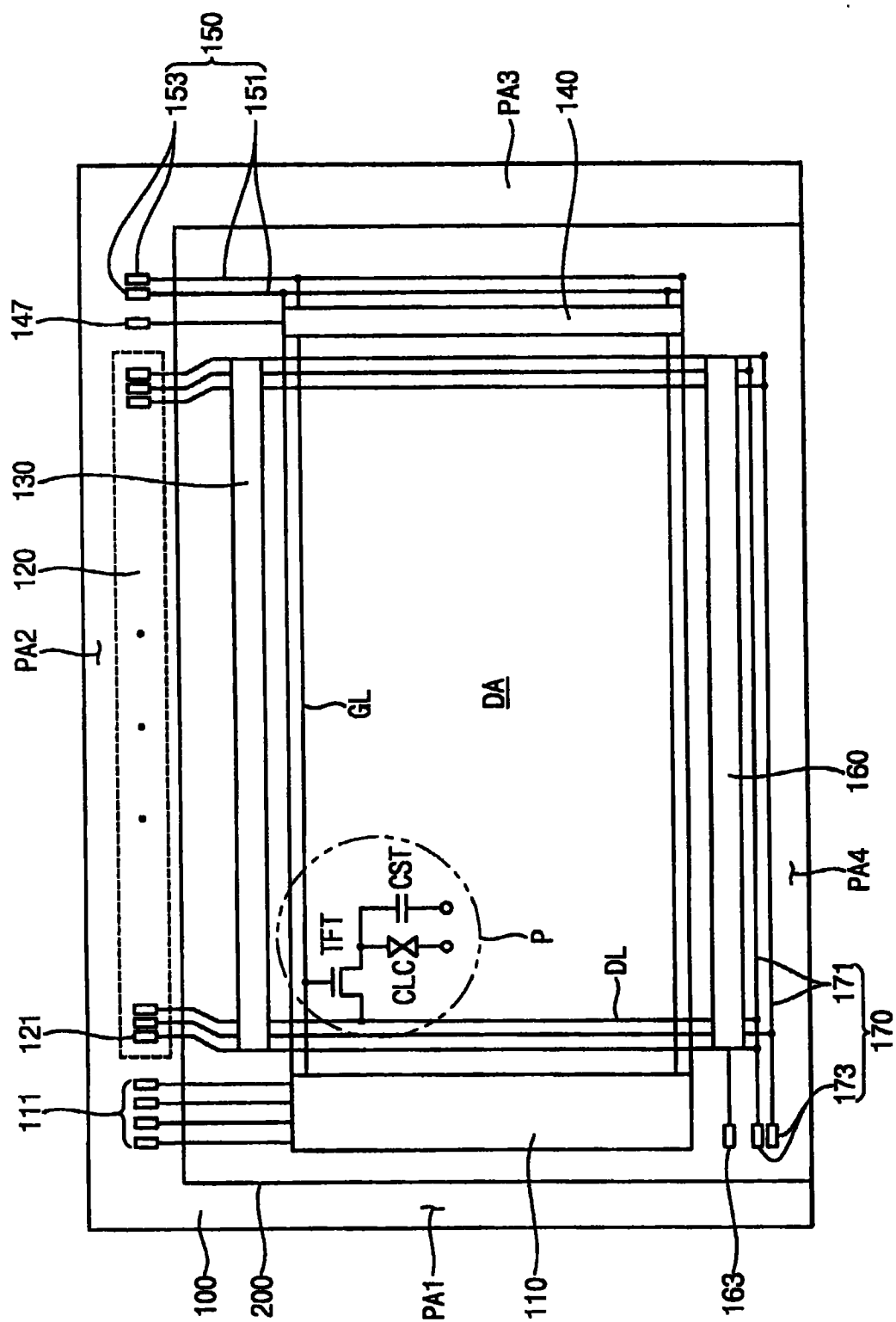


图 1

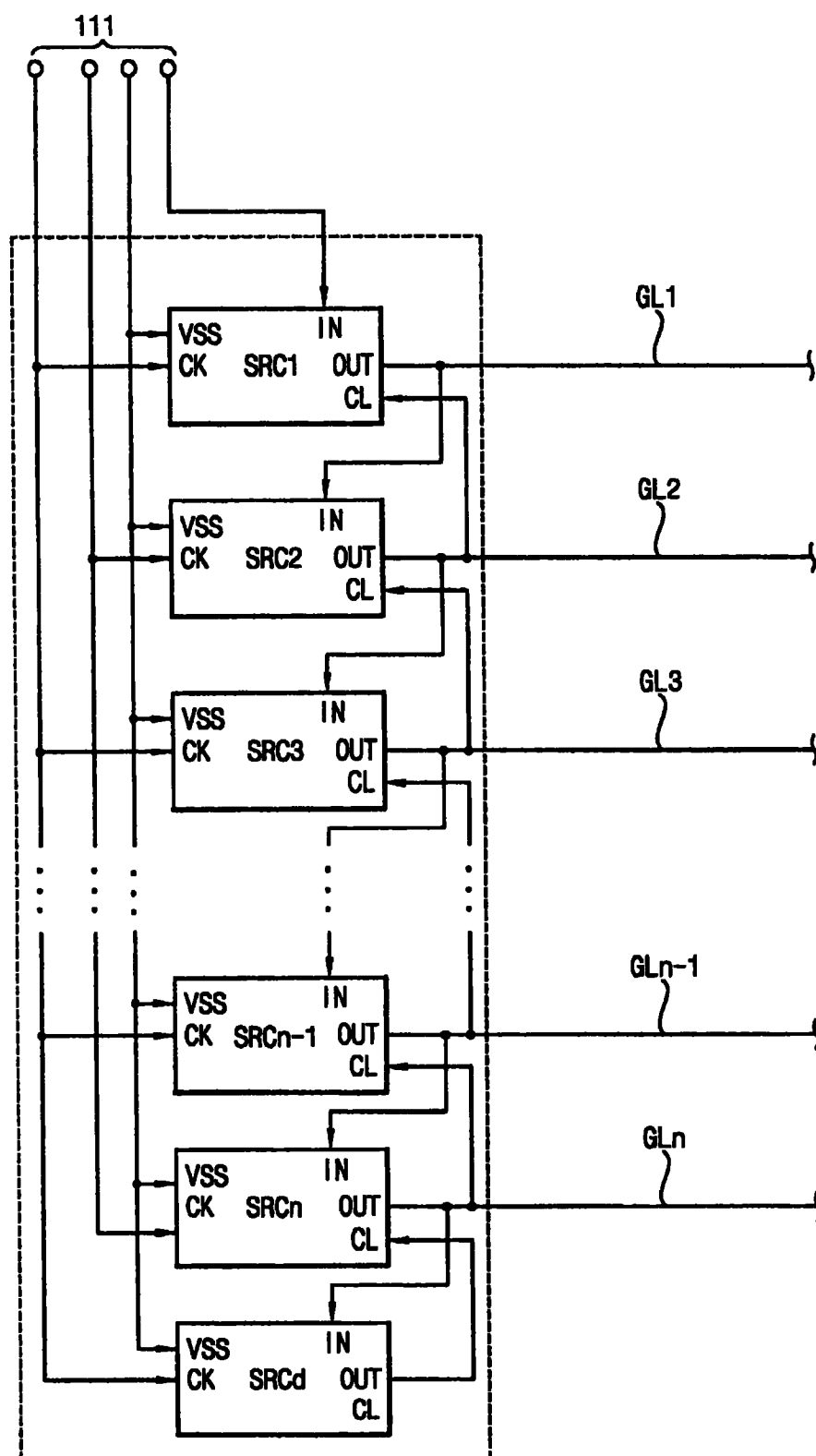


图 2

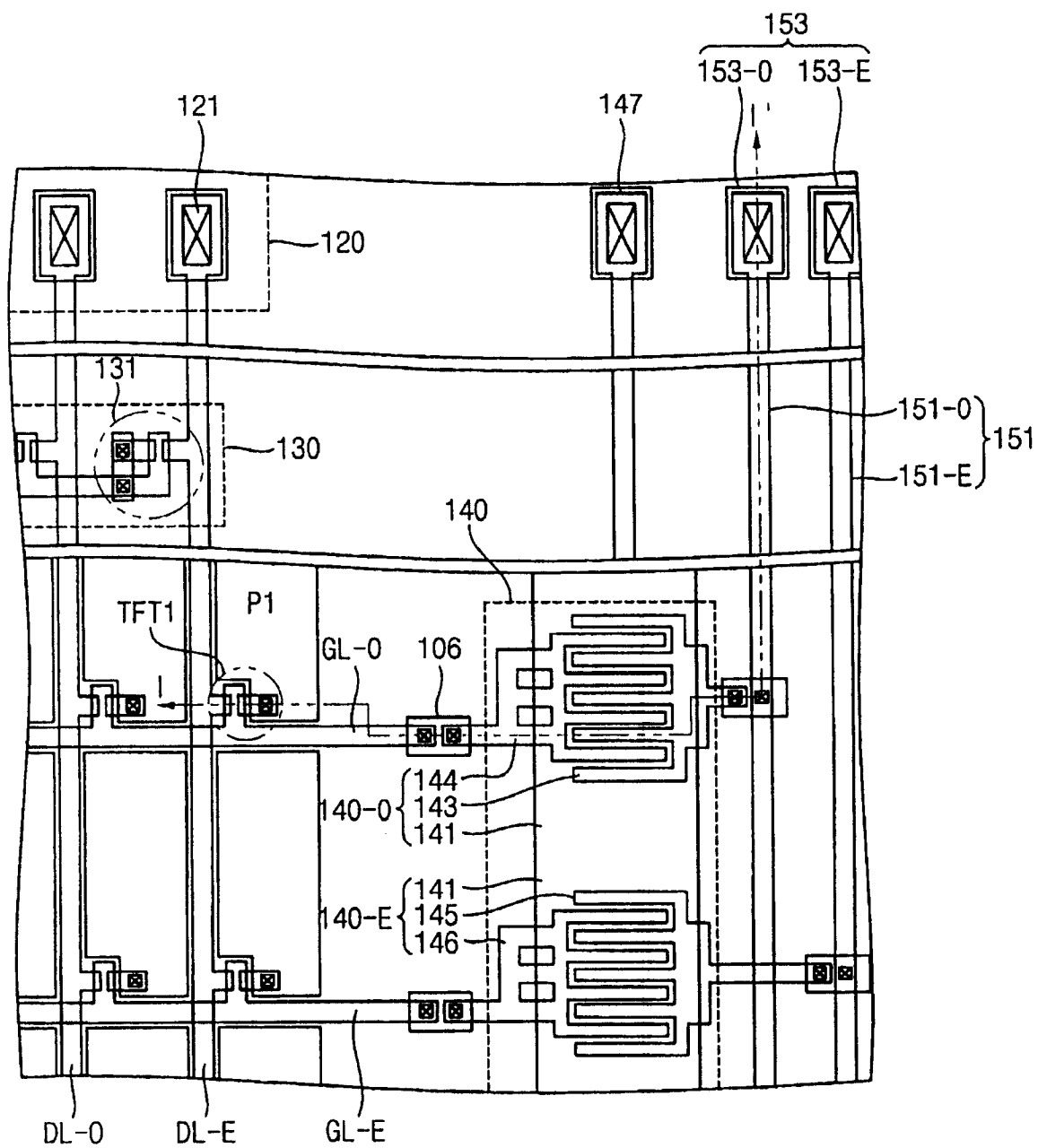


图 3

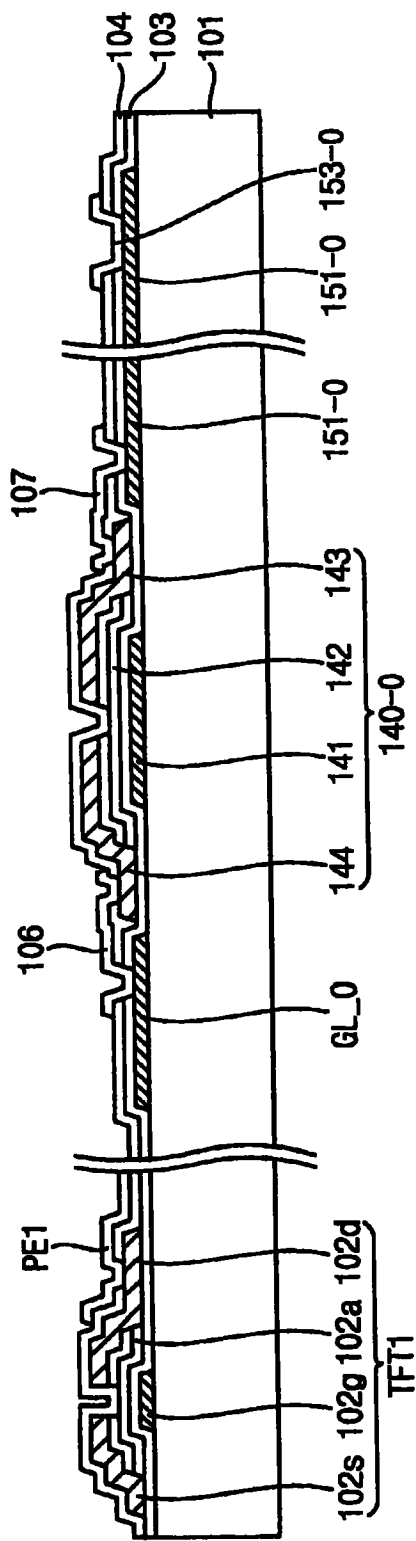


图 4

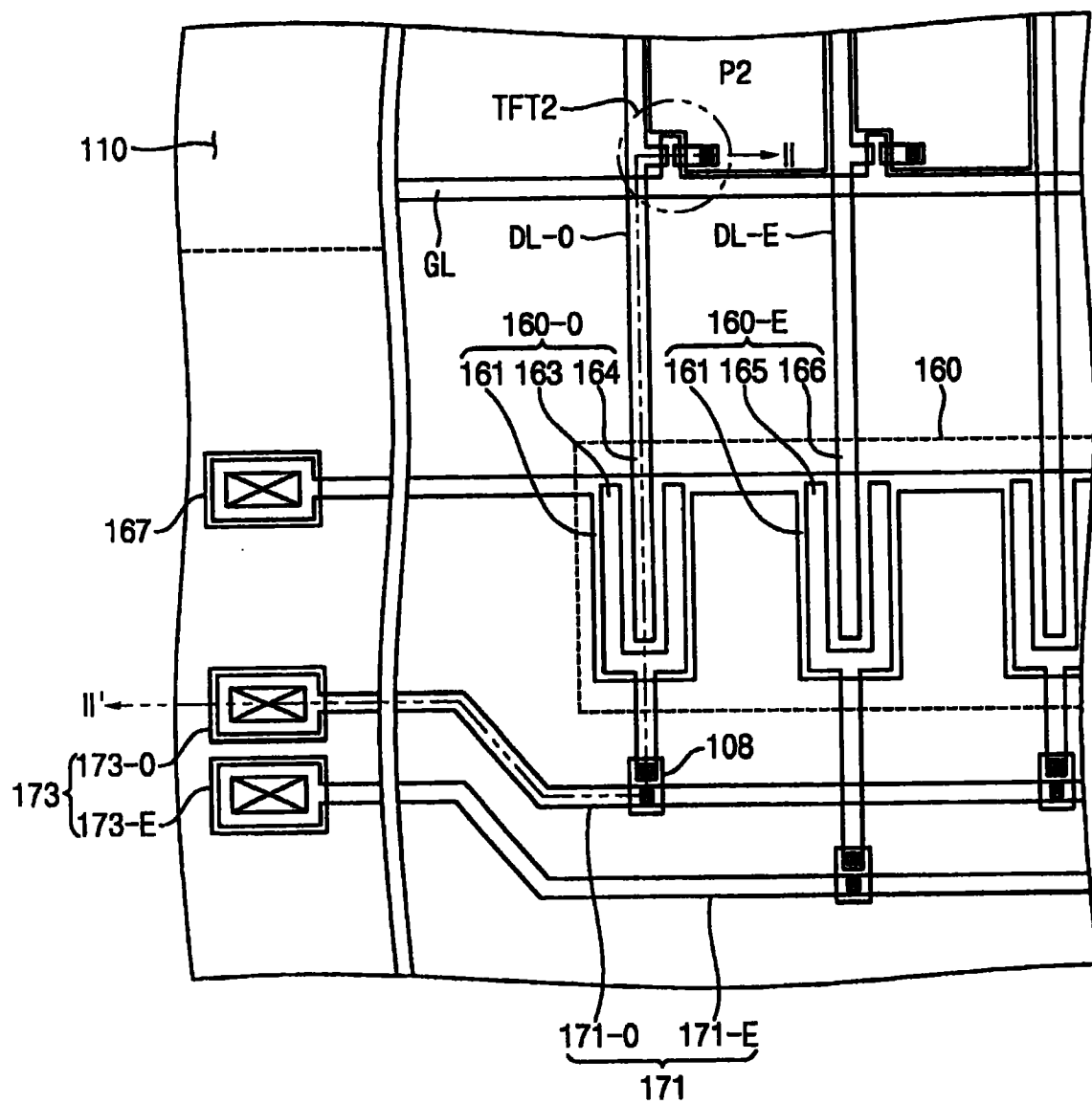


图 5

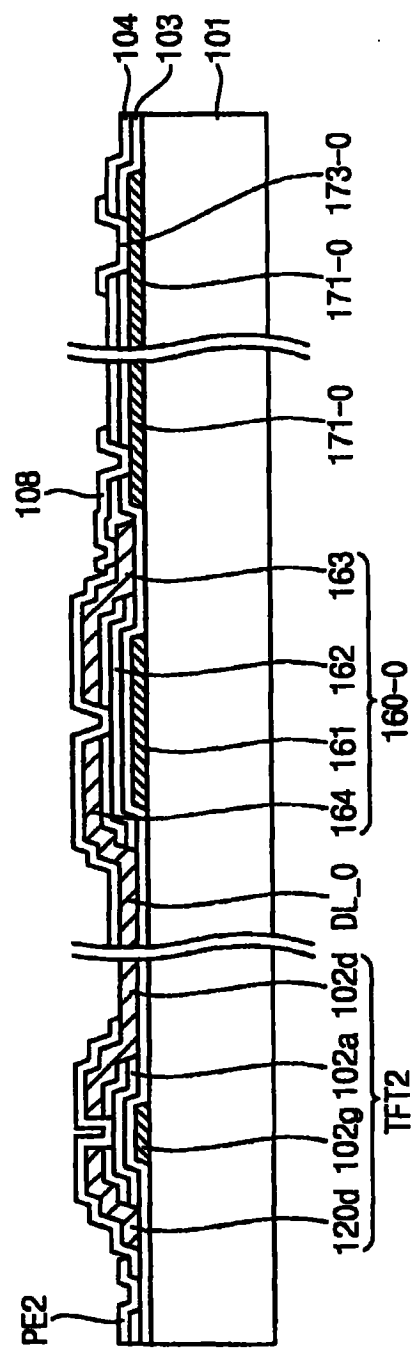


图 6

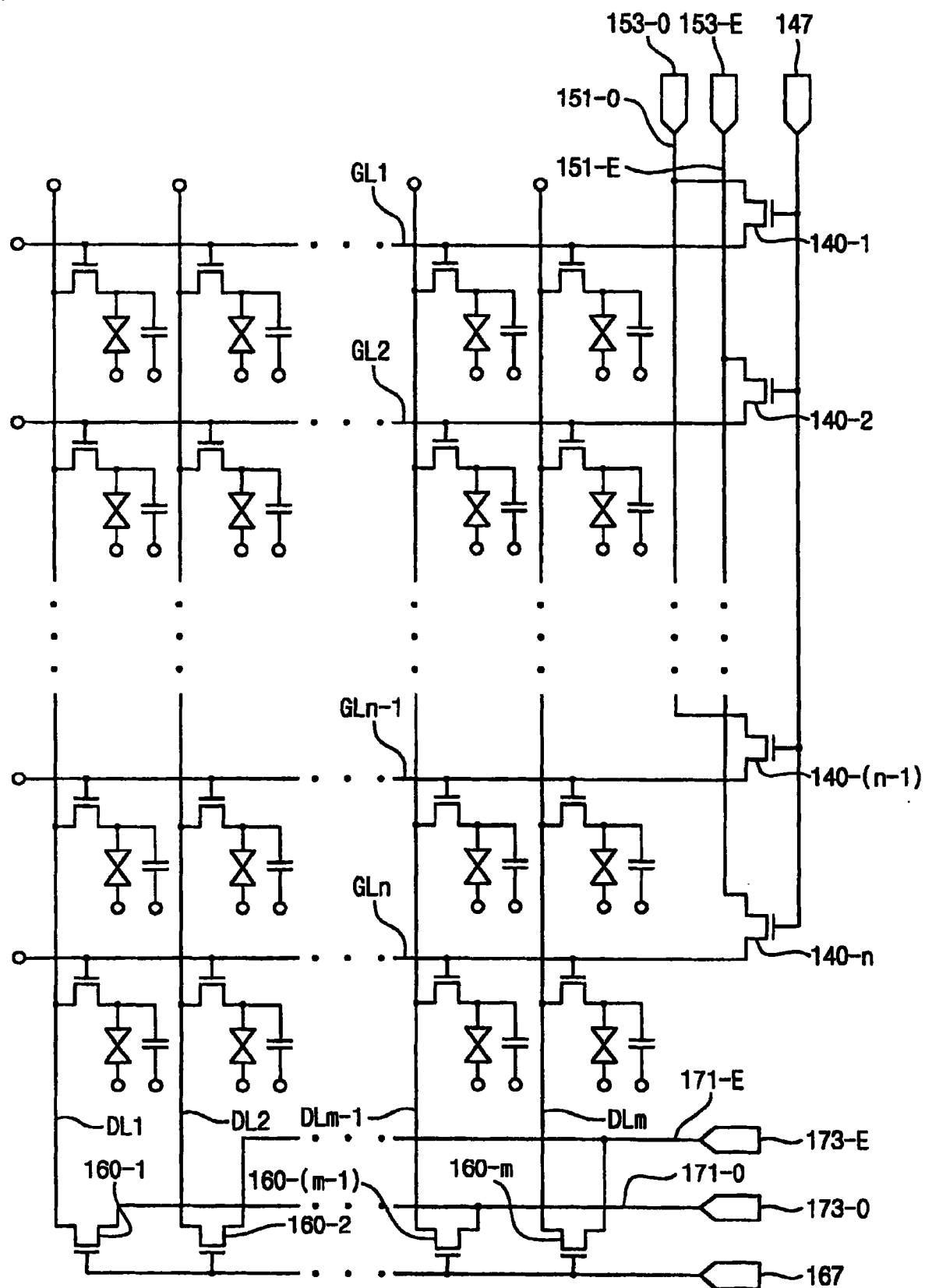


图 7

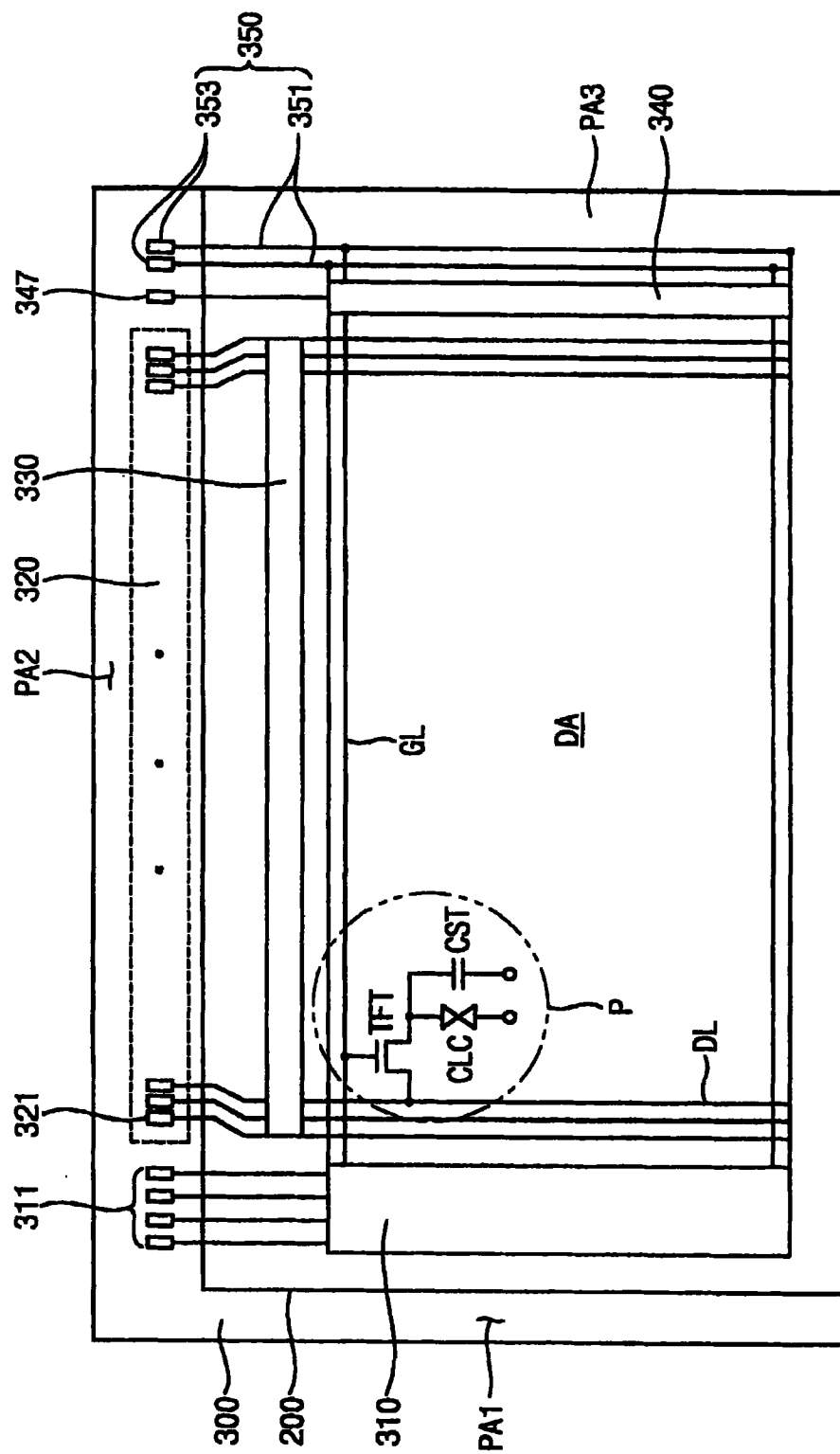


图 8

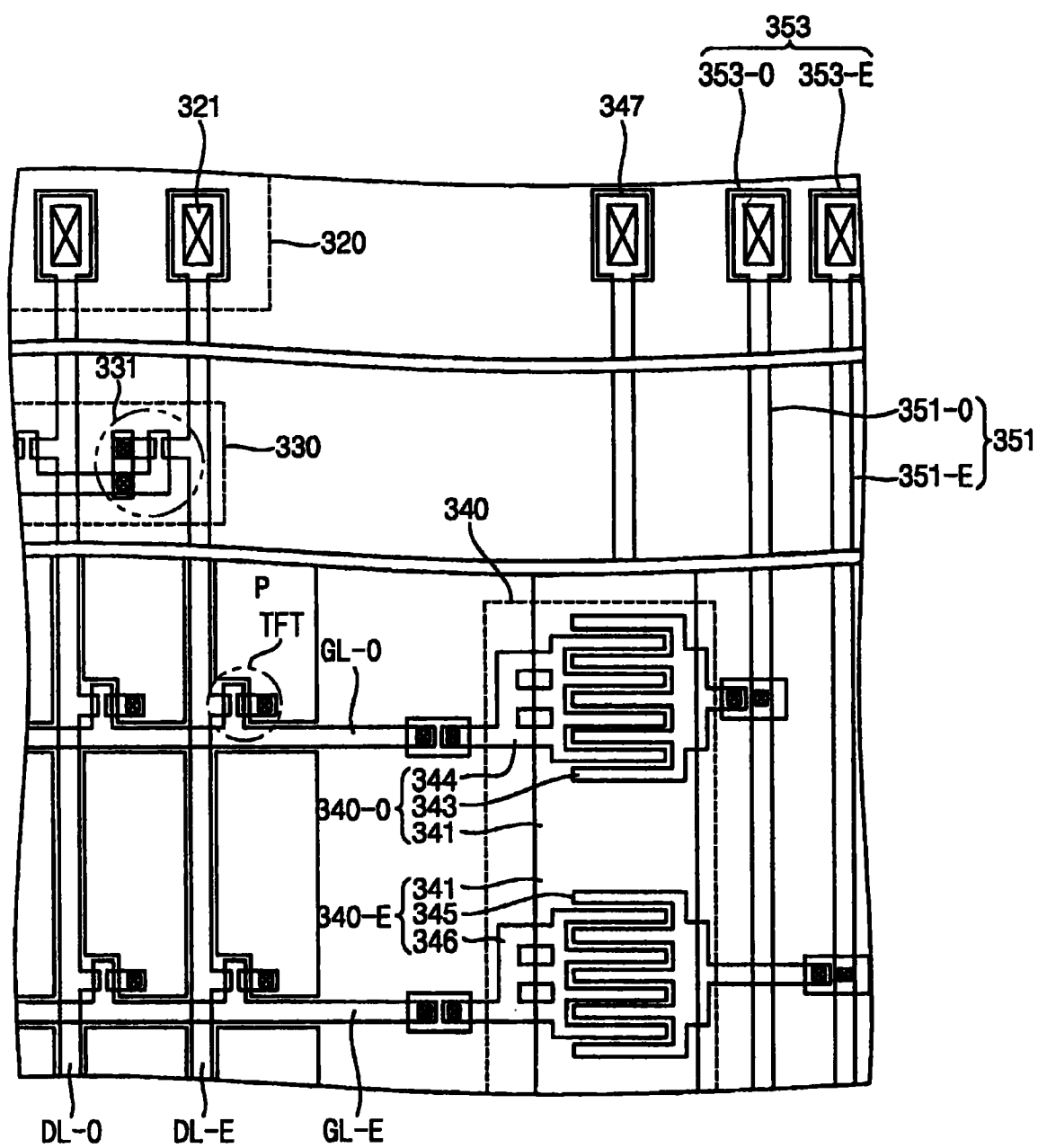


图 9

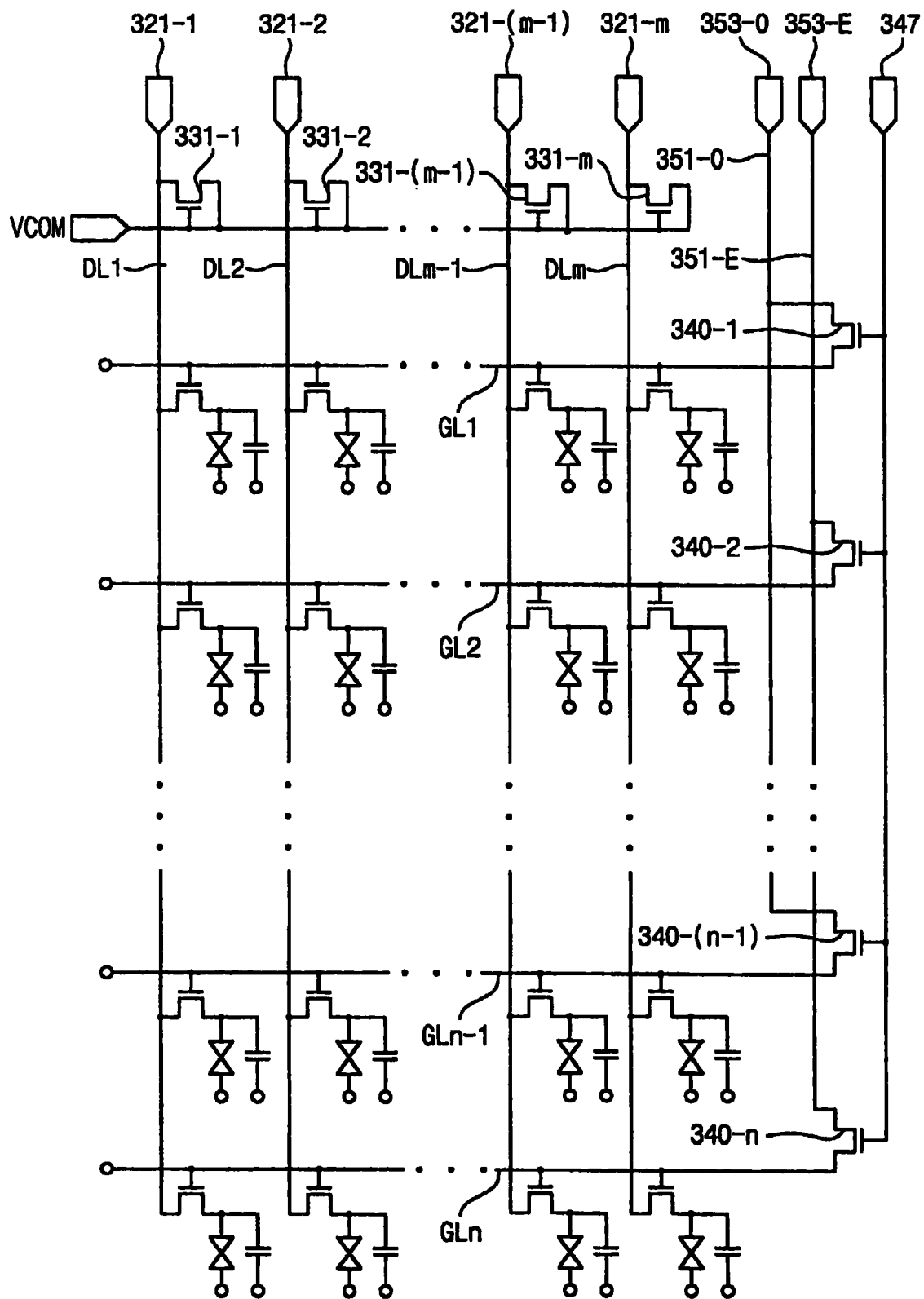


图 10

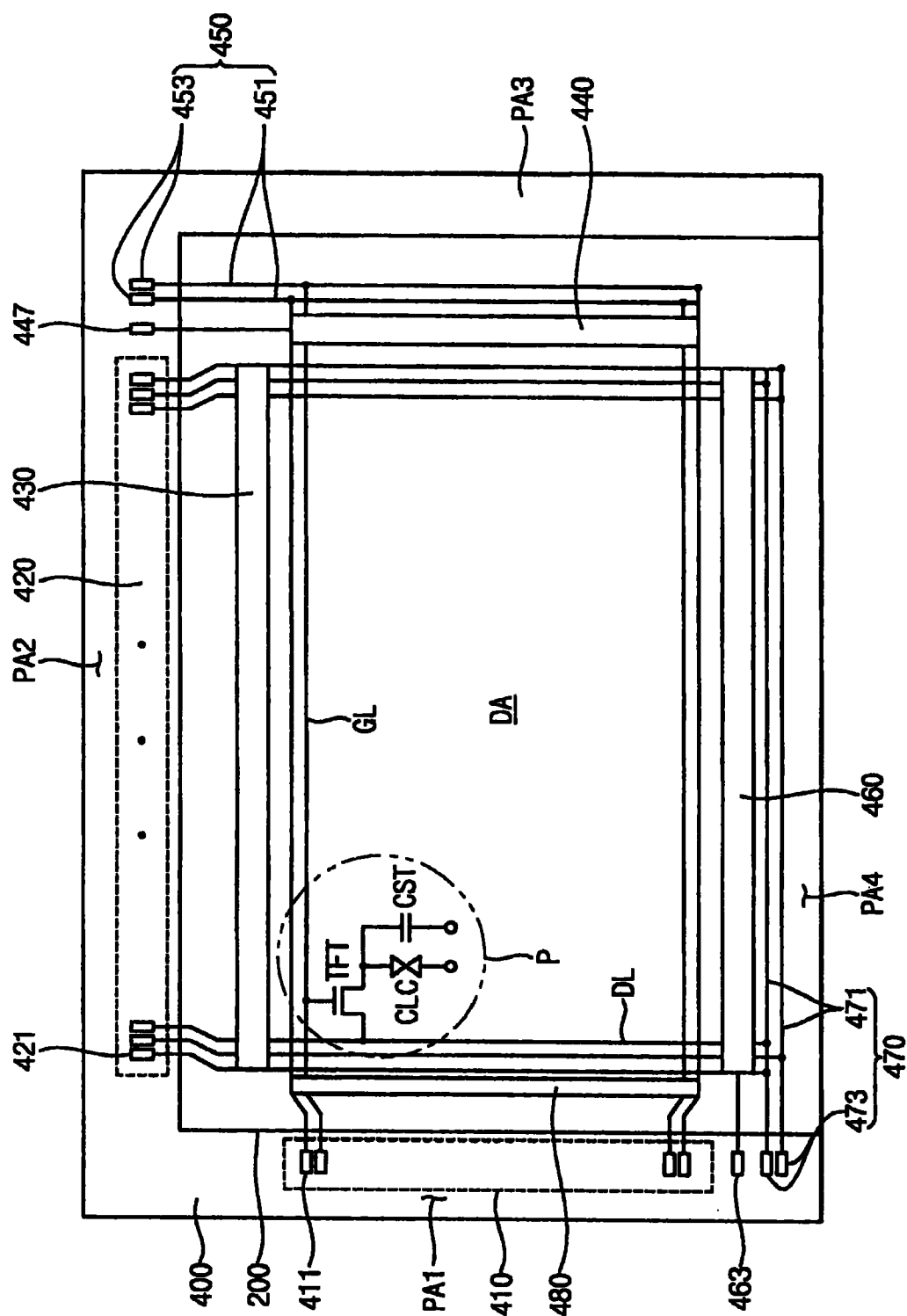


图 11