

公告本

90 年 12 月 14 日

修正
90 年 12 月 14 日
補充

申請日期: 89. 9. 26

案號: 89119832

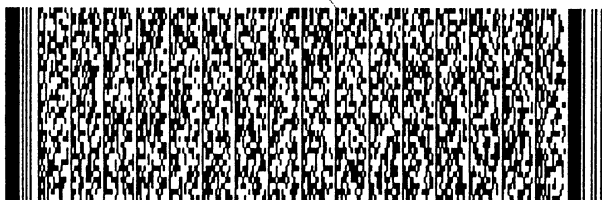
類別: H03K 19/003, 19/0185

(以上各欄由本局填註)

發明專利說明書

486865

一、 發明名稱	中文	可逆向驅動之金氧半導體(MOS)輸出驅動器電路及用於控制被施加至其處電壓之方法
	英文	BACKWARDS DRIVABLE MOS OUTPUT DRIVER CIRCUIT AND METHOD FOR CONTROLLING VOLTAGES APPLIED THERETO
二、 發明人	姓名 (中文)	1. 克里斯多福 達維斯 2. 威廉 雪倫
	姓名 (英文)	1. CHRISTOPHER DAVIS 2. WILLIAM SHEARON
	國籍	1. 美國 2. 美國
	住、居所	1. 美國佛羅里達州馬拉巴市哈洛布魯克巷1120號 2. 美國俄亥俄州汎德雷市赫吉威克路311號
三、 申請人	姓名 (名稱) (中文)	1. 美商因特希耳公司
	姓名 (名稱) (英文)	1. INTERSIL CORPORATION
	國籍	1. 美國
	住、居所 (事務所)	1. 美國佛羅里達州龐貝市東北龐貝路2401號
	代表人 姓名 (中文)	1. 霍華 E. 羅思曼
	代表人 姓名 (英文)	1. HOWARD E. ROTHMAN



本案已向

國(地區)申請專利
美國 US

申請日期
1999/11/19

案號
09/442,291

主張優先權
有

有關微生物已寄存於

寄存日期
寄存號碼

無



五、發明說明 (1)

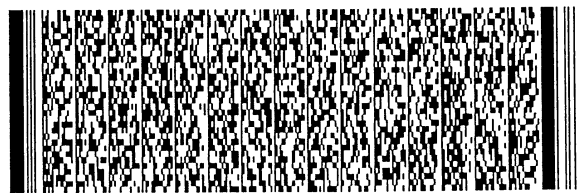
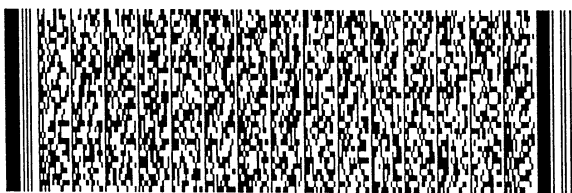
發明背景

此發明乃關於用於操作積體電路之一裝置與方法，特別是其乃關係到一金氧半導體(MOS)輸出驅動器，其係為一3.3伏特的電源供應器以及偶而可以加以連接至較高的電源供應器像是5V。

互補式金氧化物半導體(CMOS)係在積體電路以及系統之中，CMOS技術持續縮小而且當其縮小時，操作該CMOS裝置的電源供應器亦隨之縮小，現在許多CMOS裝置係以3.3V的電源供應器操作，然而這些裝置通常加以連接至一系統中的周邊裝置或者甚至於是在像是5V之一較高電壓下作業或是攜帶較高電壓的相同晶片上，若一電路上之一輸出驅動器係被連接至較輸出驅動器的一般電源供應器為大之一電源供應器，該較大的電源供應器在該系統需要驅動器關閉或者是在一靜止狀態下時可能會不注意地打開。

其他的人藉由控制驅動電晶體的閘極上之電壓以及控制驅動電晶體的井上之電壓已提供了對此問題的解決方法，若那些電壓沒有適當地加以控制，則該驅動器中的兩個本體二極體之一或以上會打開或者mosfet會自己打開，特別是可察看美國專利岸號5,160,855之規格，其顯示了控制驅動電晶體之井上的電壓之一井電壓控制電路，該井電壓控制電路包括至少四個電晶體，然而吾人已發現該井控制電路在輸出電壓接近靜止期間的供應電壓之數值時無法正確地控制輸出電晶體本體。

發明概要



五、發明說明 (2)

本發明包括一匯流排驅動器電路，其包含：

一第一輸出MOS電晶體具備一源極，一絕緣閘極以及一汲極，其中汲極與源極以及本體形成兩個本體二極體，

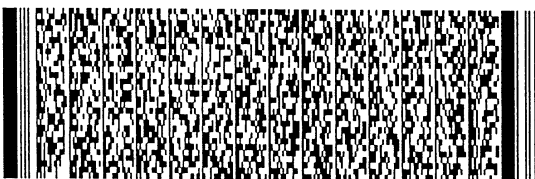
一電源供應端子被連接至該輸出MOS電晶體的源極用以將一供應電壓施加至該輸出MOS電晶體，

一輸出端子被連接至該輸出MOS電晶體的汲極用以回應於一施加輸入閘極電壓產生一輸出電壓，

一閘極端子被連接至該輸出MOS電晶體的絕緣閘極用以接收一閘極電壓信號，其特徵在於

一浮動閘極控制被連接至該閘極用以接收一輸入信號與輸出信號以及用於將兩個已接收信號之較大者在匯流排係為靜止時連接至閘極端子，而一井上拉電路連接至閘極端子，連接至該輸出MOS電晶體的本體以及連接至電源供應端子用於在傳送期間將供應電壓連接至輸出MOS電晶體之井，因此避免了傳送期間為電荷射出所造成的本體電壓的調變，以及在靜止期間用於使輸出MOS電晶體的本體浮動。

該發明合宜地提供了一匯流排驅動器，其較已知者而言沒有那麼複雜並且能解決一浮動井電壓(此處的輸出電壓係接近於傳送期間供應電壓的數值)的問題，該發明提供了一第一輸出驅動器MOS電晶體，其具備了一源極，一絕緣閘極，一本體與一汲極，此構造包括二個固有的二極體，該汲極與本體形成一二極體，而該本體與源極形成另一個，一低電壓電源供應端子係加以連接至MOS電晶體的



五、發明說明 (3)

源極而該汲極提供了輸出端子，該閘極端子接收了一閘極電壓信號，其可將匯流排驅動器打開或關閉，一浮動閘極電路係加以連接至閘極且在汲極上的輸出電壓超過主要供應電壓時容許該閘極隨著汲極上的輸出電壓上升，此舉保證一般的場效應金-氧化物半導體(mosfet)傳導不會發生，一井拉上電路係加以連接至浮動閘極控制電路，MOS電晶體的本體以及主電源供應端子，該井拉上電路讓該井浮動而因此得以避免不在意的作業下打開MOS電晶體的本體二極體，一致能控制電路控制井上拉電路，該致能控制電路於匯流排輸出驅動器的作業期間為高而在該匯流排靜止時為低。

該發明亦包括用於控制被施加至一匯流排驅動器MOS電晶體之電壓的一個方法，其具有一源極，一絕緣閘極，一本體與具有該汲極與源極特徵之一汲極，以及本體形成一本體二極體，於傳送期間將供應電壓施加至本體，於靜止期間將輸出電壓與供應電壓之較大者施加至閘極，以及在靜止期間容許本體二極體電氣式地浮動。

簡單圖示說明

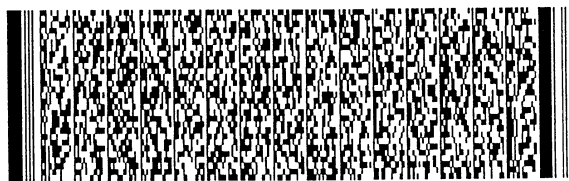
該發明現將藉由實施例參照附圖加以敘述，其中：

圖1a係為一單匯流排驅動器電晶體之一概要圖；

圖1b係為對應於1a之一概要圖而且顯示了兩個固有的本體二極體；

圖2係為一先前技藝的匯流排驅動器電路之一概要圖；

圖3係為圖2之浮動閘極電路之又一概要圖；



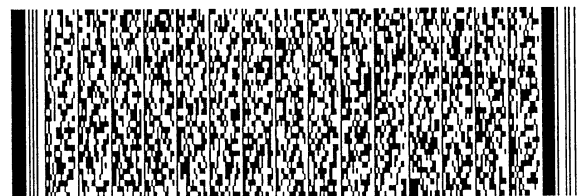
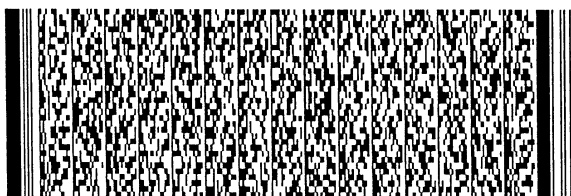
五、發明說明 (4)

圖4係為具有一井拉上電路之該發明的一個概要圖；
圖5係為該井拉上電路之一更為詳細的概要圖；以及
圖6係為將該發明應用至NMOS與PMOS電晶體之一CMOS輸出驅動器的一個概要圖。

詳細說明

圖1a，1b，2與3顯示了匯流排驅動器所面對的問題以及該問題如何由美國專利案號碼5,160,855的規格中被揭露之電路所提出，圖1a係為一簡化版本的一個匯流排驅動器，該驅動電晶體 Q_{BUS} 接收了一輸入信號 V_{IN} ， Q_{BUS} 係於一電源供應 V_{DD} 與一輸出端子 V_{OUT} 間加以連接，該電晶體 Q_{BUS} 係被顯示為一PMOS電晶體，一PMOS電晶體包括在一基質(其本質上包含N-型摻雜)表面中之P-型擴散，其結果為該電晶體 Q_{BUS} 具有或者可視為具備兩個像是圖1b中所顯示的內部二極體的一個構造，因為該源極係被連結至本體，一個二極體在實效上係與汲極短路，其他的二極體係為 V_{OUT} 所控制，由個別的P-型擴散的此等二極體與 Q_{BUS} 的本體避免被觸發係為重要，若該 V_{OUT} 超過 V_{DD} ，該本體二極體 D_2 將被打開，此係為不想要的因為在實效上 V_{IN} 為高態(High)時 Q_{BUS} 會被打開，於該理想的匯流排驅動器中直到 V_{IN} 為低態(Low)時 Q_{BUS} 才會被打開，那些熟習於該技藝者將明瞭在一CMOS裝置中，圖1a的輸出電路將具有一個對應的NMOS輸出電晶體。

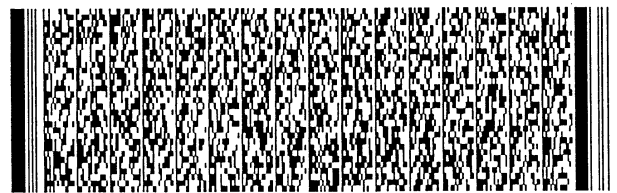
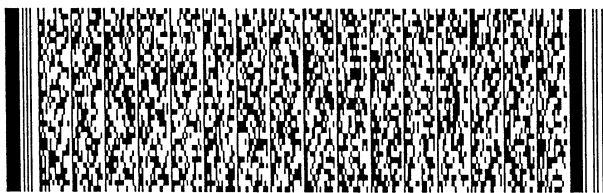
於美國專利案號碼5,160,855的規格中所顯示的該電路與圖2包括了一浮動閘極電壓電路(VFG)以及一浮動井電壓



五、發明說明 (5)

電路(VFW)，該VFG電路係於該輸入 V_{IN} 與輸出電晶體 Q_{BUS} 的閘極間加以連接，該VFW電路係於該輸出 V_{OUT} 和 Q_{BUS} 之本體連結端之間加以連接，於靜止期間，該輸入至VFG係依照供應電壓 V_{DD} ，只要 V_{OUT} 係少於 V_{DD} ，該閘極電壓係依照電壓 V_{DD} ，該VFG監視輸出電壓並且在 V_{OUT} 係大於 V_{DD} 時調整閘極電壓以追隨輸出電壓 V_{OUT} ，於傳送期間該浮動閘極電路的輸入會在接地與供應電壓間變化以便將該驅動電晶體分別地打開與關閉，以此方式該電晶體 Q_{BUS} 的閘極與汲極在 V_{OUT} 上升超過 V_{DD} 時加以保持在相同的潛勢，因此該電晶體 Q_{BUS} 得以避免打開，當然一浮動輸出電壓 V_{OUT} 的問題亦影響該輸出電晶體 Q_{BUS} 的井，於如圖3中所顯示的已知解決方法中，該VFW電路嘗試去調整被施加至 Q_{OUT} 的井之電壓以避免不想要的動作，該先前技藝電路在 V_{OUT} 係遠小於 V_{DD} 時以及 V_{OUT} 係遠大於 V_{DD} 時的條件下係可接受地作動，然而當 V_{OUT} 係與 V_{DD} 大約有相同的數值時將會經歷問題。

當 V_{OUT} 係小於 V_{DD} 時，電晶體 $Q4$ 係為開而VFW係有效地加以連接至 V_{DD} ，因此於該本體結中的二極體係被反向偏壓且不傳導電流，即用為一般傳送的條件，當該匯流排係為關而沒有傳送時， V_{OUT} 會上升至超過 V_{DD} 之一電壓，例如用於一匯流排之 V_{DD} 一般係為3.3v但是由該匯流排所驅動的元件與裝置可能在5v，因此 V_{OUT} 可能遠大於 V_{DD} ，於那個案例中， $Q4$ 係為關而 $Q1$ 與 $Q2$ 係為開而且VFW跟隨 V_{OUT} ， V_{OUT} 相同的電壓係橫越該本體結二極體 D_2 所施加，因為相同的電壓係橫越該本體結二極體的端子，該二極體保持關。



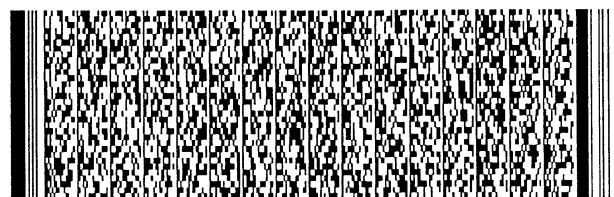
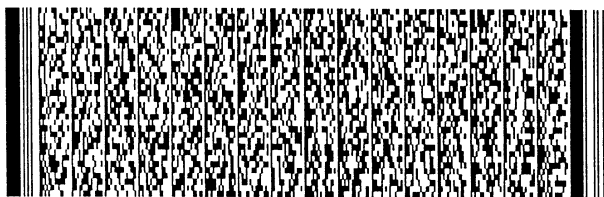
五、發明說明 (6)

然而圖3中所顯示的該電路在 V_{OUT} 接近於 V_{DD} 時不控制VFW，當 V_{OUT} 係幾乎與 V_{DD} 相同時，所有的電晶體Q1-Q4係為關，在那時對VFW沒有控制，因此該本體變成一高阻抗的節點且在傳送期間易於充電射出穿過汲極至本體電容，被射出的電荷改變本體上的電壓而且接著改變 Q_{BUS} 上的臨界電壓，以如此之一方式調變臨界電壓會造成信號失真。

轉至圖4與5，該發明藉由將一井上拉(WPU)電路加至圖3的電路以及移除該VFW電路來改善此先前技藝的缺點，該WPU電路(WPU)係加以連接至 Q_{BUS} 的本體，VFG電路的輸出以及連接至 V_{DD} ，其接收來自打開該匯流排之一或多個致能信號所導出的一個輸入致能信號，於作業中該井拉上電路保證在匯流排被致能時，該輸出電晶體 Q_{BUS} 的本體係依照 V_{DD} ，在所有其他的時候，該井拉上電路容許 Q_{BUS} 的本體電氣式地浮動以便使 Q_{BUS} 的汲極二極體不能傳導電流。

參照圖5，當致能信號係為高態時，Q5係為開而打開Q6，因此 V_{DD} 係加以連接至VFW經過Q6而 V_{DD} 係加以施加至 Q_{BUS} 的本體，於傳送期間，該供應電壓 V_{DD} 係加以連接至 D_2 二極體的一端而且因為於傳送期間 V_{OUT} 係小於 V_{DD} ，該二極體係被反向偏壓且不傳導，當致能係為低態而該匯流排係為靜止時，Q5與Q6係為關而Q7係被打開，Q7將VFG節點連接至閘極Q6，此舉在 V_{OUT} 係被反向驅動而於 V_{DD} 之上時需要保持Q6為關，所以當該電路沒有被致能時， Q_{BUS} 的本體係被容許浮動而且不能攜帶電流。

總而言之在作業期間，當致能(ENABLE)係為高態時，Q5

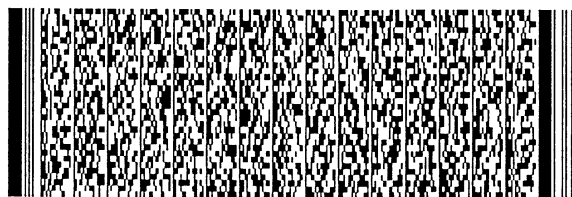
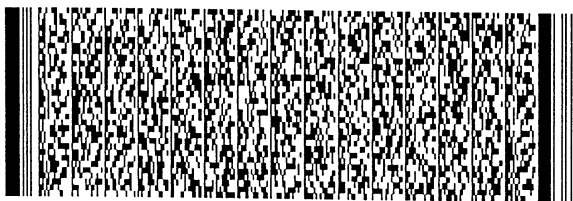


五、發明說明 (7)

與Q6係為開所以VFW係被連結至 V_{DD} ，此舉避免該本體二極體在傳送期間浮動並且阻止因電荷射進本體的信號失真，當該輸出階段係驅動一負荷時，致能(ENABLE)係為高態，為了使該輸出階段失效並產生一高阻抗的狀態， V_{IN} 係被設定為高態，即 V_{DD} ，以及致能(ENABLE)係被設定為低態，即0伏特，此舉關閉Q5並打開Q7，該電壓VFG係被用於關掉Q6，VFG藉著設計將大或等於 V_{IN} ，具有Q6為關之該輸出PMOS Q_{BUS} 裝置的本體係被容許浮動以便使其不能傳導電流。

參照圖6，一CMOS輸出驅動器係被顯示，該具體實例包括兩個輸出電晶體 Q_{FBUS} 與 Q_{NBUS} ，該等電晶體 Q_{PBUS} (被連接至 V_{DD})與 Q_{NBUS} (被連接至接地)係串聯，該輸出電壓 V_{OUT} 係自電晶體 Q_{PBUS} 與 Q_{NBUS} 的串聯所取得，該 Q_{PBUS} 的閘極上的電壓係藉由一浮動閘極電路VFG/P加以監視與控制，一對應的浮動閘極電路VFG/N控制 Q_{NBUS} 的閘極上的電壓，該 Q_{PBUS} 的井上的電壓係藉由井拉上電路WPU/P加以控制，以一類似的方式該 Q_{NBUS} 的井上的電壓係藉由另一個井拉上電路WPU/N加以控制，一致能控制電路60係加以連結至WPU/P以及加以連結至WPU/N，該致能控制電路60施加該致能信號至WPU/P以及施加該致能信號係至WPU/N，圖6之WPU/P與WPU/N的作業實質上對應於圖4與5中所顯示的WPU電路的作業。

一匯流排驅動器電路具備一浮動閘極用於控制該輸出驅動器上之閘極以及一浮動井用於控制該輸出驅動器之本體上的電壓，包含一井拉上電路加以連結至輸送驅動器用於



五、發明說明 (8)

在傳送期間施加供應電壓至本體以及在靜止期間用於施加浮動閘極電路的輸出至本體。



圖式簡單說明

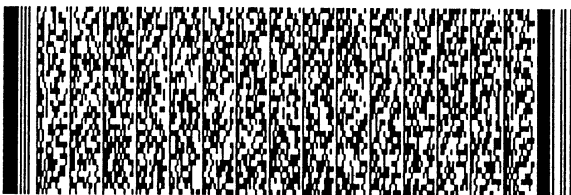


四、中文發明摘要 (發明之名稱：可逆向驅動之金氧半導體(MOS)輸出驅動器電路及用於控制被施加至其處電壓之方法)

一匯流排驅動器電路具備一浮動閘極電路用於控制該輸出驅動器的閘極上的電壓以及浮動井電路用於控制該輸出驅動器的本體上的電壓，包含被連結至輸出驅動器在傳送期間用於將供應電壓施加至本體以及在靜止期間用於將浮動閘極電路的輸出施加至本體。

英文發明摘要 (發明之名稱：BACKWARDS DRIVABLE MOS OUTPUT DRIVER CIRCUIT AND METHOD FOR CONTROLLING VOLTAGES APPLIED THERETO)

A bus driver circuit having a floating gate circuit for controlling voltage on the gate of the output driver and a floating well circuit for controlling voltage on the body of the output driver, comprising a well pull up circuit coupled to the output driver for applying supply voltage to the body during transmission and for applying the output of the floating gate circuit to the body during quiescence.



六、申請專利範圍

1. 一種匯流排驅動器電路，包含：

一第一輸出MOS電晶體，具備一源極，一絕緣閘極以及一汲極，其中該汲極與源極以及本體形成兩個本體二極體，

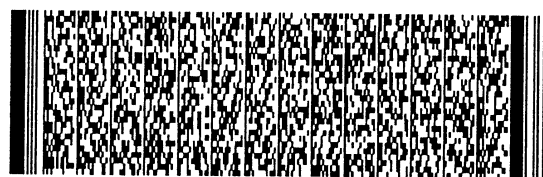
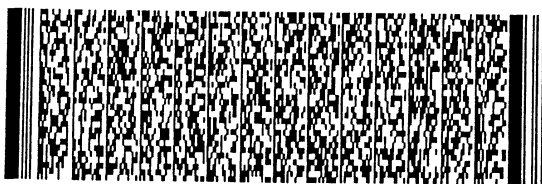
一電源供應端子，被連接至該輸出MOS電晶體的源極用以將一供應電壓施加至該輸出MOS電晶體，

一輸出端子，被連接至該輸出MOS電晶體的汲極用以回應於一施加之輸入閘極電壓而產生一輸出電壓，

一閘極端子，被連接至該輸出MOS電晶體的絕緣閘極用以接收一閘極電壓信號，其特徵在於

一浮動閘極控制電路，被連接至該閘極用以接收一輸入信號與該輸出信號以及用於將兩個已接收信號之較大者在該匯流排係為靜止時連接至該閘極端子，而一井上拉電路連接至該閘極端子，連接至該輸出MOS電晶體的本體以及連接至該電源供應端子用於在傳送期間將供應電壓連接至該輸出MOS電晶體之井，因此避免了傳送期間為電荷射出所造成的本體電壓的調變，以及在靜止期間用於使該輸出MOS電晶體的本體浮動。

2. 如申請專利範圍第1項之匯流排驅動器電路，其特徵在於該井上拉電路包含三個電晶體，其中兩個與輸出MOS電晶體同型式而另一個係為相反，相同型式的第一電晶體係加以連接至電源供應端子以及輸出MOS電晶體的本體；相反型式的第二電晶體具備用以接收一致能信號之閘極而且於接地與第一電晶體之閘極間加以連接；而相同型式的



六、申請專利範圍

第三電晶體具備被連接至致能信號之閘極，其源極與汲極於第一電晶體之閘極與浮動閘極電路之輸出間加以連接。

3. 如申請專利範圍第2項之匯流排驅動器電路，其特徵在於一拉上控制電路用以接收輸入信號以及用於在一致能端子處產生一致能信號。

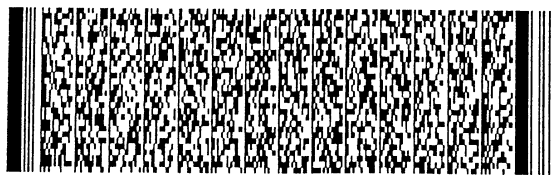
4. 如申請專利範圍第1項之匯流排驅動器電路，其特徵在於該驅動器電晶體係為一PMOS電晶體或一NMOS電晶體。

5. 如申請專利範圍第1項之匯流排驅動器電路，其特徵在於與第一輸出電晶體相反形式之一第二輸出電晶體，以及對應的浮動閘極，浮動井與用於控制第二輸出電晶體之井拉上電路。

6. 一種用於控制被施加至一匯流排驅動器MOS電晶體電壓之方法，該電晶體具有一源極，一絕緣閘極，一本體及一汲極，其特徵在於該汲極、源極，以及本體形成一本體二極體，於傳送期間將供應電壓施加至該本體，於靜止期間將輸出電壓與供應電壓之較大者施加至該閘極，以及在靜止期間容許該本體二極體電氣式地浮動。

7. 一種用於控制被施加至一CMOS匯流排驅動器電壓之方法，該CMOS匯流排控制器具有PMOS與NMOS驅動器電晶體，各電晶體具備一源極，一絕緣閘極，一本體與一汲極，其中該汲極與源極以及本體形成一本體二極體，該方法避免該匯流排為其輸出上之一假信號所驅動，其特徵在以下步驟：

於該電晶體之一上之傳送期間將供應電壓施加至該傳

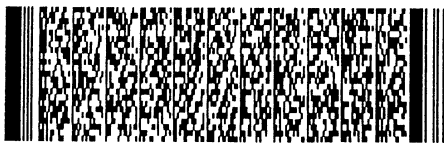


六、申請專利範圍

送電晶體之本體；

於靜止期間將輸出電壓或供應電壓之絕對值較大者施加至該等電晶體之閘極；以及

在靜止期間容許該本體二極體電氣式地浮動。



圖式

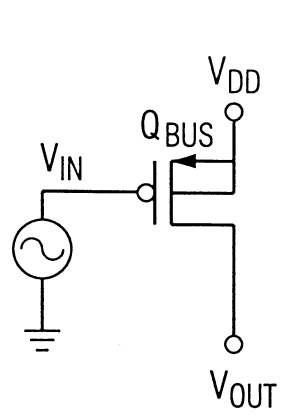


圖1a

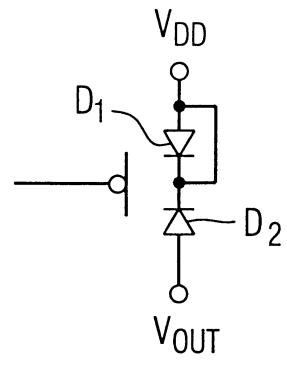


圖1b

先前技藝

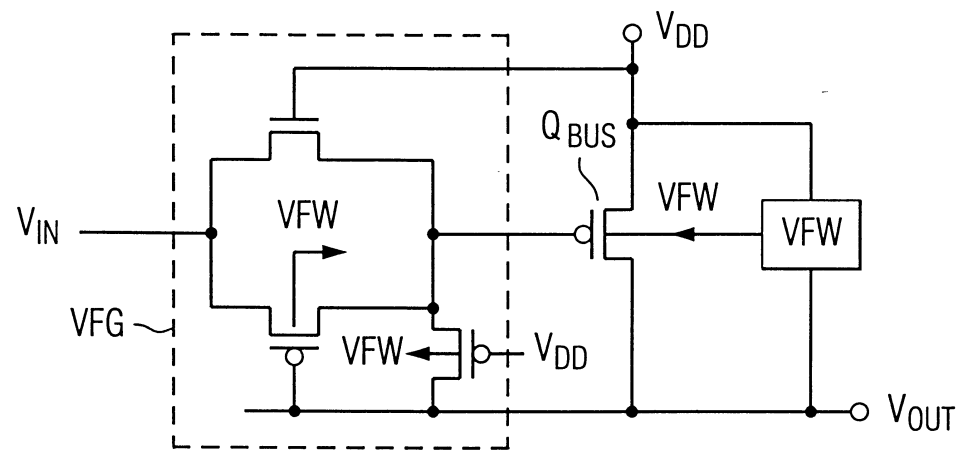


圖2

先前技藝

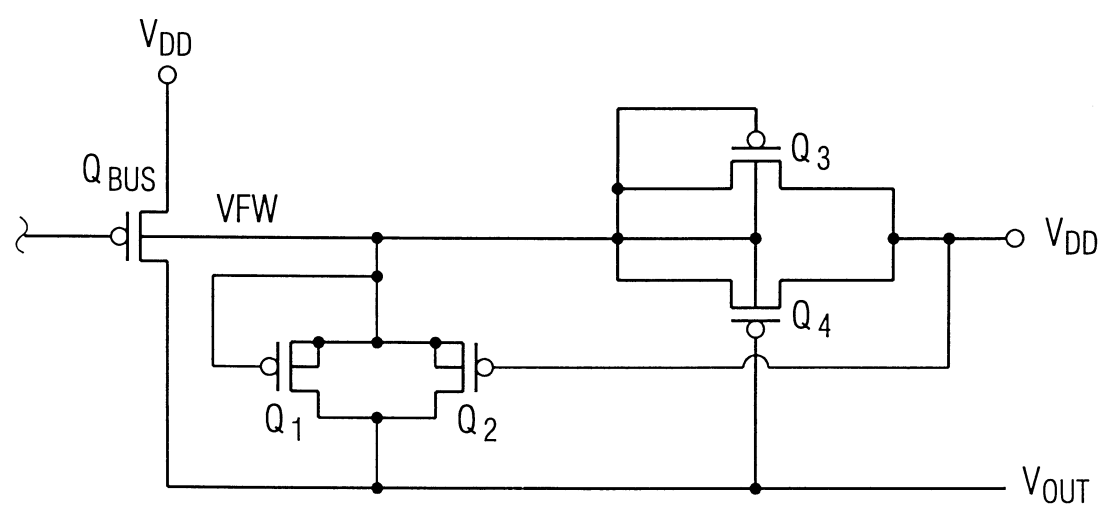


圖3

先前技藝

圖式

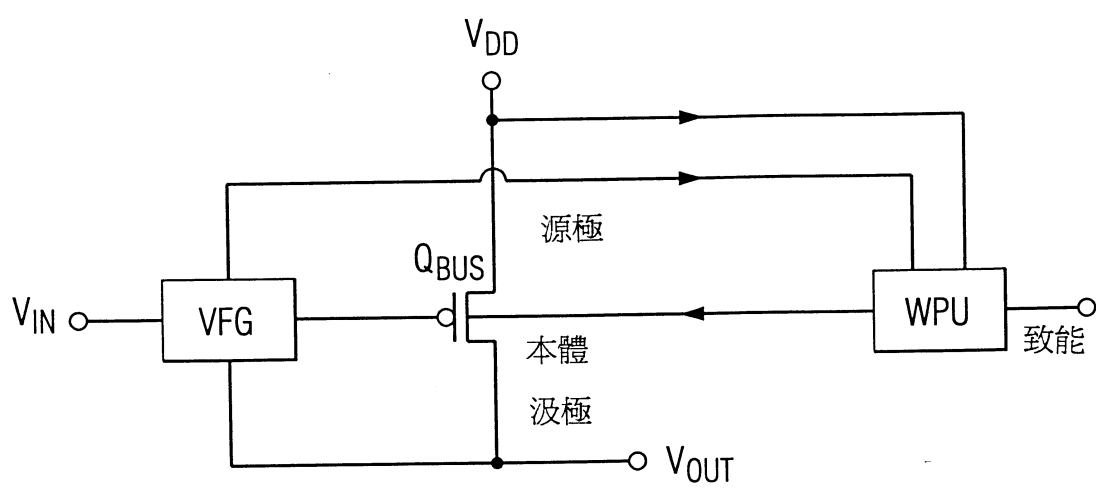


圖4

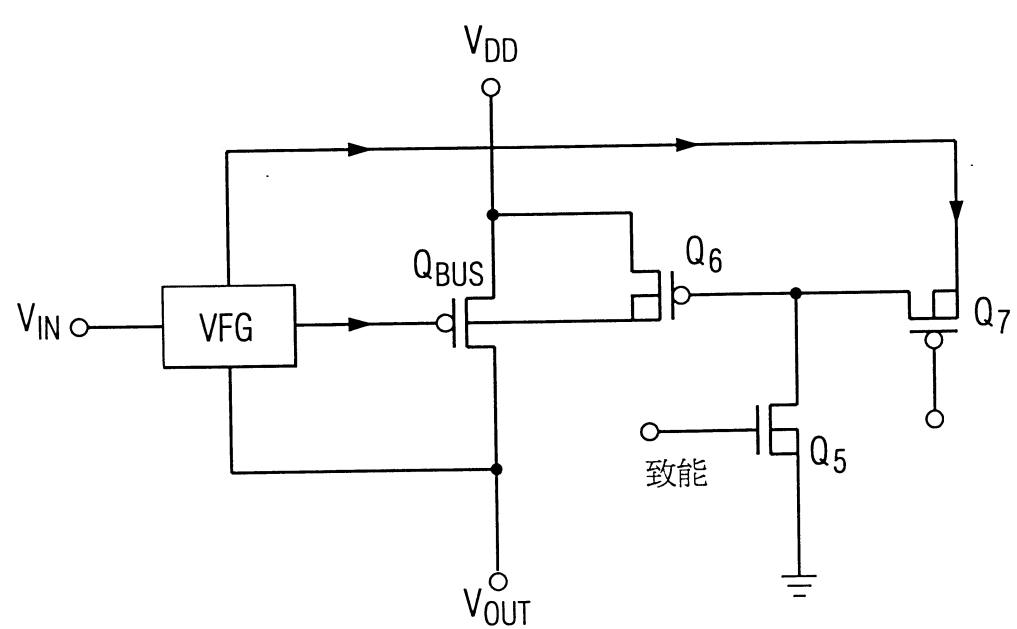


圖5

圖式

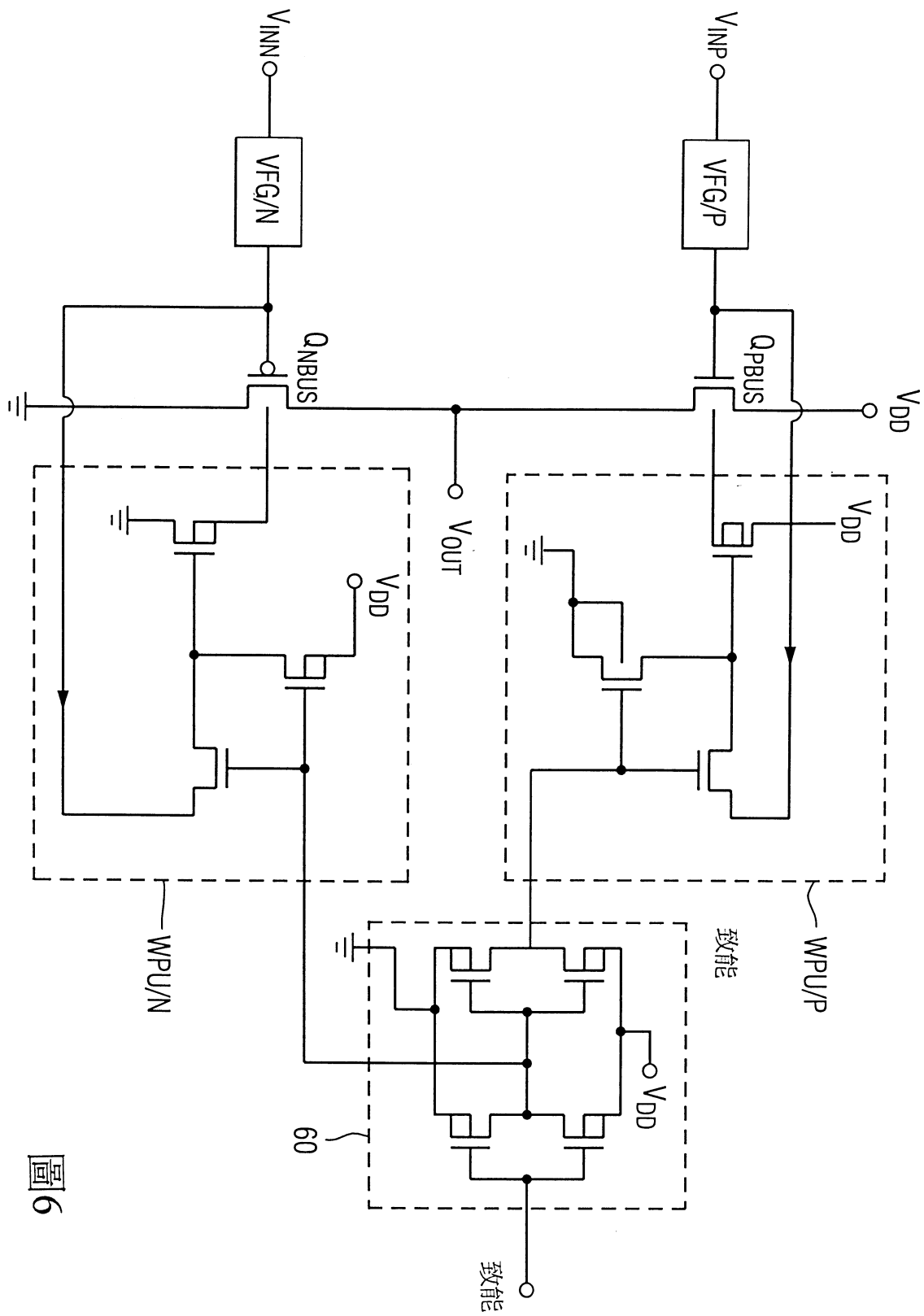


圖 6