

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

专利号 ZL 03148325.9

H01L 21/027 (2006.01)

H01L 21/00 (2006.01)

B81C 1/00 (2006.01)

B81C 5/00 (2006.01)

[45] 授权公告日 2009年12月2日

[11] 授权公告号 CN 100565796C

[22] 申请日 2003.6.30 [21] 申请号 03148325.9

[30] 优先权

[32] 2002.6.28 [33] US [31] 10/184567

[73] 专利权人 惠普开发有限公司

地址 美国德克萨斯州

[72] 发明人 C·P·陶西 P·梅

[56] 参考文献

WO0208835A2 2002.1.31

EP-1072954 A2 2001.1.31

US5772905A 1998.6.30

审查员 郭强

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 肖春京

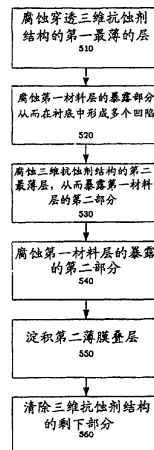
权利要求书3页 说明书10页 附图32页

[54] 发明名称

半导体器件的制造方法和系统

[57] 摘要

本发明包括一种用来制造半导体器件的方法和系统。本发明涉及到利用印模工具来产生三维抗蚀剂结构，从而能够在单个模制步骤中将薄膜图形化台阶转移到抗蚀剂，并随后在稍后的加工步骤中被显露。因此，能够以印模工具被制造时的精度来确定各个相继图形化步骤之间的对准，而不管制造过程中可能发生的膨胀或收缩。本发明的用来制造半导体器件的方法包括提供衬底 [410]、在衬底 [410] 上淀积第一材料层 [415]、以及在衬底 [410] 上形成三维(3D)抗蚀剂结构 [420]，其中的三维抗蚀剂结构 [420] 在整个结构 [420] 中包括多个不同的垂直高度。



1. 一种用来制造半导体器件的方法，包括：
提供衬底[410]；
在衬底[410]上淀积第一材料层[415]；以及
在衬底[410]上形成三维抗蚀剂结构[420]，其中三维抗蚀剂结构[420]在整个结构[420]中包括四个不同的垂直高度。
2. 如权利要求1所述的方法，其中，四个不同的垂直高度包括至少一个明显地不同于另一个高度的高度。
3. 如权利要求2所述的方法，其中，衬底[410]是柔性衬底材料，且形成三维抗蚀剂结构[420]的操作还包括：
在第一材料层[415]上淀积抗蚀剂层；以及
将三维图形转移到抗蚀剂层，以便形成三维抗蚀剂结构[420]。
4. 如权利要求3所述的方法，其中，将三维图形转移到抗蚀剂层的操作还包括：
利用印模工具，在抗蚀剂层中形成三维图形；以及
对抗蚀剂层进行固化，从而形成三维抗蚀剂结构[440]。
5. 如权利要求4所述的方法，还包括：
在衬底上产生交叉点阵列。
6. 如权利要求5所述的方法，其中，产生交叉点阵列[440]的操作还包括：
各向异性腐蚀穿透三维抗蚀剂结构的第一最薄的层，从而暴露第一材料层的第一部分[415']；
腐蚀第一材料层的暴露的第一部分[415']，以便在衬底[410]中形成多个凹陷[425]，其中多个凹陷[425]的每一个包括比第一材料层[415]的厚度更大的深度；
腐蚀穿透三维抗蚀剂结构的第二最薄的层，从而暴露第一材料层的第二部分；
腐蚀第一材料层的暴露的第二部分；
腐蚀穿透三维抗蚀剂结构的第三最薄的层，从而暴露第一材料层的第三部分[415'']；
在第一材料层的暴露部分和三维抗蚀剂结构的剩余部分上，淀积第二材料层[435]，其中第二材料层[435]包括半导体材料和导电材

料; 以及

清除三维抗蚀剂结构的剩余部分。

7. 如权利要求 5 所述的方法, 其中, 产生交叉点阵列的操作还包括:

各向异性腐蚀穿透三维抗蚀剂结构的第一最薄的层, 从而暴露第一材料层的第一部分[615'];

腐蚀第一材料层的暴露的第一部分[615'], 从而暴露一部分衬底;

腐蚀穿透三维抗蚀剂结构[620]的第二最薄的层, 从而暴露第一材料层的第二部分[615''];

在第一材料层的暴露部分和三维抗蚀剂结构的剩余部分上, 淀积第二材料层[625], 其中第二材料层[625]包括半导体材料和导电材料;

在第二材料层[625]上, 滚涂第二抗蚀剂层[630], 其中第二抗蚀剂层[630]的腐蚀速率不同于三维抗蚀剂结构的腐蚀速率;

腐蚀第二抗蚀剂层[630], 从而暴露第二材料层的第一部分[625'];

腐蚀第二材料层的第一部分[625'];

腐蚀三维抗蚀剂结构的第三最薄的层, 从而暴露第一材料层的第三部分;

腐蚀第一材料层的第三部分; 以及

清除三维抗蚀剂结构的剩余部分和第二抗蚀剂层[625]的剩余部分。

8. 如权利要求 5 所述的方法, 其中, 三维抗蚀剂结构包括至少一个比另一个沟道更窄的沟道[910], 且产生交叉点阵列的操作还包括:

在第一材料层的暴露部分[1015']和三维抗蚀剂结构的剩余部分上, 淀积第二材料层[1030], 其中, 第二材料层[1030]包括半导体材料和导电材料;

在第二材料层[1030]上淀积第二抗蚀剂层[1040], 其中, 第二抗蚀剂层[1040]更容易被拖入到至少一个沟道[910];

各向异性腐蚀第二材料层[1030], 从而暴露部分三维抗蚀剂结构; 以及

清除三维抗蚀剂结构的剩余部分和第二抗蚀剂层[1040]的剩余部分。

9. 一种用来制造半导体器件的方法，它包括：

提供柔性衬底材料[410]；

在柔性衬底[410]上淀积第一材料层[415]；以及

在第一材料层上淀积抗蚀剂层；

利用印模工具，在抗蚀剂层中形成三维图形；

对抗蚀剂层进行固化，从而在第一材料层[415]上形成三维抗蚀剂结构[420]，其中，三维抗蚀剂结构[420]包括四个不同的垂直高度，其中至少一个高度明显地不同于另一个高度；以及

利用三维抗蚀剂结构[420]，在柔性衬底[410]上产生交叉点阵列[440]。

半导体器件的制造方法和系统

技术领域

本发明一般涉及到半导体器件领域，更确切地说是涉及到半导体器件的制造方法和系统。

背景技术

目前对于减小现有结构的尺寸和制造更小的结构，存在着强烈的发展势头。这一过程通常被称为微制造。微制造已经具有很大影响的一个领域是微电子领域。确切地说，微电子结构尺寸的减小通常允许结构更便宜，性能更高，功耗降低且给定尺寸内包括更多的元件。虽然微制造在电子工业中已经非常活跃，但也已经被应用于其它的领域，例如生物技术、光学系统、机械系统、传感器件、以及反应器。

用于微制造工艺的一种方法是压印光刻术(lithograph)。压印光刻术通常被用来以高分辨率对衬底材料上的薄膜进行图形化。被图形化的薄膜可以是电介质、半导体、金属、或有机物，且能够被图形化成薄膜或单个的层。由于压印光刻术对于平整度不如常规光刻技术那样敏感，故压印光刻术对于在辊对辊环境中图形化器件来说特别有用。此外，压印光刻术具有较高的产率，并能够处置更宽的衬底。

通常，电子器件的制造需要几个常常必须彼此以接近或甚至超过最小特征尺寸的精度对准的图形化步骤。在常规光刻技术中，光学对准掩模被用来保证各个相继图形化步骤之间的对准。虽然有可能在辊对辊工艺中采用光学对准，但由于几个原因而不切实可行。首先，由于基础的压印光刻术工艺不是光学式的，故增加了额外的复杂性。其次，在辊对辊环境中，衬底平整性差，由于景深限制和其它光学象差而引起能够进行光学对准的精度方面的困难。最后，用于辊对辊工艺中的柔性衬底可能由于温度、湿度、或机械应力的变化而经历尺寸改变。一个图形化层相对于下一个的这些收缩或膨胀，可能使大面积的对准成为不可能。

因此，需要的是一种克服了上述问题的制造器件的方法和系统。此方法和系统应该是简单的、成本效率高的、并能够容易地适应现有技术的。本发明力图满足这些需求。

发明内容

本发明包括一种用来制造半导体器件的方法和系统。本发明涉及到利用印模工具来产生三维抗蚀剂结构，从而能够在单个模制步骤中将薄膜图形化步骤转移到抗蚀剂，并随后在稍后的加工步骤中将其显露。因此，能够以印模工具被制造时的精度来确定各个相继图形化步骤之间的对准，而不管制造过程中可能发生的膨胀或收缩。

本发明的第一方面包括一种用来制造半导体器件的方法。此方法包括提供衬底、在衬底上淀积第一材料层、以及在衬底上形成三维（3D）抗蚀剂结构，其中 3D 抗蚀剂结构在整个结构中包括至少三个不同的垂直高度。

本发明的第二方面包括一种用来制造半导体器件的系统，此系统包括用来在柔性衬底上淀积第一材料层的装置、用来在柔性衬底上淀积抗蚀剂层的装置、用来将 3D 图形转移到抗蚀剂层以便在柔性衬底上形成 3D 抗蚀剂层的装置、以及用来利用 3D 抗蚀剂层以便在柔性衬底上形成交叉点阵列的装置。

从结合附图以举例的方法说明本发明原理的下列详细描述中，本发明的其它情况和优点将变得明显。

附图说明

图 1 根据本发明的方法的高层面流程图。

图 2(a)-2(c) 示出了利用印模工具来形成 3D 抗蚀剂结构。

图 3 是交叉点阵列构造的说明。

图 4(a)-4(g) 示出了利用掩蔽效应来形成交叉点阵列的第一实施方案。

图 5 是根据本发明的方法的第一实施方案的流程图。

图 6(a)-6(i) 示出了利用二种聚合物来形成交叉点阵列的第二实施方案。

图 7 是根据本发明的方法的第二实施方案的流程图。

图 8 示出了衬底被一薄层光聚合物涂敷，随后用 PDMS 的紫外线透明模具模制情况下的实验结果。

图 9 是形貌的说明，其中第一特征比第二特征更窄。

图 10(a)-10(l) 示出了利用毛细管力形成交叉点阵列的第三实施方案。

图 11 是根据本发明的第三实施方案的流程图。

具体实施方式

本发明涉及到一种用来制造半导体器件的方法和系统。下面的描述用于使本技术领域的普通技术人员能够进行和使用专利申请，并提供有关本发明的应用及其要求。对于本技术领域的熟练人员来说，此处描述的优选实施方案和基本原理的各种修正以及特征是显而易见的。于是，本发明不被认为局限于所示的实施方案，而是赋予与此处所述原理和特征一致的最大范围。

如用于描述的附图所示，本发明是一种用来制造半导体器件的方法和系统。本发明涉及到利用印模工具来产生三维抗蚀剂结构，从而能够在单个模制步骤中将多个图形转移到抗蚀剂，并随后在稍后的加工步骤中被显露。

虽然本发明已经被描述为被用来制造半导体器件，但本技术领域的普通技术人员可以容易地理解，本发明能够被用来制造其它类型的器件（例如机械器件、光学器件、生物器件等），同时仍然不超越本发明的构思与范围。

为了更好地理解本发明，可参照图 1。图 1 是根据本发明的方法的高层面流程图。首先，通过步骤 110 提供衬底。此衬底最好包括适合用于辊对辊制造工艺的柔性衬底。接着，通过步骤 120 在衬底上沉积材料层。此材料最好包括有机材料或无机材料。最后，通过步骤 130，在第一材料层上形成三维（3D）抗蚀剂结构，其中 3D 抗蚀剂结构在整个结构中包括多个不同的垂直高度。最好利用压印工具来产生 3D 抗蚀剂结构。由于 3D 抗蚀剂结构在整个结构中包括多个不同的垂直高度，故此结构能够被用来基于随后的腐蚀步骤而将对准图形转移到下方层。

如先前所述，本发明涉及到利用印模工具来在柔性衬底上产生 3D 抗蚀剂结构。为了更清楚地理解这一概念，请参见图 2(a)-2(c)。图 2(a)-2(c) 示出了利用印模工具形成 3D 抗蚀剂结构的剖面。图 2(a) 示出了印模工具 210 和未成形的抗蚀剂材料层 214 的剖面。印模工具 210 包括将要被转移到抗蚀剂层 214 的 3D 图形 212。抗蚀剂层 214 可以包括各种市售聚合物的任何一种。例如，可以采用来自 Norland 光学粘合剂（NOA）聚合物系列的聚合物。

然后使印模工具 210 与抗蚀剂层 214 接触，从而将抗蚀剂层 214 位移到印模工具 210 的 3D 图形 212 中。图 2 (b) 示出了已经与抗蚀剂层 214 接触的印模工具 210 的剖面。然后，用紫外线光刻术或任何其它适当的固化方法，对被位移的抗蚀剂层 214 进行固化。图 2 (c) 示出了形成的抗蚀剂层 214' 的剖面。

此外，在图 2 (c) 中可见，形成的抗蚀剂层 214' 即抗蚀剂结构包括不同的垂直高度 216、218、220、222。各个垂直高度最好各不相同，亦即至少一个高度明显地不同于另一个高度。因此，这些不同的垂直高度使得结构 214' 能够基于随后的腐蚀步骤而被用来将对准图形转移到下方层。在交叉点存储器阵列的制造中，这些结构是特别有用的。

交叉点阵列

交叉点存储器阵列最好包括二层其间安置有半导体层的分隔开的平行导体正交组。二组导体形成行和列电极，以各个行电极在准确位置处与各个列电极交叉的方式而重叠。

为了更详细地理解交叉点阵列，请参见图 3。图 3 是交叉点阵列构造 300 的说明。在各个交叉点处，通过以二极管与熔丝串联的方式起作用的半导体层 330，在行电极 310 与列电极 320 之间形成连接。阵列中的二极管都取向成若公共电位被施加在所有行电极与所有列电极之间则所有二极管将沿相同的方向被偏置。熔丝元件可以实现为当临界电流通过时将会开路的分立元件，或可以被组合在二极管的操作中。

本技术领域的普通技术人员可容易地理解，上述交叉点阵列能够被用于形成各种各样的半导体器件，包括但不限于晶体管、电阻器、电容器等，同时不超越本发明的构思与范围。

下面提出用上述 3D 抗蚀剂结构来形成交叉点阵列的不同方法。第一方法结合 3D 结构利用“掩蔽”效应来形成交叉点阵列；第二方法利用具有相互腐蚀选择性的二种聚合物来形成交叉点阵列；第三方法利用毛细管力的效应来产生 3D 结构并形成交叉点阵列。虽然描述了三种方法，但本技术领域的普通技术人员可容易地理解，3D 抗蚀剂结构能够结合各种不同的方法被利用，同时不超越本发明的构思与范围。

掩蔽效应

利用 3D 抗蚀剂结构来形成交叉点阵列的第一方法考虑了掩蔽效应。掩蔽效应是在适当条件下，当在包括具有陡峭侧壁的沟槽的表面上淀积薄膜时，被淀积的材料择优聚集在垂直于淀积方向的表面上而避免覆盖侧壁的现象。以一定角度的淀积，从而“掩蔽”一个侧壁，有时能够增强这一效应。

为了更好地理解在此方法中如何考虑掩蔽效应，可结合下列描述参见图 4(a)-4(g)。图 4(a)-4(g) 示出了利用掩蔽效应来形成交叉点阵列的工艺。图 4(a) 是结构 400 的侧面图，此结构 400 包括柔性衬底 410、第一材料层（“第一薄膜叠层”）415、以及形成的 3D 抗蚀剂结构 420。

一旦形成了抗蚀剂结构，就通过各向异性腐蚀工艺清除抗蚀剂结构的最薄层而开始工艺，从而暴露部分第一薄膜叠层。图 4(b) 示出了第一薄膜叠层的暴露部分 415'。接着，利用相同的或不同的腐蚀化学方法，第一薄膜叠层的暴露部分被腐蚀，从而在衬底中形成多个凹陷。图 4(c) 示出了凹陷 425 已经被腐蚀进入衬底 410 中的结构。重要的是在此工艺中凹陷的侧壁保持陡峭且凹陷的深度比第一薄膜叠层的厚度大得多。理想地说，为了增强“掩蔽”效应，若衬底中的凹陷稍许底切（undercut）第一薄膜叠层则最好。

接着，抗蚀剂结构的下一个最薄的层被腐蚀，从而暴露第一薄膜叠层的第二部分。第一薄膜叠层的暴露的第二部分于是被腐蚀掉。但在此步骤中，当薄膜叠层从其下方的衬底被清除时，腐蚀被停止。图 4(d) 示出了此步骤之后被暴露的衬底 410'。

在下一个步骤中，抗蚀剂结构的下一个最薄部分被腐蚀，从而暴露第一薄膜叠层的第三部分。但在此步骤中，第一薄膜叠层的暴露部分不被腐蚀。在完成这一步骤时，原来的抗蚀剂仅仅留下一系列的孤立的岛。图 4(e) 示出了抗蚀剂 430 的各个孤立的岛以及第一薄膜叠层的暴露部分 415''。

接着，在整个结构上淀积第二材料层（第二薄膜叠层）。第二薄膜叠层最好包括半导体材料和导电材料。这些淀积的条件将使第一薄膜叠层厚度引起的小台阶被共形地覆盖。但对应于凹陷侧壁的较大的台阶将不被覆盖。图 4(f) 示出了淀积之后的第二薄膜叠层 435。

最后，抗蚀剂结构的剩余部分被清除，从而形成交叉点阵列。图

4(g)示出了包括交叉点阵列440的结构。虽然在这一步骤结束时已经形成了交叉点阵列，但额外的步骤可以包括轻度清洗，以便清除在最终器件中可能产生短路的侧壁上的任何残留膜。

为了更好地理解上述方法，请参见图5。图5是根据本发明的上述方法的流程图。首先，通过步骤510，一旦形成了抗蚀剂结构，抗蚀剂结构的第一最薄层就被各向异性腐蚀，从而暴露第一薄膜叠层的第一部分。接着，通过步骤520，第一薄膜叠层的暴露的第一部分被腐蚀，从而在衬底中形成多个凹陷。此凹陷的深度最好比第一薄膜叠层大得多，且稍许底切第一薄膜叠层，从而增强掩蔽效应。接着，通过步骤530，抗蚀剂的第二最薄层被腐蚀，从而暴露第一薄膜叠层的第二部分。

然后，通过步骤540，第一薄膜叠层的暴露的第二部分被腐蚀。然后通过步骤550，淀积第二薄膜叠层。第二薄膜叠层最好包括半导体材料和导电材料。同样，这些淀积的条件将使第一薄膜叠层厚度引起的小台阶被覆盖，而对应于凹陷侧壁的较大的台阶将不被覆盖。最后，通过步骤560，抗蚀剂的剩余部分被清除。

具有相互腐蚀选择性的二种掩模聚合物

利用3D抗蚀剂结构来形成交叉点阵列的第二方法，采用了二种聚合物，其性质使在一定条件下一种化合物能够以比另一种化合物高得多的速率下被腐蚀，例如对于聚合物A和B，聚合物“A”的腐蚀不影响聚合物“B”，且聚合物“B”的腐蚀不影响聚合物“A”。这些条件可以包括不同的腐蚀化学、不同的流速、不同的分压、不同的等离子体功率等。此外，这二种腐蚀方法最好都是各向异性干法腐蚀。

虽然上述方法被公开为结合聚合物材料而被利用，但本技术领域的普通技术人员可以理解，能够模制、铸造、然后固化的任何材料都能够被用来代替聚合物材料作为抗蚀剂，而不超越本发明的构思与范围。例如，旋涂玻璃(SOG)能够被用作本发明上述实施方案中的第二聚合物。

为了更好地理解此方法，可结合下列描述参见图6(a)-6(i)。图6(a)-6(i)示出了利用二种聚合物来形成交叉点阵列的工艺。图6(a)示出了结构600，它包括柔性衬底610、第一材料层(“第一薄膜叠层”)、以及形成的3D抗蚀剂结构620，其中在整个结构620中存在

着多个不同的垂直高度。一旦形成了抗蚀剂结构，就通过各向异性腐蚀工艺清除抗蚀剂结构的最薄的层，从而暴露部分第一薄膜叠层。图 6(b) 示出了第一薄膜叠层的被暴露部分 615'。

接着，利用相同的或不同的腐蚀化学，第一薄膜叠层的暴露部分被腐蚀。理想地说，这些腐蚀工艺应该以与其对抗蚀剂结构的侵蚀速率相似或更高的速率清除第一薄膜叠层。接着，抗蚀剂结构的下一个最薄的层被腐蚀，从而暴露第一薄膜叠层的第二部分，其中第一薄膜叠层的第二暴露部分邻近前一个工艺中被腐蚀的区域。图 6(c) 示出了第一薄膜叠层的第二暴露部分 615''。

接着，淀积第二材料层（第二薄膜叠层）。第二薄膜叠层最好包括半导体材料和导电材料。衬底的所有暴露表面、第一薄膜叠层、以及抗蚀剂都可以在这一步骤中被涂敷。图 6(d) 示出了淀积的第二薄膜叠层 625。

然后在第二薄膜叠层上涂敷第二聚合物。可以用诸如凹版印刷涂敷之类的滚涂工艺或用真空淀积或气相淀积方法，来涂敷此涂层。此涂层是为了整平结构，并应该导致基本上平坦的表面来覆盖前述步骤产生的所有形貌。图 6(e) 示出了覆盖第二薄膜层 625 的第二聚合物层 630。

接着，第二聚合物层被回腐蚀，直至淀积在一开始的抗蚀剂水平表面上的所有第二薄膜叠层已经显露。图 6(f) 示出了腐蚀第二聚合物层 630 之后的暴露的第二薄膜叠层 625'。应该指出的是，对于这一工艺，第二薄膜叠层由于将被清除而没有必要用作腐蚀停止层。

接着，第二薄膜叠层从抗蚀剂结构的顶部表面被腐蚀。重要的是此处所用的腐蚀工艺不以高于腐蚀第二薄膜叠层的速率侵蚀第二聚合物。图 6(g) 示出了已经腐蚀第二薄膜叠层之后的抗蚀剂暴露部分 620'。接着，抗蚀剂结构的下一个最薄区域被腐蚀掉，从而暴露第一薄膜叠层的另一部分。然后用相同的或不同的腐蚀工艺清除第一薄膜叠层的这一部分。用来清除抗蚀剂和第一薄膜叠层的这组腐蚀工艺最好不清除被第二聚合物覆盖的第二薄膜叠层。借助于使第二聚合物层或第二薄膜叠层的顶层耐得住清除第一薄膜叠层和抗蚀剂的腐蚀工艺，可以达到这一目的。图 6(h) 示出了第二聚合物层的剩余部分 630。

最后，清除抗蚀剂结构和第二聚合物层的剩余部分，从而形成交

叉点阵列。额外的步骤再次包括轻度清洗，以便清除在最终器件中可能产生短路的侧壁上的任何残留膜。图 6(i) 示出了包括交叉点阵列 640 的结构。

为了更好地理解上述方法，请参见图 7。图 7 是根据本发明的上述方法的流程图。首先，通过步骤 705，一旦形成了抗蚀剂结构，抗蚀剂结构的第一最薄层就被各向异性腐蚀，从而暴露第一薄膜叠层的第一部分。接着，通过步骤 710，第一薄膜叠层的暴露的第一部分被腐蚀，从而暴露部分衬底。然后，通过步骤 715，抗蚀剂的第二最薄层被腐蚀，从而暴露第一薄膜叠层的第二部分。

接着，通过步骤 720，淀积第二薄膜叠层。第二薄膜叠层最好包括半导体材料和导电材料。然后通过步骤 725，在第二薄膜叠层上涂敷第二抗蚀剂层。第二抗蚀剂层最好能够通过滚涂工艺来涂敷。接着，通过步骤 730，第二抗蚀剂层被腐蚀，从而暴露第二薄膜叠层的第一部分。然后通过步骤 735，第二薄膜叠层的这一部分被腐蚀。接着，通过步骤 740，抗蚀剂的第三最薄层被腐蚀，从而暴露第一薄膜叠层的第三部分。然后通过步骤 745，这一暴露部分被腐蚀。最后，通过步骤 750，抗蚀剂的剩余部分和第二抗蚀剂层被清除。

毛细管力

利用 3D 抗蚀剂结构来形成交叉点阵列的第三方法考虑了毛细管力现象。毛细管力是引起抗蚀剂材料比进入较宽沟道更容易被拖入窄沟道的力。为了更好地理解这一概念，请参见图 8。

图 8 示出了衬底被光聚合物薄层涂敷并随后用 PDMS（聚二甲基硅氧烷）的紫外线（UV）透明模具模制情况下实验结果。在此例子中，印模包括深度为 5.6 微米的窄（10 微米）特征和较宽（100 微米）特征。可紫外线固化的聚合物薄层（0.9 微米）被涂敷到衬底。当印模与液态聚合物接触时，毛细管力将大多数聚合物拖入到窄沟道 810 中，而较少的聚合物被拖入到较宽的区域 820。还观察到更多的聚合物被拖入到较宽区域 820 的角落区 830。

为了更清楚地理解，请参见图 9。图 9 是第一特征 910 比第二特征 920 更窄时的形貌说明。由于第一特征 910 比第二特征 920 更窄，故毛细管力使随后淀积的聚合物材料比到第二特征 920 更容易被拖到第一特征 910。结果，由于第一特征 910 将包括比第二特征 920 更厚

的聚合物材料层，故下方的材料能够根据随后的工艺步骤容易地被图形化。

为了更好地理解此方法，请结合下列描述参见图 10(a)-10(j)。图 10(a)-10(j)说明了利用毛细管力来形成交叉点阵列的工艺。图 10(a)示出了结构的 X-X'剖面（来自图 9），此结构包括柔性衬底 1010、第一材料层（“第一薄膜叠层”）1015、以及形成的 3D 抗蚀剂结构 1020，其中整个结构 1020 中存在着多个不同的垂直高度。图 10(b)示出了结构的 Y-Y'剖面图。二个图中还示出了对应于图 9 形貌特征 910 的特征 910。

一旦形成了抗蚀剂结构，就通过各向异性腐蚀工艺清除抗蚀剂结构的最薄的层，从而暴露第一薄膜叠层的一部分。图 10(c)示出了结构的 X-X'剖面图，其中已经暴露了第一薄膜叠层的一部分 1015'。图 10(d)示出了上述腐蚀工艺之后结构的 Y-Y'剖面图。

接着，淀积第二材料层（第二薄膜叠层）。第二薄膜叠层最好包括半导体材料和导电材料。图 10(e)和 10(f)分别示出了淀积第二薄膜叠层 1030 之后结构的 X-X'和 Y-Y'剖面图。

然后将第二聚合物涂敷在整个结构上。在涂敷第二聚合物过程中，设想了二种技术。利用第一技术，第二聚合物具有比较低的粘滞性且容易浸润抗蚀剂。涂敷的第二聚合物的量不足以完全填充存在于结构形貌上的空洞，但由于毛细管力，第二聚合物将更容易地被拖入到窄的通道中。结果，这些区域将被填充到比侧壁之间存在更大间距的区域更大的深度。

设想的第二技术涉及到用气相淀积或真空淀积工艺将第二聚合物均匀地涂敷在结构上。再次基于毛细管力，窄的间隙可能在较大间隙之前被遮蔽。而且，由于此工艺依赖于几何效应而不是腐蚀选择性，故第二聚合物可以具有与抗蚀剂结构相同的或不同的化学组分。图 10(g)10(h)分别示出了淀积第二聚合物 1040 之后结构的 X-X'和 Y-Y'剖面图。

虽然上述方法被公开为结合聚合物材料而被利用，但本技术领域的普通技术人员可以容易地理解，能够利用各种抗蚀剂化合物而不超越本发明的构思与范围。

一旦涂敷了第二聚合物，就执行各向异性腐蚀，以便清除暴露的

第二薄膜叠层，从而暴露部分第一抗蚀剂。图 10(i) 和 10(j) 分别示出了执行各向异性腐蚀之后结构的 X-X' 和 Y-Y' 剖面图。图 10(j) 示出了暴露的抗蚀剂 1020'。接着，清除抗蚀剂和第二聚合物。第二薄膜叠层覆盖第一薄膜叠层处的各个区域，是交叉点阵列。图 10(k) 和 10(l) 分别示出了形成的交叉点阵列 1050 的 X-X' 和 Y-Y' 剖面图。

为了更好地理解上述方法，请参见图 11。图 11 是根据本发明的上述方法的流程图。首先，一旦形成了抗蚀剂结构，就通过步骤 1100 对抗蚀剂结构的第一最薄的层进行各向异性腐蚀，从而暴露第一薄膜叠层的第一部分。形成的抗蚀剂结构最好包括至少一个比另一个特征更宽的特征。然后通过步骤 1110，淀积第二薄膜叠层。第二薄膜叠层最好包括半导体材料和导电材料。

接着，通过步骤 1120，淀积第二聚合物层。然后通过步骤 1130 执行各向异性腐蚀，以便清除第二薄膜叠层，从而暴露部分抗蚀剂。最后，通过步骤 1140，清除抗蚀剂和第二聚合物的剩余部分。

已经公开了用来制造半导体器件的方法和系统。此方法和系统涉及到利用印模工具来产生 3D 抗蚀剂结构，以便能够在单个模制步骤中将薄膜图形转移到抗蚀剂，并随后在稍后的工艺步骤中被显露。

虽然根据所示各个实施方案已经描述了本发明，但本技术领域的普通技术人员可容易地理解，对这些实施方案可以进行各种改变，且这些改变都在本发明的构思与范围之中。因此，本技术领域的普通技术人员可以做出许多修正而不偏离所附权利要求的构思与范围。

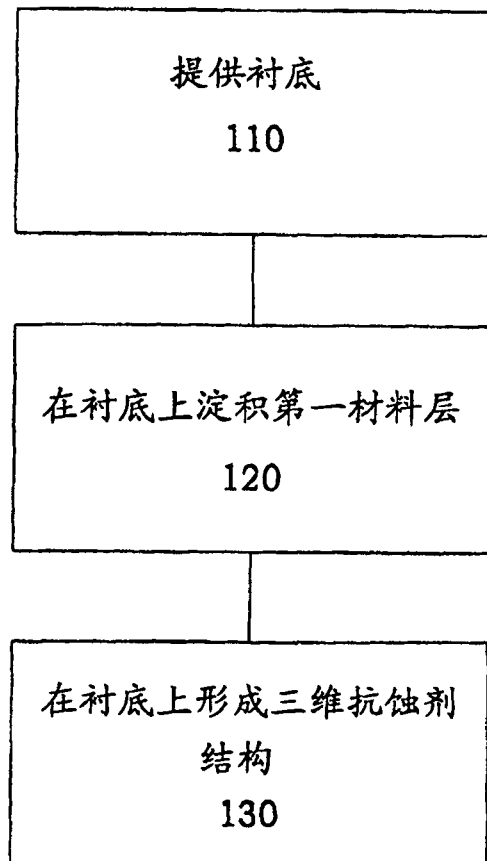


图 1

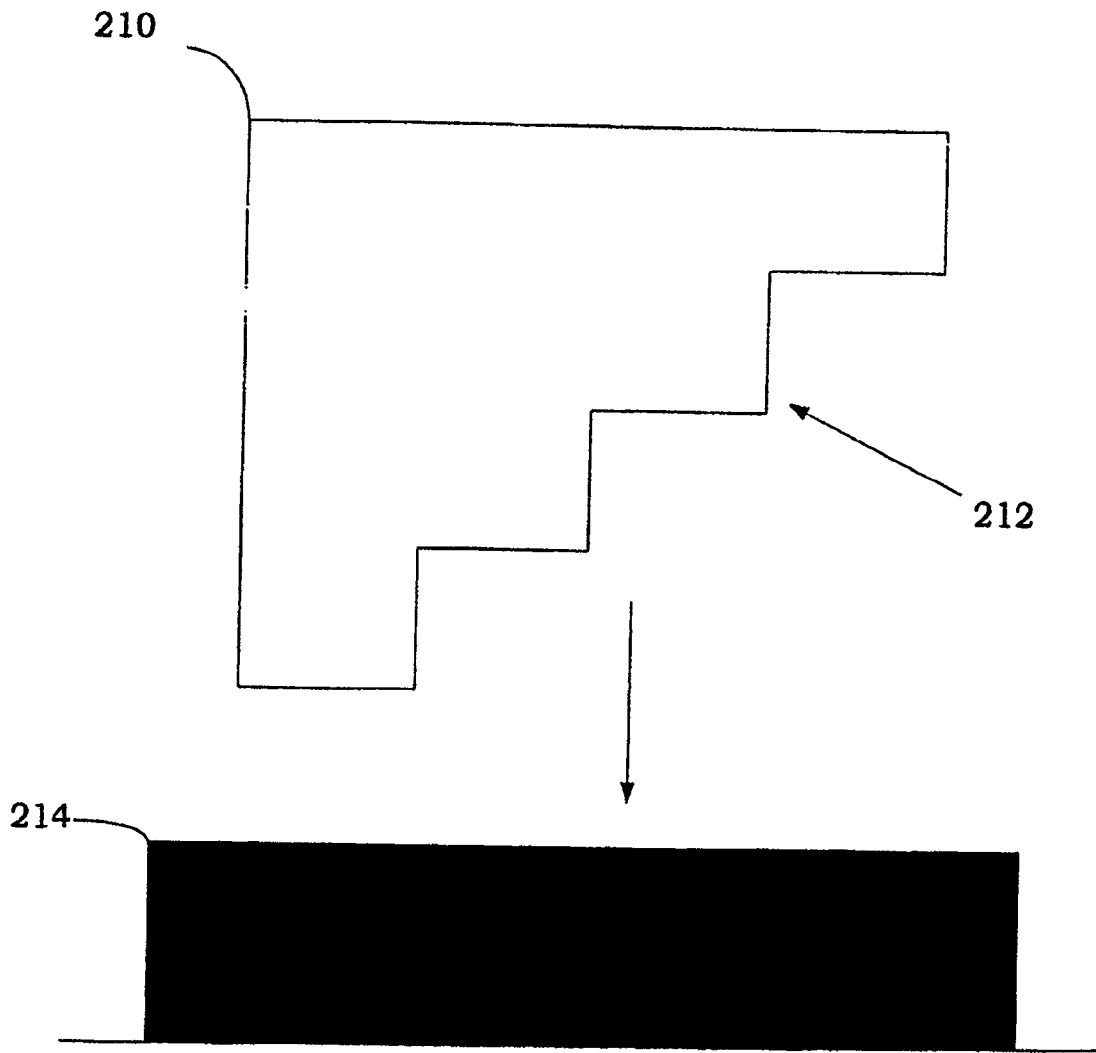


图 2(a)

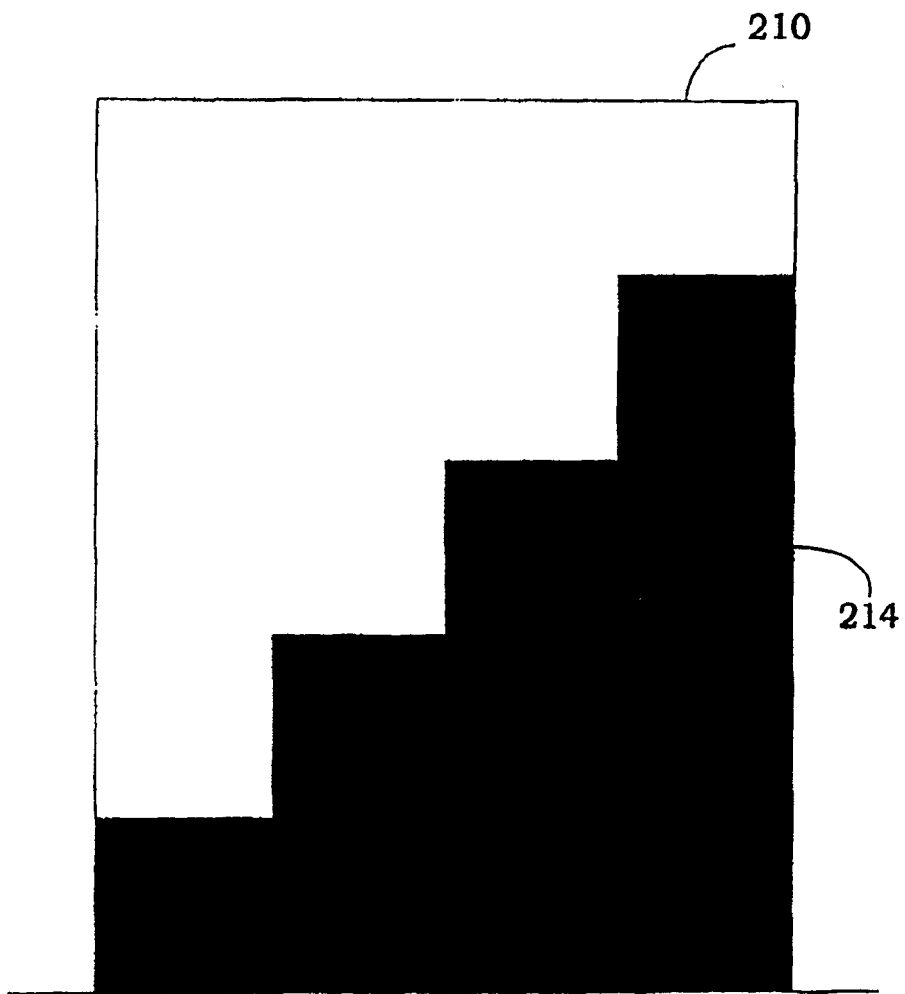


图 2(b)

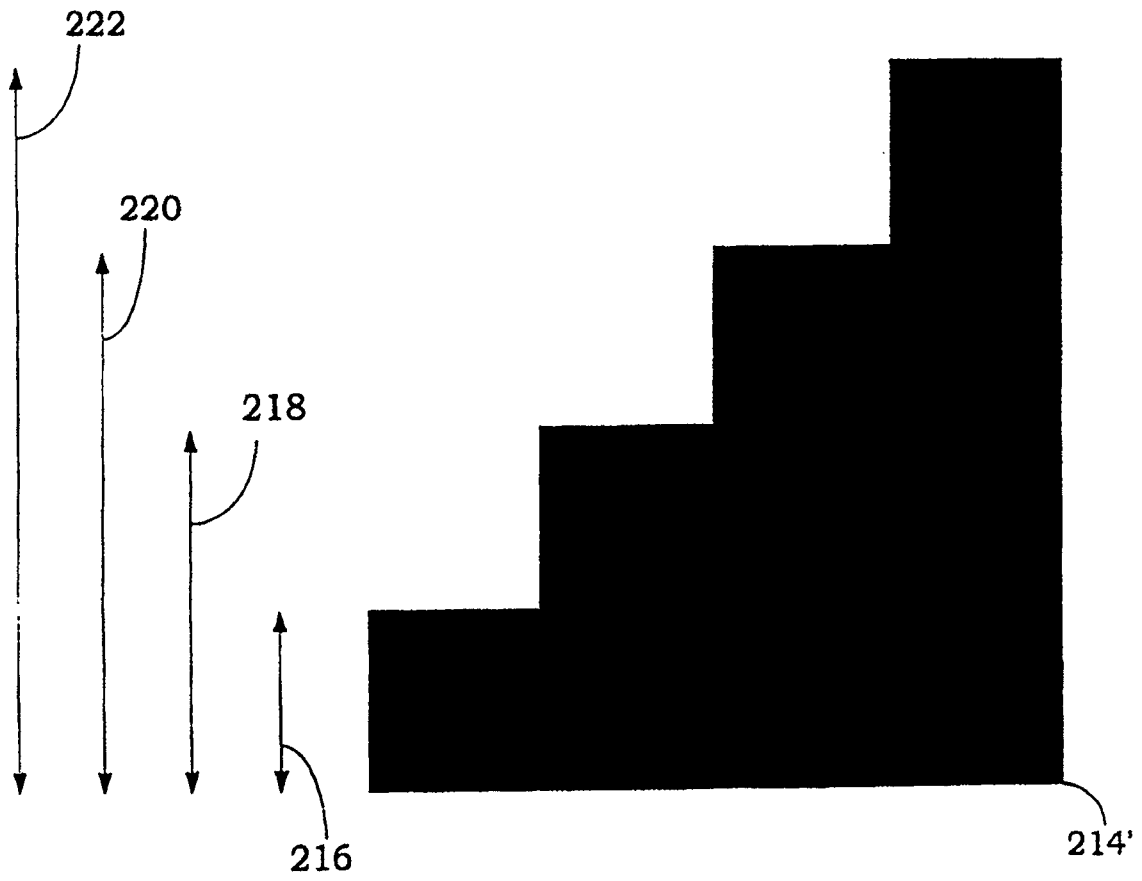


图 2(c)

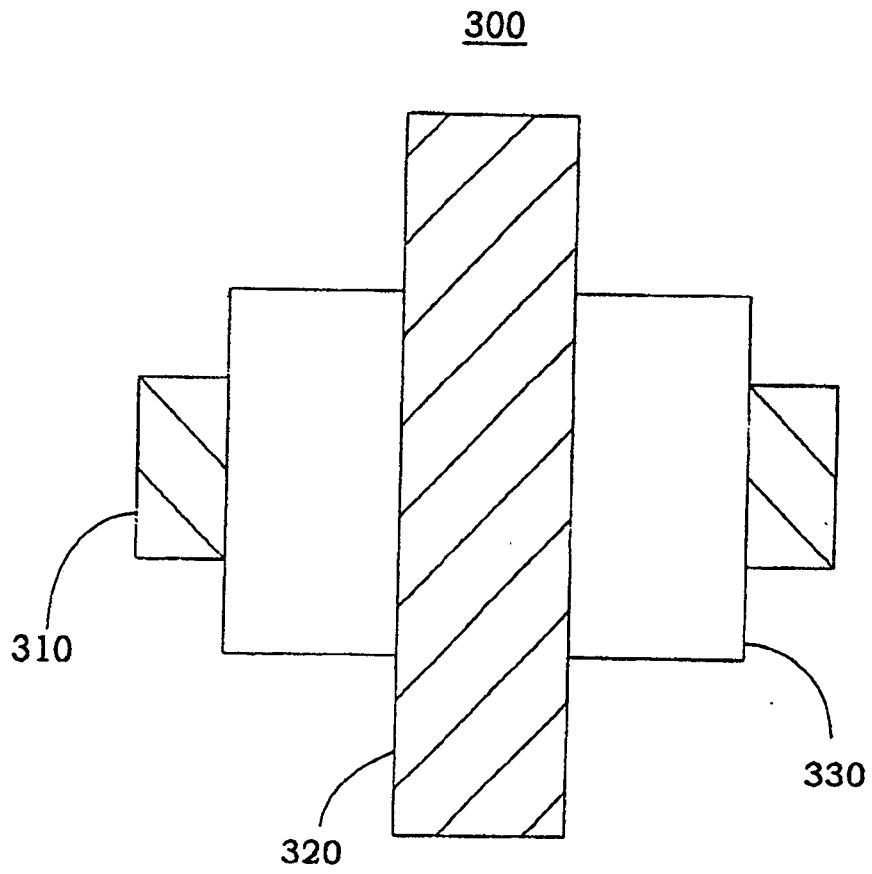


图 3

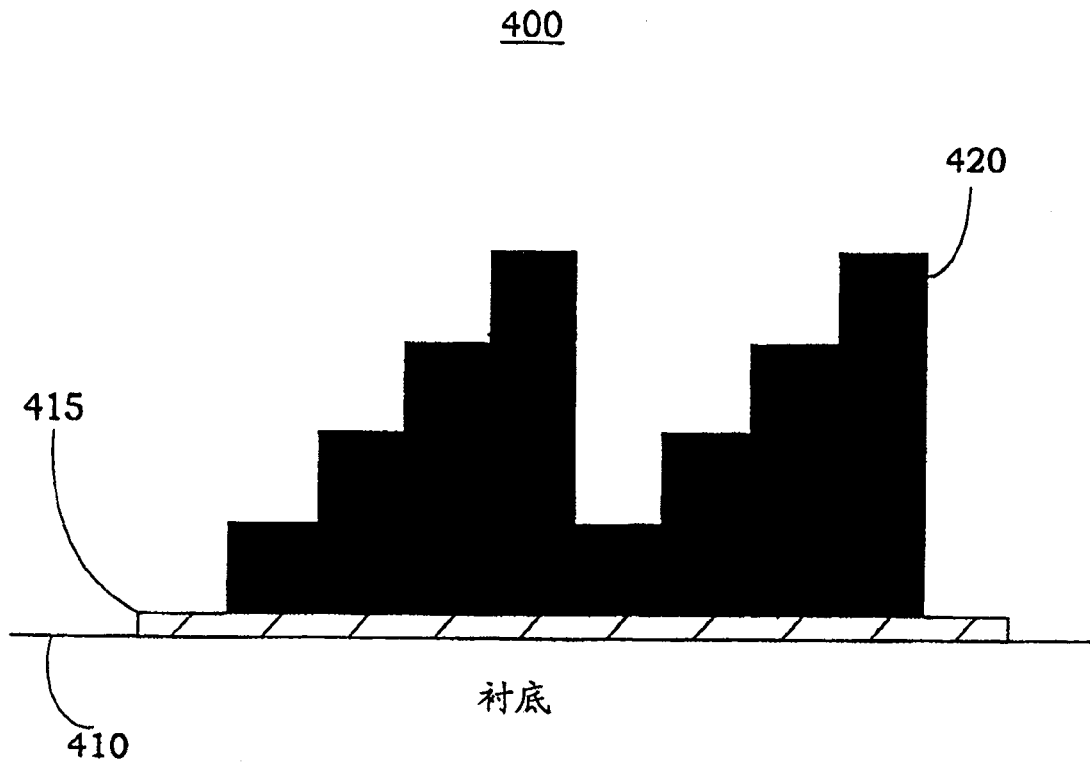


图 4(a)

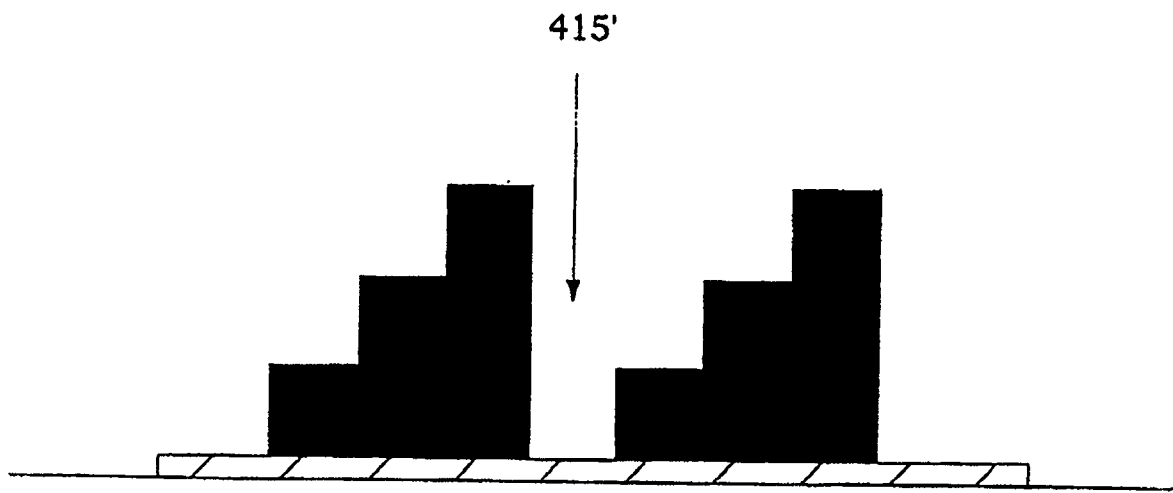


图 4(b)

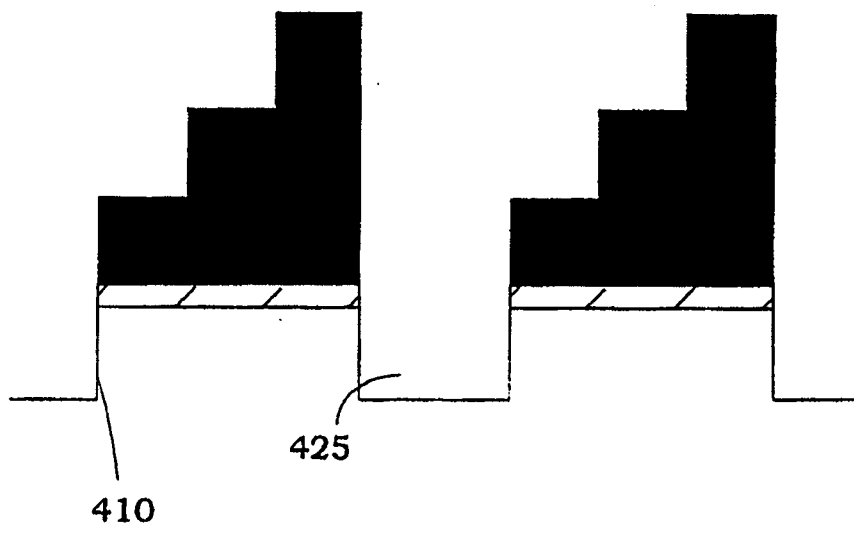


图 4(c)

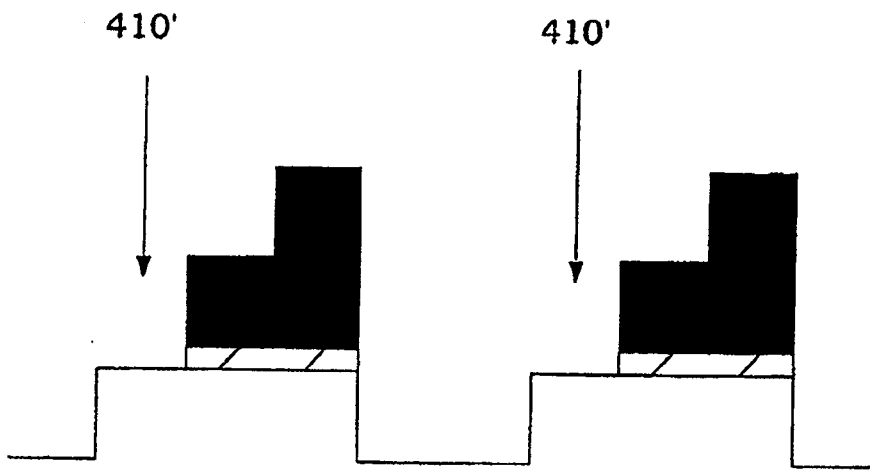


图 4(d)

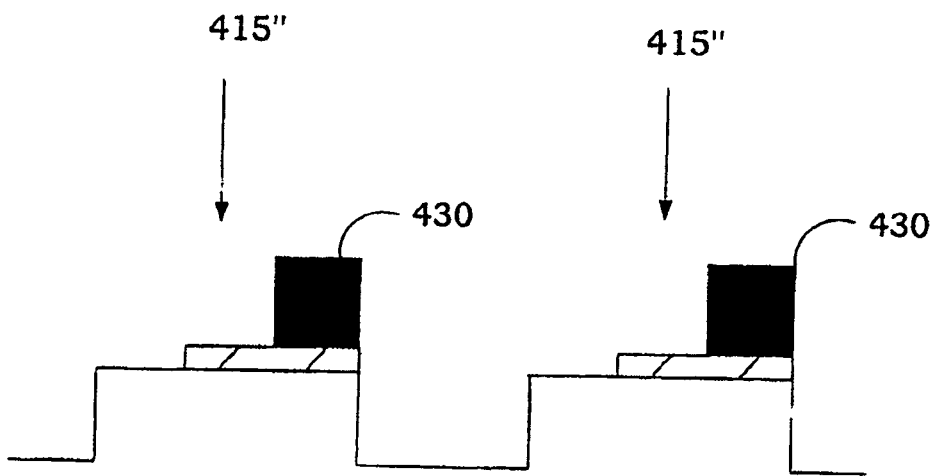


图 4(e)

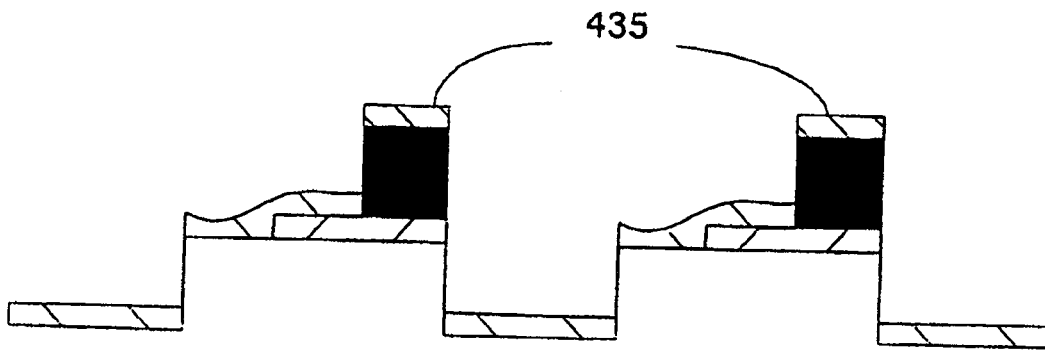


图 4(f)

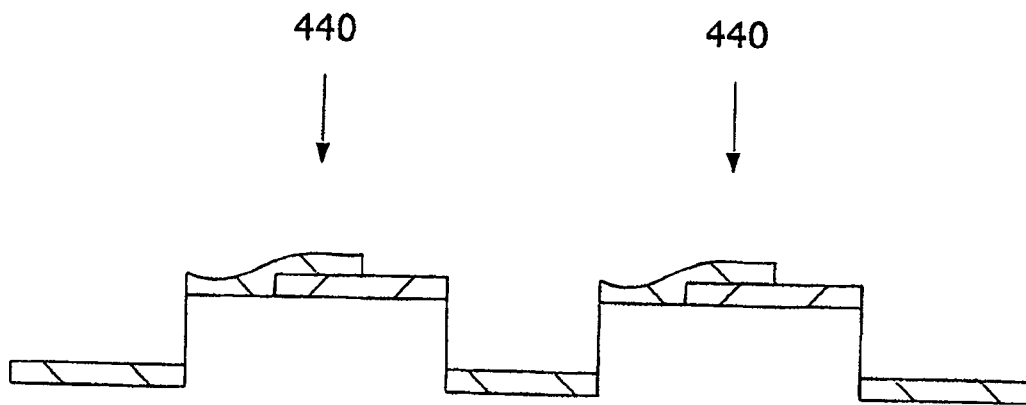


图 4(g)

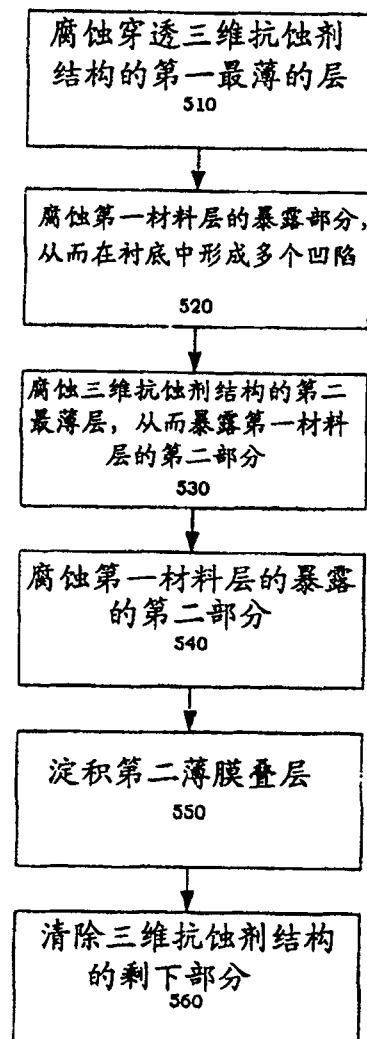


图 5

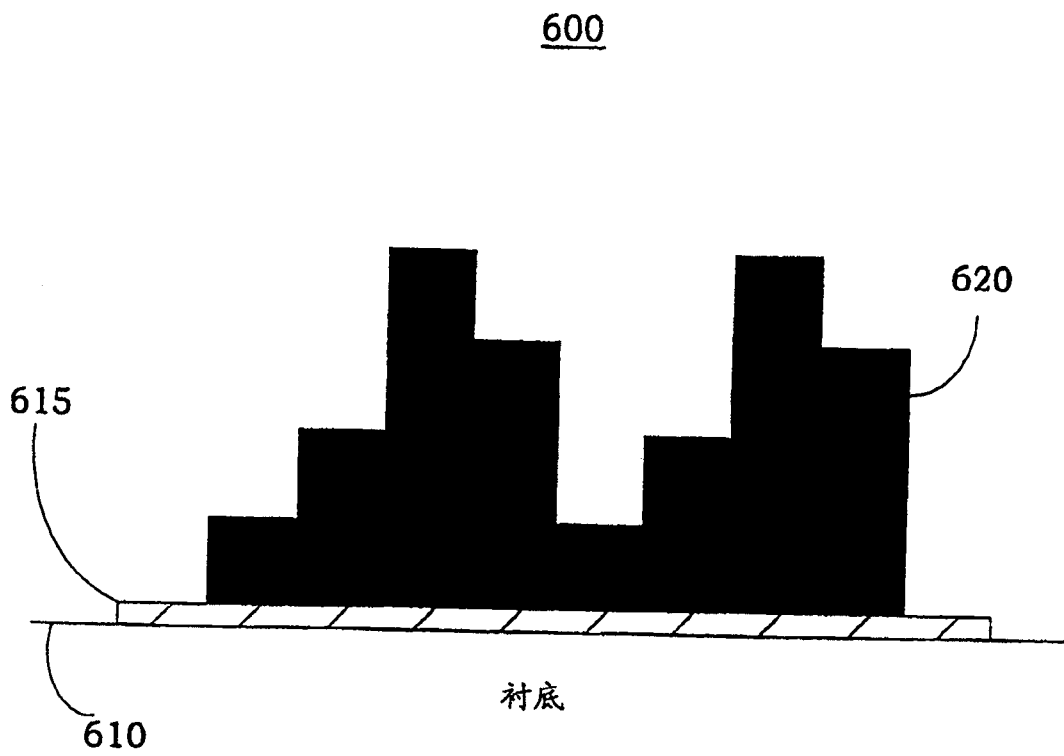


图 6(a)

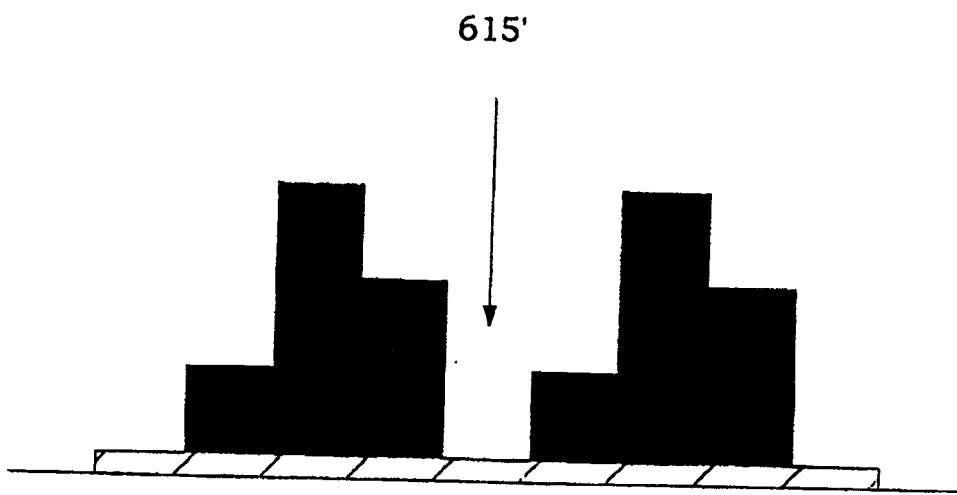


图 6(b)

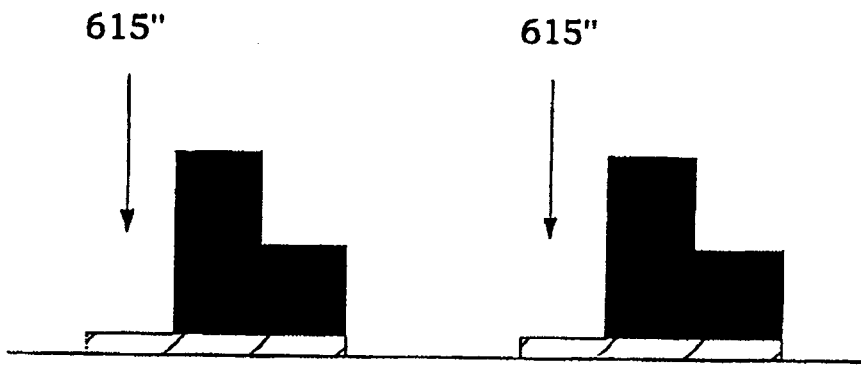


图 6(c)

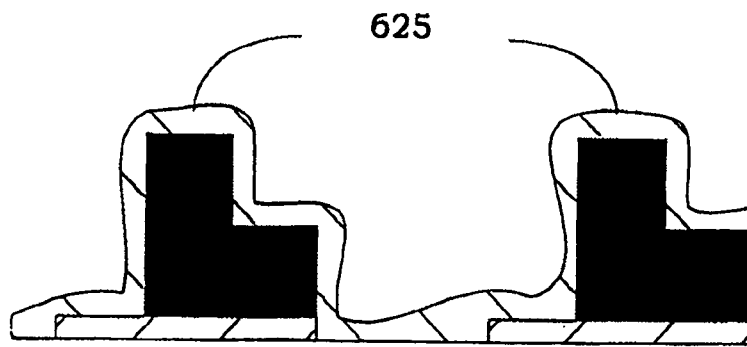


图 6(d)

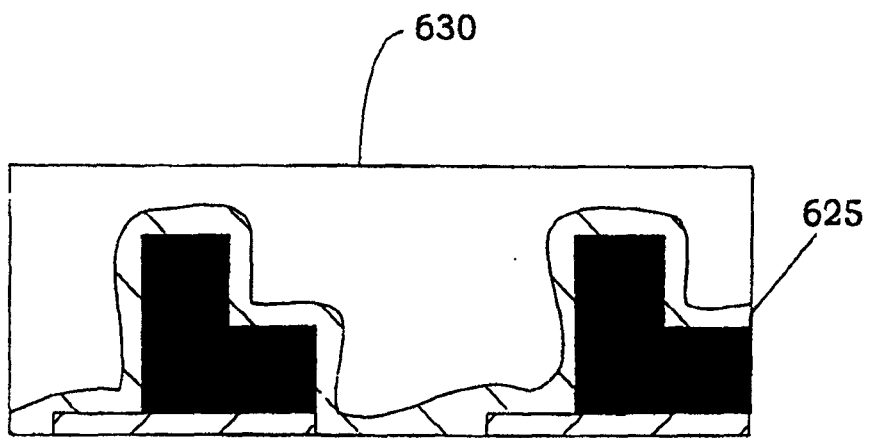


图 6(e)

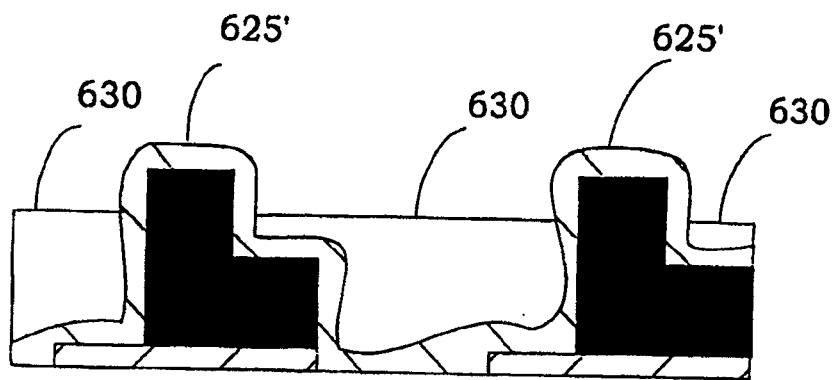


图 6(f)

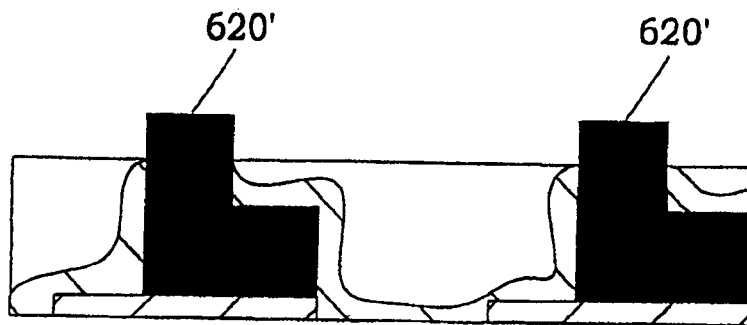


图 6(g)

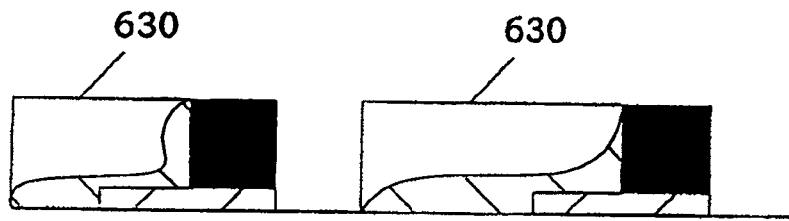


图 6(h)

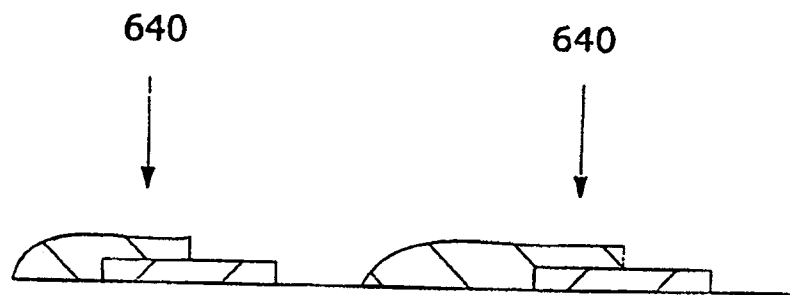


图 6(i)

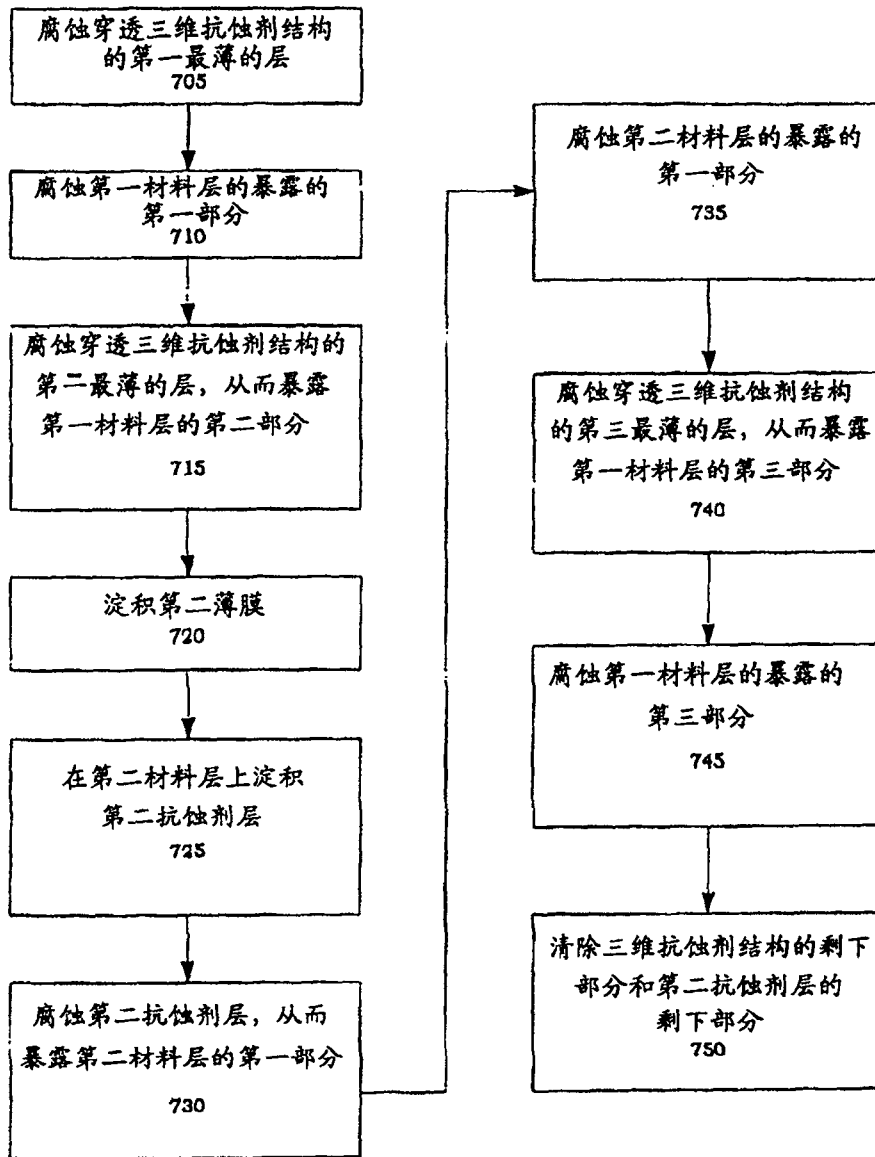


图 7

毛细管效应的例子

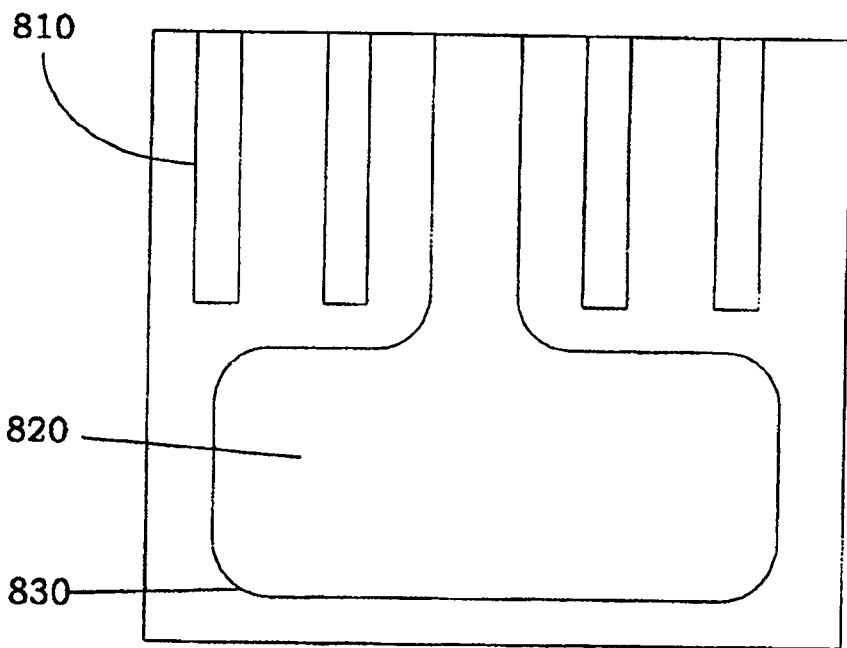


图 8

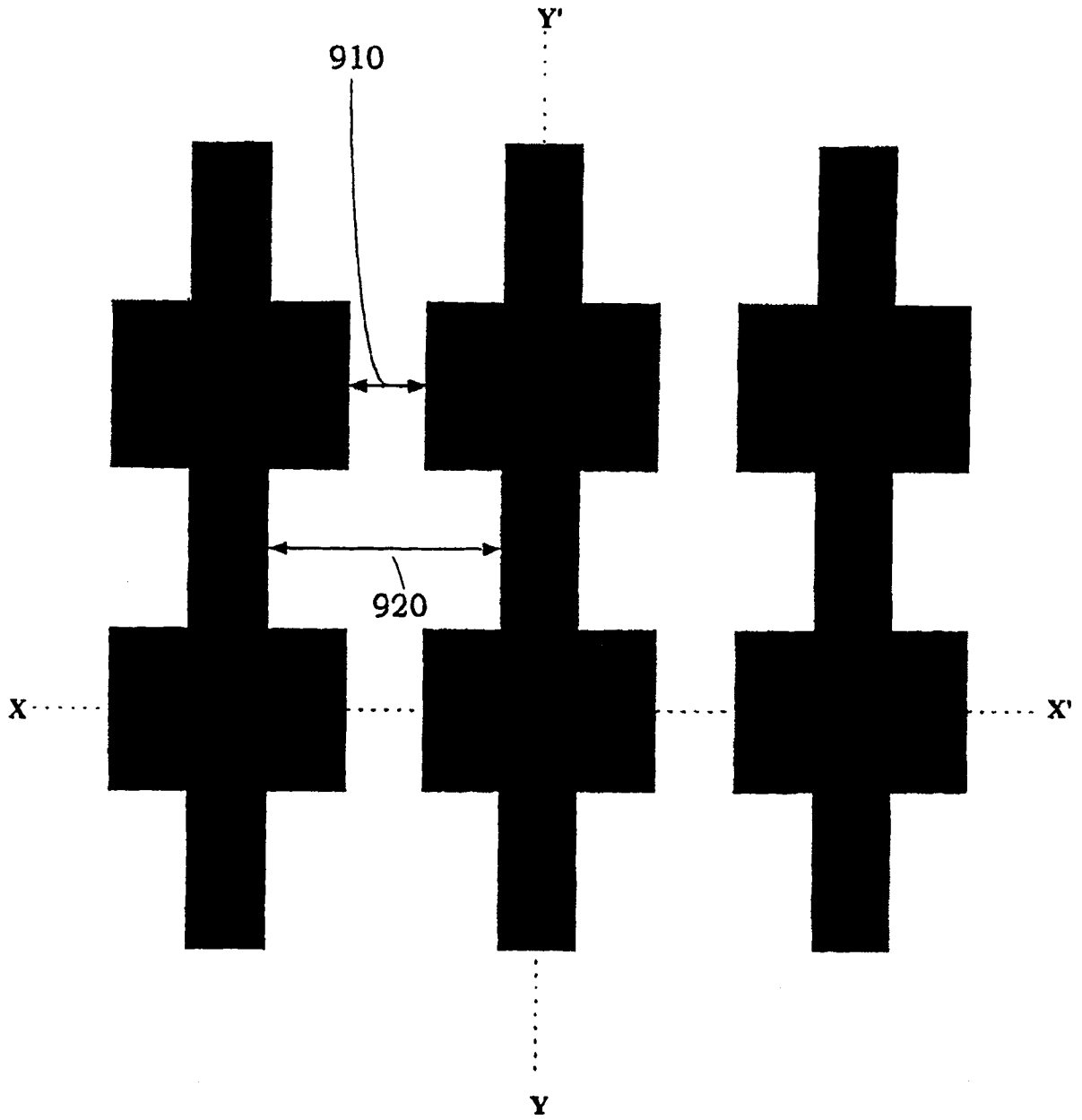


图 9

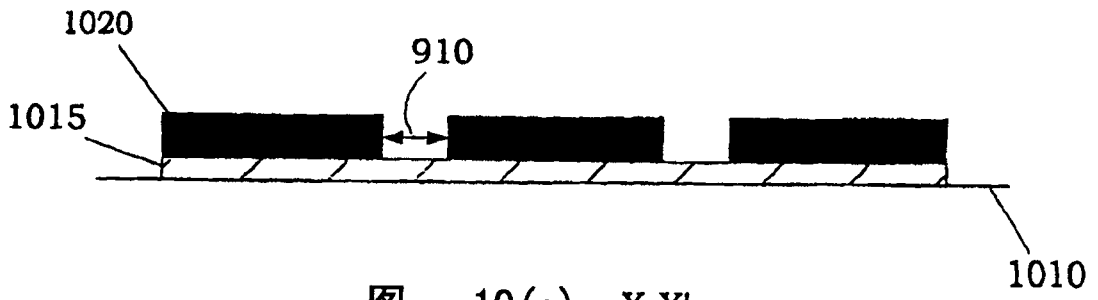


图 10(a) X-X'

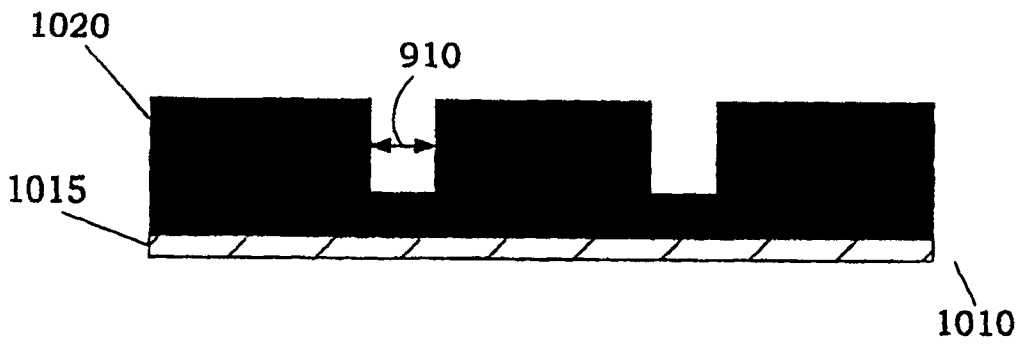


图 10(b) Y-Y'

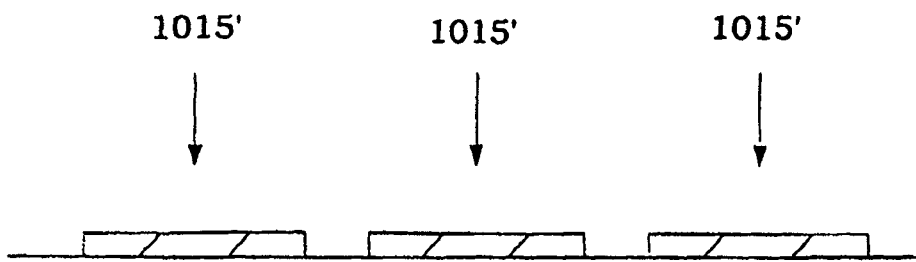


图 10(c) X-X'

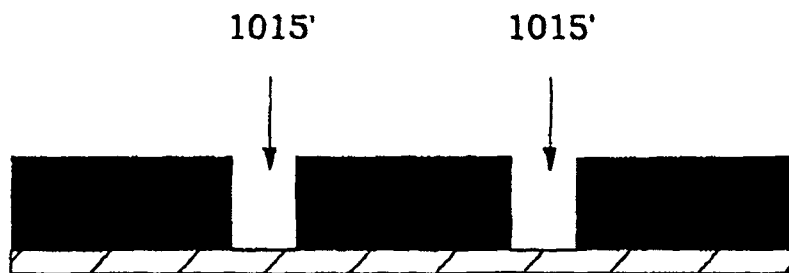


图 10(d) Y-Y'

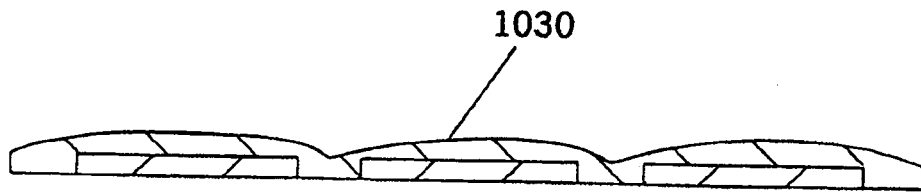


图 10(e) X-X'

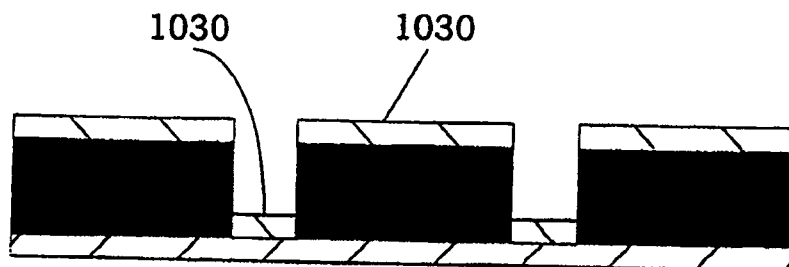


图 10(f) Y-Y'

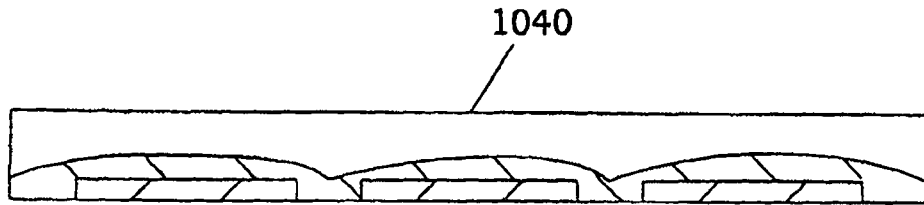


图 10(g) X-X'

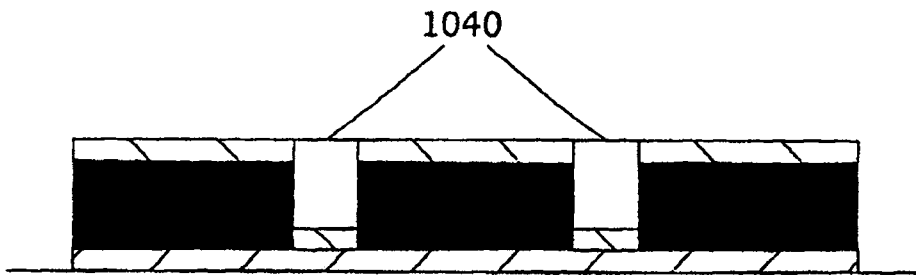


图 10(h) Y-Y'



图 10(i) X-X'

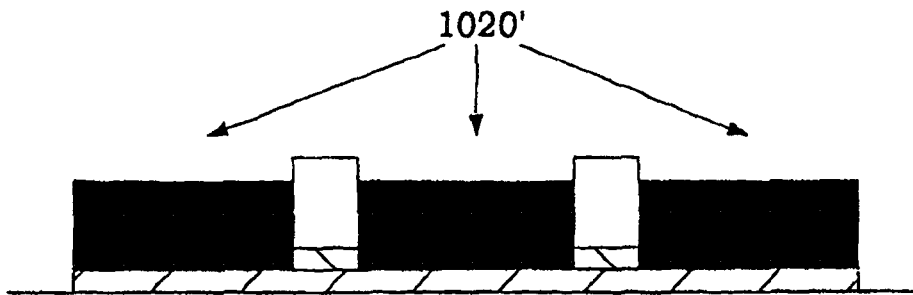


图 10(j) Y-Y'

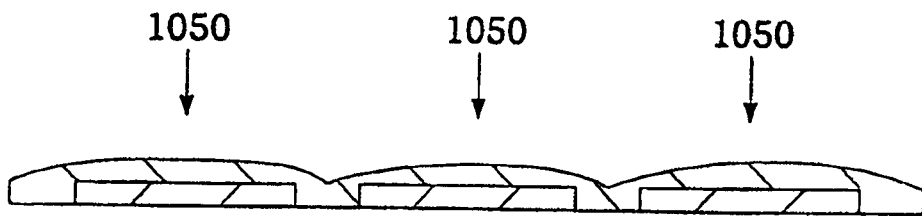


图 10(k) X-X'

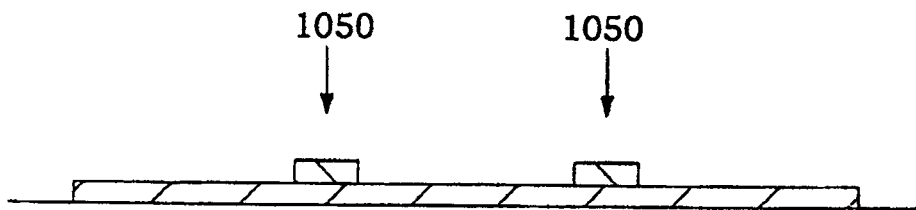


图 10(l) Y-Y'

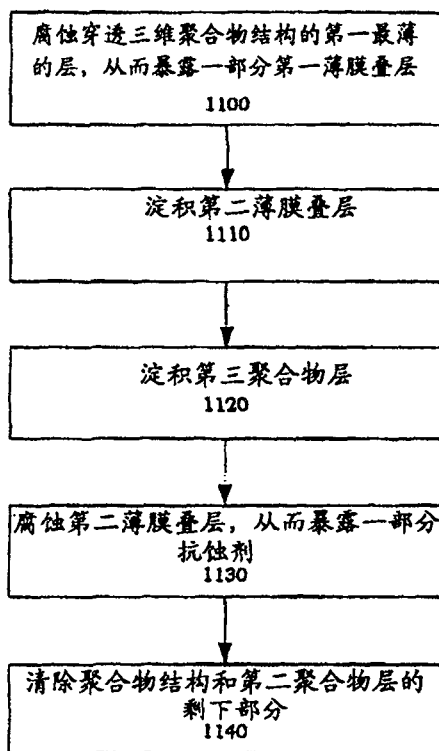


图 11