



(12) 发明专利

(10) 授权公告号 CN 101946237 B

(45) 授权公告日 2012. 12. 12

(21) 申请号 200980105625. 1

(22) 申请日 2009. 01. 16

(30) 优先权数据

12/034, 888 2008. 02. 21 US

(85) PCT申请进入国家阶段日

2010. 08. 18

(86) PCT申请的申请数据

PCT/US2009/031202 2009. 01. 16

(87) PCT申请的公布数据

W02009/105295 EN 2009. 08. 27

(73) 专利权人 飞思卡尔半导体公司

地址 美国得克萨斯

(72) 发明人 张沙彦 威廉·C·莫耶

于伊·B·恩古叶恩

(74) 专利代理机构 中原信达知识产权代理有限

责任公司 11219

代理人 刘光明 穆德骏

(51) Int. Cl.

G06F 12/00 (2006. 01)

G06F 13/16 (2006. 01)

(56) 对比文件

US 5809552 A, 1998. 09. 15,

US 2007/0271449 A1, 2007. 11. 22,

US 2003/0135794 A1, 2003. 07. 17,

US 2007/0174584 A1, 2007. 07. 26,

审查员 武晓冬

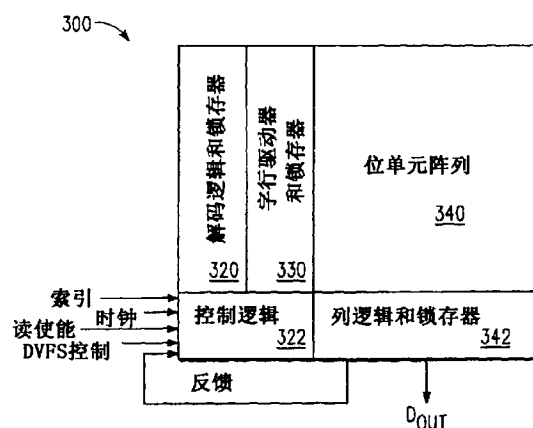
权利要求书 3 页 说明书 9 页 附图 9 页

(54) 发明名称

存储器电路中可调的流水线

(57) 摘要

本发明提供了一种技术, 该技术用于操作存储器电路 (18、300、400、908、1208), 以针对存储器电路的至少一些操作点改进存储器电路 (1002、1004、1006) 的性能和 / 或功耗 (1052、1054、1056), 并且包括: 至少部分基于存储器的操作点调节 (1100) 多个可操作流水线级 (401、403)。在本发明的至少一个实施例中, 用于操作存储器电路的方法包括: 至少部分基于存储器电路产生的反馈信号 (feedback、flush_ok、flush_ok1、flush_ok2、flush_ok3、flush_ok4、cycle_flush_through_ok) 选择操作存储器电路的模式 (flush_mode、flush1、flush2、mem_flush_control_bits)。该技术包括基于存储器电路的选择的操作模式使用多个流水线级操作 (图 5、图 8) 存储器电路。在本发明的至少一个实施例中, 该技术包括感测 (608、708) 与各个流水线级 (401) 相关的时序容限 (容限) 并且基于此产生反馈信号。



1. 一种操作存储器电路的方法,包括:
至少部分基于所述存储器电路产生的反馈信号,选择操作所述存储器电路的模式;以及
使用多个流水线级来操作所述存储器电路,所述流水线级的数量基于所选择的所述存储器电路的操作模式。
2. 根据权利要求1所述的方法,还包括:
感测与所述存储器电路的各个电路部分相关的时序容限并且基于此产生所述反馈信号。
3. 根据权利要求1所述的方法,其中,部分基于与所述存储器电路的控制时钟信号的频率和所述存储器电路的电源电压的电平中的至少一者的值对应的操作模式信息的表格的至少一条记录,选择所述操作模式。
4. 根据权利要求3所述的方法,其中所述操作模式信息基于由与所述控制时钟信号的频率和所述电源电压的电平对应的所述存储器电路的目标等待时间和所述存储器电路的目标功耗组成的组中的至少一者。
5. 根据权利要求1所述的方法,其中,部分基于操作点的改变的大小和方向,选择所述操作模式。
6. 根据权利要求1所述的方法,其中,基于至少部分由连接到所述存储器电路的一个或多个指令处理单元执行的指令,选择所述操作模式。
7. 根据权利要求1所述的方法,其中,基于至少从包括所述存储器电路的集成电路的管脚接收的配置信息,选择所述操作模式。
8. 根据权利要求1所述的方法,还包括:
将操作点与至少一个阈值进行比较,并且基于此产生指标,
其中,基于所述指标选择所述操作模式。
9. 根据权利要求1所述的方法,其中使用多个流水线级来操作所述存储器电路包括:
当所述流水线级的数量是第一数量时,与控制时钟信号同步地,将第一电路部分的结果提供到第二电路部分;以及
当所述流水线级的数量是第二数量时,与所述控制时钟信号不同步地,将所述第一电路部分的结果提供到所述第二电路部分。
10. 根据权利要求1所述的方法,其中使用多个流水线级来操作所述存储器电路包括:
至少部分基于所述流水线级的数量选择性地配置至少一个状态元件为透明的。
11. 根据权利要求10所述的方法,其中所述至少一个状态元件包括锁存电路。
12. 一种集成电路,包括:
第一存储器电路;以及
控制电路,所述控制电路被配置为至少部分基于所述第一存储器电路产生的反馈信号选择所述第一存储器电路的操作模式,
其中所述第一存储器电路被配置为用多个流水线级来进行操作,所述多个流水线级的数量基于所选择的所述第一存储器电路的操作模式。
13. 根据权利要求12所述的集成电路,其中所述反馈信号表示与所述第一存储器电路的各个电路部分相关的时序容限。

14. 根据权利要求 12 所述的集成电路,还包括:

第二存储器电路,所述第二存储器电路连接到所述控制电路并且被配置为存储与由所述第一存储器电路的控制时钟信号的频率和所述第一存储器电路的电源电压的电平组成的组中的至少一者的值对应的操作模式信息,

其中所述控制电路被配置为:部分基于与所述控制时钟信号的特定频率和所述电源电压的特定电平对应的所述第二存储器电路的内容,选择所述操作模式。

15. 根据权利要求 14 所述的集成电路,其中所述第二存储器电路的所述内容基于由与所述控制时钟信号的所述特定频率和所述电源电压的所述特定电平对应的所述第一存储器电路的目标等待时间和所述第一存储器电路的目标功耗组成的组中的至少一者。

16. 根据权利要求 12 所述的集成电路,其中所述控制电路包括至少一个指令处理单元,所述指令处理单元被配置为至少部分基于在所述集成电路上执行的程序的指令的至少部分执行而选择所述操作模式。

17. 根据权利要求 12 所述的集成电路,其中所述第一存储器电路包括:

第一感测放大器电路,所述第一感测放大器电路被配置为:与存储器时钟信号同步地,响应于感测放大器使能信号,感测来自存储器阵列的多个位中的至少一个;以及

第二感测放大器,所述第二感测放大器被配置为:响应于延迟了的所述感测放大器使能信号,感测来自所述存储器阵列的所述多个位中的至少一个的位,并且基于在所述第二感测放大器的输出处产生的不同电压值产生所述反馈信号。

18. 根据权利要求 12 所述的集成电路,其中所述第一存储器电路包括:

第一电路部分;

第二电路部分;以及

第三电路部分,所述第三电路部分连接在所述第一电路部分和所述第二电路部分之间,并且可以被配置为第一操作模式和第二操作模式,

其中,在所述第一操作模式下,所述第三电路部分接收所述第一电路部分的结果,并且将所述第一电路部分的所述结果作为操作数,与时钟信号不同步地,提供到所述第二电路部分,由此在同一流水线级中配置所述第一电路部分和所述第二电路部分,并且

其中,在所述第二操作模式下,所述第三电路部分锁存所述第一电路部分的所述结果,并且将所述第一电路部分的所述结果作为操作数,与所述时钟信号的转变同步地,提供到所述第二电路部分,由此在不同的流水线级中配置所述第一电路部分和所述第二电路部分。

19. 根据权利要求 18 所述的集成电路,其中所述第一电路部分包括存储器字行和列解码电路以及存储器数据获取电路,所述第三电路部分包括存储器行选择电路。

20. 根据权利要求 18 所述的集成电路,其中所述第一电路部分、所述第二电路部分和所述第三电路部分中的至少一者包括动态逻辑电路。

21. 一种集成电路,包括:

用于使用多个流水线级提供存储器电路的存储元件阵列的内容的装置;以及

用于至少部分基于由所述用于提供存储元件阵列的内容的装置所产生的反馈信号来选择所述用于提供存储元件阵列的内容的装置的操作模式的装置,

其中所述流水线级的数量基于所述用于提供存储元件阵列的内容的装置的操作模式,

其中所述反馈信号表示与所述存储器电路的各个电路部分相关的时序容限。

存储器电路中可调的流水线

技术领域

[0001] 本发明总体上涉及存储器系统,更具体来讲,涉及流水线型存储器系统。

背景技术

[0002] 通常,存储器电路被设计成在特定操作点满足特定性能目标。可以通过峰值性能操作点的存储器电路的等待时间和功耗来定义性能目标,例如,峰值控制时钟信号频率和特定电源电压。为了实现性能目标,可以用插入逻辑电路之间的状态元件(例如,锁存电路、触发器或其他合适的状态元件)通过流水线访问存储器电路。通常,流水线型存储器电路的各个流水线级被设计成在与性能目标相关的操作点利用控制时钟信号的整个时间段。然而,在真实的操作条件下,通过流水线型存储器电路的各个流水线级的传播延迟,即从各个流水线级的输入到各个流水线级的输出的延迟不是恒定的。传播延迟会有由于温度、电源电压或其他操作条件变化而变化。

附图说明

[0003] 本发明通过实例的方式示出并且不受附图限制,其中相似的参考标号表示相似的元件。附图中的元件是出于简明清晰的原因示出并且不必按比例绘制。

[0004] 图 1 是根据本发明的至少一个实施例的示例性数据处理系统的框图。

[0005] 图 2 是示例性流水线型存储器电路的框图。

[0006] 图 3 是根据本发明的至少一个实施例的示例性流水线型存储器电路的框图。

[0007] 图 4 是根据本发明的至少一个实施例的示例性流水线型存储器电路部分的框图。

[0008] 图 5 是示出根据本发明的至少一个实施例配置的图 4 中的流水线型存储器电路部分的波形的时序图。

[0009] 图 6 是示出用于产生存储器电路反馈信号的示例性技术的框图。

[0010] 图 7 是示出用于产生存储器电路反馈信号的示例性技术的框图。

[0011] 图 8 是示出根据本发明的至少一个实施例配置的图 4 中的流水线型存储器电路部分的波形的时序图。

[0012] 图 9 是根据本发明的至少一个实施例的示例性控制系统的框图。

[0013] 图 10 示出根据本发明的至少一个实施例的存储器结构的示例性操作点。

[0014] 图 11 是示出根据本发明的至少一个实施例的示例性控制流程的状态图。

[0015] 图 12 是根据本发明的至少一个实施例的示例性控制系统的框图。

[0016] 不同附图中使用相同的参考标号表示相似或相同的项。

具体实施方式

[0017] 在通常的流水线型存储器电路中,流水线型存储器电路的各个流水线级可以利用分配到流水线级的控制时钟信号的整个部分,所述整个部分可以是控制时钟信号的整个时间段。虽然流水线会提高存储器在目标操作点操作时存储器电路的性能,但是流水线会限

制其他操作点的存储器电路的存储性能。随着控制时钟信号频率降低,典型流水线型存储器电路的等待时间单调劣化,同时各个流水线级中时序容限增加。本文所引用的“流水线级的时序容限”是当以目标频率操作时分配到流水线级的时钟信号的部分与流水线级用于完成处理输入并产生输出所需的时间之间的差。当流水线型存储器电路被配置用于与性能目标相关的操作点时,存储器电路比在其他操作点(例如,较低的电源电压和/或较低的控制时钟信号频率)消耗更多的功率。通常,在流水线型存储器电路中,随着存储器电路尺寸的增加,状态元件(例如,锁存器、触发器或其他合适的状态元件)的数量成指数增加,并且这些状态元件的功耗占存储器总功耗的绝大部分。

[0018] 因此,流水线型存储器电路的性能和功耗之间的关系不会与电源电压电平和/或控制时钟信号频率的缩放成比例地改进。另外,满足用于一个应用(例如,后端缓存阵列)的特定目标操作条件(例如,特定频率和电源电压电平)的存储器电路设计不会满足关于其他应用(例如,以较低频率操作的多芯前端/平台缓存阵列)的规格,所述其他应用需要额外的流水线时间来满足可靠的需求,例如,误差校正码操作或其他平台功能特征。此外,与各个流水线级相关的时序容限会动态变化(例如,由于温度变化、电源电压电平变化、操作频率调节或针对其他操作条件的改变)并且对流水线型存储器电路的性能和功耗产生不利影响。因此,所需的是用于操作存储器电路的新技术。

[0019] 针对存储器电路的至少一些操作点改进存储器电路的性能和/或功耗的用于操作存储器电路的技术包括:至少部分基于存储器的操作点,调节多个操作流水线级。在本发明的至少一个实施例中,用于操作存储器电路的方法包括:至少部分基于存储器电路产生的反馈信号,选择操作存储器电路的模式。该方法包括:基于所选择的存储器电路操作模式,使用多个流水线级操作存储器电路。在本发明的至少一个实施例中,该技术包括感测与各个流水线级相关的时序容限并且基于此产生反馈信号。

[0020] 参照图 1,示例性数据处理系统包括集成电路(例如,集成电路 7),集成电路可以通过接口(例如,外部总线接口 13 和总线 9)连接到外部电路(例如,其他电路 17、缓冲存储器电路 20 和存储器电路 15)。集成电路可以包括处理器电路(例如,处理器电路 11),处理器电路可以包括缓冲存储器电路(例如,缓冲存储器电路 18)。处理器电路 11 可以是微处理器、微控制器、数字信号处理器或其他合适的信息处理电路。另外,在数据处理系统 10 的至少一个实施例中,集成电路 7 包括(例如,通过总线 8)连接到处理器电路的其他电路(例如,缓冲存储器电路 19、存储器电路 14、存储器管理单元 12 和其他电路 16)。在集成电路 7 内示出的组件的类型、数量或布置只是示例性的,并且普通技术人员将理解,根据本发明的系统和/或集成电路实施例可以(更通常地)包括组件的其他类型、数量和布置。

[0021] 通常,存储器 14、15、18、19 和 20 可以存储任何类型的信息(例如,地址、数据、标签或其他合适的信息),其中(或者结合其)以存储器层次中的一等级执行流水线阵列访问。类似地,类似设计的缓存 19 和/或其他组件可以作为存储器管理单元的一部分出现。虽然图 1 示出单独的存储器 14 和缓存 19,根据本发明的其他实现方式可以包括一个而不包括另一个,或者可以将存储器层级的两个或更多个等级组合成一个元件或块。

[0022] 虽然所描述的组件被实现为示例性的集成电路 7,但是在其他实施例中,一个或多个组件可以在单独的集成电路中实现。使用任何合适的技术使所示的集成电路 7 的内部组件互连并且互通。为了简明起见,通过总线 8 示出主要功能块的互连,尽管本领域的普通技

术人员将认识到,在不脱离本发明的情况下,可以采用各种互连技术和布局中的任意一种。

[0023] 本文描述的技术可以以数据处理系统 10 的一个或多个存储器电路或者其他合适的存储器电路来实施。虽然针对示例性的缓冲存储器电路描述这些技术,但是本领域的普通技术人员将认识到,可以采用各种存储器电路中的任意一种。参照图 2,示例性的缓冲存储器电路 200 包括解码逻辑和锁存电路 220、字行驱动器 230、位单元阵列 240、列逻辑和锁存器 242 以及控制逻辑电路 222。缓冲存储器电路 220 是将存储器访问以合适的边界分成多个级的示例性流水线型存储器电路。各个流水线级受控制逻辑电路 222 控制,控制逻辑电路 222 响应于控制时钟信号、读使能信号和索引值产生控制信号。例如,缓冲存储器电路 200 可以分成两个流水线级。第一流水线级可以包括解码逻辑级(例如,解码逻辑和锁存电路 220)、字行驱动器(例如,字行驱动器 230)和存储器阵列(例如,位单元阵列 240)。解码逻辑级至少部分解码地址(例如,索引)并存储结果。解码逻辑和锁存电路 220 的输出被提供到字行驱动器 230 和位单元阵列 240,其向包括例如列逻辑和锁存电路 242 的第二流水线级提供存储器内容。选择特定的列输出,并且可以对 D_{OUT} 设置新数据(每个时钟周期一个新数据值和两个时钟周期的等待时间的通过量)。

[0024] 对于至少一个操作点,缓冲存储器电路部分 200 被分成流水线级,所述流水线级利用以目标性能(即,控制时钟信号的目标频率,例如,2GHz)操作的控制时钟信号的整个周期执行存储器访问的对应部分。然而,可以针对不同的操作点,例如,与目标性能操作点相比具有较低的电源电压和/或较低的控制时钟信号频率的操作点,配置缓冲存储器电路部分 200。因此,电源电压电平和/或缓冲存储器电路部分 200 的控制时钟信号频率降低,由此延长缓冲存储器电路部分 200 的等待时间。因为在一致的电源电压水平下控制时钟信号的频率减小或者控制时钟信号频率和电源电压电平都减小,所以各个流水线级的时序容限增大。

[0025] 由于对于以较低操作点进行操作的完全流水线型模式,缓冲存储器电路部分 200 中的各个流水线级没有利用控制时钟信号的整个时间段,所以图 3 中的缓冲存储器电路部分 300 包括可调的流水线。在某些条件下,流水线可以被配置成以缓冲存储器电路部分 300 的较少的级(即,以一个或多个冲刷模式(flush-through mode))进行操作,由此与在相同操作点的完全流水线型操作相比,缓冲存储器电路部分 300 的等待时间缩短。因此,缓冲存储器电路部分 300 可以被动态配置成,在与目标操作点相比具有较低电源电压电平和/或控制时钟信号频率的操作点,利用过量的时序容限。例如,当针对峰值性能(例如, $f_{\text{峰值}}$ 、 $V_{\text{峰值}}$)配置缓冲存储器电路部分 300 相比,所有的冲刷模式都是失效。然而,当缓冲存储器电路部分 300 被配置成以低功率模式(例如, $f_{\text{峰值}}/2$ 、 V_{DD2})操作时,与完全流水线型模式相比使用至少更少一个流水线级的第一冲刷模式可以使能。当缓冲存储器电路部分 300 被配置成以甚至更低的功率/性能模式($f_{\text{峰值}}/4$ 、 V_{DD3})操作时,使用甚至更少的流水线级的对应冲刷模式可以使能。在缓冲存储器电路部分 300 的至少一个实施例中,基于可以通过任何合适技术产生的集成电路 7 中至少部分的操作的缩放电源电压电平和/或缩放频率的指标(例如,DVFS 控制),控制逻辑 322 配置缓冲存储器电路部分 300 以在这些低功率模式下操作。在缓冲存储器电路部分 300 的至少一个实施例中,DVFS 控制信号由控制单元(例如,下述的图 9 中的控制系统 900)产生,该控制单元调节由缓冲存储器电路部分 300 中的至少部分接收的电源电压电平和/或用于控制缓冲存储器电路部分 300 中的操作时序的控制时

钟信号的频率。

[0026] 虽然所描述的组件被实施为示例性的缓冲存储器电路部分 300,但是在图 1 中的数据处理系统 10 的至少一个实施例中,在对应的存储器电路部分外部实现一个或多个组件,并由其他电路共用这些组件。例如,本领域的普通技术人员将认识到,可以通过集成电路 7 的其他部分或通过数据处理系统 10 的其他部分实现控制逻辑电路 322 的至少部分功能。

[0027] 返回参照图 3,示例性的缓冲存储器电路部分 300 包括可调的流水线,该流水线具有如图 4 的存储器电路部分 400 所示的操作的示例性划分。缓冲存储器电路部分 300 的解码逻辑和锁存器 320、字行驱动器 330 和位单元阵列 340 的操作被组合成第一流水线级(例如,图 4 中的流水线级 401),并且图 3 中的列逻辑和锁存器 342 和另外的逻辑电路的操作被组合成第二流水线级(例如,图 4 中的流水线级 403)。

[0028] 参照图 4 和图 5,流水线级 401 包括前端电路 404,前端电路 404 对索引或存储器地址执行解码功能并且产生输出(例如,字行选择、列选择和部分选择)。在完全流水线型操作中,前端电路 404 的输出在控制时钟信号的高相位(例如,CLK 的 C2 相位)期间发生改变(例如,转变 502)并且被锁存器 406 锁存,其将控制时钟信号的低相位(例如,CLK 的 C1 相位)的数据传输到后端电路 408。在存储器电路部分 400 的至少一个实施例中,前端电路 404 包括行解码器、列解码器、多路复用电路和/或其他合适的电路。

[0029] 流水线级 40 还包括后端电路 408,后端电路 408 通过确认字行并且感测和访问存储器阵列电路的位线,对存储器阵列进行访问。在存储器电路部分 400 的至少一个实施例中,后端电路 408 包括感测放大器、存储器单元、多路复用电路和/或其他合适的电路。注意的是,在存储器电路部分 400 的至少一个实施例中,后端电路 408 包括动态逻辑电路,例如包括如下输出节点的逻辑结构,即,该输出节点在控制时钟信号的第一相位被预充电至特定的电压电平并且在控制时钟信号的另一个相位被有条件地放电。

[0030] 例如,在存储器电路部分 400 的至少一个实施例中,后端电路 408 访问来自存储器单元的数据并且将其提供到数据输出信号,例如选择字行并且在位线上形成对应的信号。与后端电路 408 中的阵列连接的位线在控制时钟信号的高相位被预充电(例如,转变 512)。字行选择信号在控制的低相位发生转变(例如,WL 的转变 504),并且在控制时钟信号的低相位期间在位线上形成这些信号(例如,转变 516)。当例如 SAEQ 在控制时钟信号的低位的第一部分期间为高时,感测放大器中的节点被设置为静态值(例如,转变 514),并且就在字行选择信号被激活为高之前被重新设置为低(例如,SAEQ 的转变 518)。当 SAEN 为高(例如,转变 506)时,感测到位线上的数据,且后端电路 408 的输出因此由锁存器 410(例如,SA_OUT_SL2)传输到下一个电路。锁存了的存储器阵列的感测放大器输出(例如,SA_OUT_SL2)随后被提供到流水线级 403。在完全流水线型操作中,控制时钟信号的第一相位期间的前端电路 404 的操作和控制时钟信号的第二相位期间的后端电路 408 的操作导致在控制时钟信号的一个完整周期内流水线级 401 的存储器阵列以及列解码和字行的执行。

[0031] 在本发明的至少一个实施例中,流水线级 403 包括选择电路 412,选择电路 412 从 SA_OUT_SL2 信号中选择合适的信号(例如,方式选择、部分选择、数据重排或其他合适的操作)。在完全流水线型操作期间,选择电路 412 的输出存储在触发器 414 中,并且在控制时钟信号的下降沿(例如,转变 508)之后由存储器电路部分 400 提供新数据。在本发明的

至少一个实施例中,流水线级 403 还包括数据处理逻辑电路 420,数据处理逻辑电路 420 对 SA_OUT_SL2 信号中包括的合适信号执行逻辑处理,例如,误差校正代码操作和 / 或其他合适的处理。在完全流水线型操作期间,数据处理逻辑 420 的输出在控制时钟信号的特定相位期间被锁存。因此,在完全流水线型操作期间,流水线级 403 的数据选择和处理操作在控制时钟信号的至少一半周期内执行。

[0032] 存储器电路部分 400 的一个或多个的单个电路部分产生反馈信号,例如 flush_ok1、flush_ok2、flush_ok3 和 flush_ok4,这些信号表示电路部分是否超过了时序容限和 / 或表示对应电路部分的时序容量。参照图 6,可以在后端电路 408 中包括的示例性电路部分产生可以为 flush_ok 信号的信号。电路 600 示出存储器阵列中包括的位单元 602。位线 BL 和 XBL 被预充电并且在读访问期间被放电,以反映位单元 602 的内容。感测放大器 606 根据 SA_EN 信号基于其 BL 和 XBL 的估计产生数据信号。可编程延迟电路 610 用于通过针对与感测放大器 606 类似的另一个感测放大器 (例如,感测放大器 608) 延迟 SA_EN 信号确定读操作的容限。如果感测放大器 608 的输出被正确地估计,则存在如下的时序容限,即,使用任何合适的技术基于可编程延迟的大小可量化该时序容限。

[0033] 参照图 7,后端电路 408 中可包括的反馈信号产生电路的另一个实施例包括 NAND 门感测电路 708。位单元 702 和感测放大器 706 受电路 710 控制。NAND 门感测电路 708 具有预定的触发点,即 VDD 的一部分 ($k \cdot V_{DD}$)。如果存在时序容限,则 NAND 门感测电路将正确估计位单元 704 的输出。可以使用任何合适的技术,基于 NAND 门感测电路 708 的触发点量化时序容限。

[0034] 返回参照图 4,虽然存储器电路部分 400 针对前端电路 404、后端电路 408、选择电路 412 和数据处理逻辑电路 402 中的每个都包括一个反馈信号,但是在存储器电路部分 400 的至少一个实施例中,可以仅通过各个电路部分中的一个或多个产生反馈信号。例如,基本上平衡的流水线的任何一个流水线级可以产生反馈信号,以表示是否存在时序容限或者表示流水线级中的时序容量。或者,只有最差情况的流水线级产生反馈信号。在存储器电路部分 400 的至少一个实施例中,与存储器电路部分 400 连接的控制电路 (例如,图 3 中的控制逻辑电路 322) 可以使用反馈信号以选择操作模式。所选择的操作模式可以是完全流水线型的操作模式或冲刷的操作模式,即,使用数量减少的流水线级执行流水线的操作模式。特定的存储器电路可以具有根据合并成另一个流水线级 (即,冲刷) 的流水线级的数量而不同的多个冲刷模式。例如,在完全流水线型操作下具有四级流水线的存储器电路还可以在冲刷模式下单独操作,这些冲刷模式对应于具有三个流水线级、两个流水线级或一个级 (即,在存储器电路本身中没有流水线,但是却在存储器电路的边界处包括状态元件) 的存储器电路的各个配置。

[0035] 在冲刷的操作模式下,流水线的一个或多个状态元件被配置为是透明的。例如,可以使用多路复用器将状态元件完全旁路,以选择包括状态元件的路径或将状态元件旁路的可供选择的路径。或者,在冲刷模式下,状态元件可以被配置成与控制时钟信号同步地直接将输入信号传输到输出节点。在存储器电路部分 400 的至少一个实施例中,不同于将状态元件旁路,对控制时钟信号与表示冲刷模式的控制信号执行逻辑 OR 操作。例如,flush1 用于控制锁存器 406 和锁存器 410。当 flush1 为低时,锁存器 406 和 410 被配置用于与时钟控制信号同步地将各个输入信号传输到对应的输出节点。当 flush1 为高时,锁存器 406 和

410 被配置用于与时钟控制信号同步地将各个输入信号传输到对应的输出节点。结果,流水线级 401 和 403 被组合成单个流水线级,以执行与完全流水线型配置相比等待时间缩短的那些流水线级的对应操作。

[0036] 参照图 4 和图 8,当存储器电路部分 400 被配置用于对应于第一时钟频率阈值(例如, $f_{\text{峰值}}/2$) 的第一冲刷操作模式(例如, $\text{flush1} = '1'$ 且 $\text{flush2} = '0'$) 时,前端电路 404 的输出在控制时钟信号的第一相位期间发生改变并且被传输通过锁存器 406 到后端电路 408。与后端电路 408 中的阵列连接的位线在控制时钟信号的高相位期间被预充电(例如,转变 810)。字行选择信号在控制的低相位期间转变(例如,转变 802),并且这些信号在控制时钟信号的低相位期间形成在位线上。在后端电路 408 的至少一个实施例中,感测放大器在冲刷的操作模式下使能。因此,当 SAEN 为高时(例如,具有虚线 SAEN 波形的转变 808) 感测到位线上的数据,并且后端电路 408 的输出被传输通过锁存器 410(例如, SA_OUT_SL2) 到流水线级 403。

[0037] 在后端电路 408 的至少一个实施例中, SAEN 信号在冲刷的操作模式下失效,使得所选择的位线传播通过失效的感测放大器并且产生 SA_OUT 以及 SA_OUT_SL2 通过锁存器 410(例如,转变 818) 到流水线级 403。阵列输出的特定部分被选择电路 412 选择并且提供到数据处理逻辑电路 420。随后,数据处理逻辑电路 420 的结果在控制时钟信号的低相位期间传播到 OUT2(例如,转变 822)。新数据在控制时钟信号的低相位期间由存储器电路部分 400 提供并且在控制时钟信号的上升沿(例如,由转变 822 和 832 限定)之后使能。注意的是,在输出提供数据,与完全流水线型配置相比等待时间延长(例如,当感测放大器使能时延长了高达时钟周期的一半,并且当感测放大器禁用时延长了大于时钟周期的一半)。

[0038] 返回参照图 4,在存储器电路部分 400 的至少一个实施例中,由于随着时钟频率减小,流水线的等待时间延长,因此,通过使用对应于第二时钟频率阈值(例如, $f_{\text{峰值}}/4$) 的一个或多个另外的控制信号(例如, flush2) 将另外的流水线级组合成单个流水线级,流水线级的数量会减少。例如,当控制时钟信号频率下落到第二时钟频率阈值以下时,确认 flush2 ,由此将锁存器 422 配置成透明的。因此,在没有明显延迟并且与时钟控制信号不同步的情况下, DOUT2A 传输到 OUT2。结果,前端电路 404、后端电路 408、选择电路 412 和数据处理逻辑电路 420 形成单个流水线级,该流水线级的等待时间至多为控制时钟信号的一个周期。注意的是,图 4 中的存储器电路划分只是示例性的。本领域的普通技术人员将认识到,可以以其他合适的电路边界划分流水线型存储器电路的其他实施例。

[0039] 参照图 9,示例性的集成电路处理器(例如,图 1 中的处理器 11) 包括控制系统 900 的至少部分。在控制系统 900 的至少一个实施例中,控制单元 902 检测输入(例如,图 1 中与集成电路 7 连接的熔丝的状态或者集成电路 7 的输入管脚上的信号),以针对完全流水线型操作或冲刷操作配置缓冲存储器电路 908。在至少一个实施例中,根据控制寄存器 904 的内容,控制单元 902 动态地缩放电源电压电平和 / 或处理器 11 的时钟信号频率。控制寄存器 904 可以由硬件和 / 或软件设置。例如,集成电路处理器上执行的软件可以基于图 1 中处理器 11 上执行的指令配置控制寄存器 904。无论是通过指令类型(例如, L2 半睡眠、深睡眠、侦测或当所有的线程都闲置时) 或者通过指令中另外的预解码位,这些指令配置低功率模式下的集成电路处理器。在至少一个实施例中,集成电路处理器基于流水线的操作模式信息和存储器电路的控制时钟信号的对应一个或多个频率值及一个或多个电源电

压电平的表格,选择流水线的操作模式。集成电路处理器使用存储器电路的一个或多个目标等待时间和目标功耗来访问表格(例如,控制寄存器 904 或其他合适的存储电路中存储的表格),以确定对应的操作模式并且因此配置控制寄存器 906。

[0040] 在至少一个实施例中,集成电路处理器基于从焊盘或管脚接收的一个或多个输入对控制寄存器 904 进行写操作,以初始化低频和 / 或低功率模式。返回参照图 9,控制单元 902 基于控制寄存器 904 的内容针对每个存储器电路配置局部存储器控制信号(例如,控制时钟信号频率和电源电压电平)。这些值可以存储在用于控制缓冲存储器电路 908 的存储器访问频率和电压控制寄存器 906 中。

[0041] 控制单元 902 还产生一个或多个冲刷模式控制信号,用于动态选择缓冲存储器电路 908 是否以完全流水线型模式或冲刷模式操作。参照图 9 和图 10,在至少一个实施例中,通过将特定存储器电路的操作点与存储器电路(存储器控制寄存器 906 或其他合适的存储器电路)中存储的一个或多个预定阈值电平(例如, $(F_{\text{freq1}}, V_{\text{DD1}})$ 、 $(F_{\text{freq2}}, V_{\text{DD2}})$ 、THRESH1、THRESH2、THRESH3 和 THRESH4) 比较,控制单元 902 使特定的冲刷模式使能或失效。可以基于模拟、目标操作点、温度、其他环境因素或其他合适的参数中的一个或多个确定和利用阈值电平。另外,可以确定阈值电平,以在控制环路中引入滞后,例如以保证流水线级的操作并减少操作模式之间的频繁切换。在至少一个实施例中,存储器控制寄存器 906 包括控制时钟信号的目标频率和电源电压的目标电平。

[0042] 参照图 10,示出取决于操作点的完全流水线型操作、第一冲刷操作模式和第二冲刷操作模式期间的示例性性能(例如,等待时间)和功耗。曲线部分 1002 和 1052 分别对应于以完全流水线型操作(例如,具有 n 个流水线级)配置的存储器电路部分的性能和功耗。曲线部分 1004 和 1054 分别对应于以第一冲刷操作模式(例如,具有 $n-1$ 个流水线级)配置的存储器电路部分的性能和功耗。曲线部分 1006 和 1056 分别对应于以第二冲刷操作模式(例如,具有 $n-2$ 个流水线级)配置的存储器电路部分的性能和功耗。可以基于模拟、特定操作点的目标功耗和性能、温度、其他环境因素或其他合适的参数中的一个或多个确定模式之间的转变点。

[0043] 返回参照图 4,当被配置用于完全流水线型模式(例如,控制时钟信号频率等于 $f_{\text{峰值}}$)时,从触发器 402 到触发器 414 的输出的存储器访问具有控制时钟信号的两个周期的等待时间。当控制时钟的频率从 $f_{\text{峰值}}$ 缩放为具有频率 f ($f_{\text{FREQ2}} < f < f_{\text{FREQ1}}$,例如, $f_{\text{FREQ2}}/4 < f < f_{\text{FREQ1}}/2$) 的操作点时,造成两个流水线级中的逻辑的总传播延迟小于控制时钟周期。如果总延迟小于控制时钟周期的预定百分比(例如,控制时钟周期的 85%),则当时钟缩减时损失的至少一部分性能可以通过进入冲刷模式而恢复,如 $f_{\text{FREQ1}}, V_{\text{DD1}}$ 处的从曲线部分 1002 到曲线部分 1004 的性能不连续所指示的。类似地,当控制时钟进一步地缩减至 $f_{\text{FREQ2}}, V_{\text{DD1}}$ (例如, $f_{\text{峰值}}/4$) 以下的操作点时,锁存器 422 还可以被设置成冲刷模式,进入第二冲刷模式。当时钟缩减到 f_{FREQ2} 以下时损失的至少一部分性能通过进入第二冲刷模式被恢复,如 $f_{\text{FREQ2}}, V_{\text{DD2}}$ 处的从曲线部分 1004 到曲线部分 1006 的性能不连续所指示的。

[0044] 参照图 9 和图 11,在控制系统 900 的至少一个实施例中,控制单元 902 将滞后引入选择存储器电路的操作模式的过程中,即,对于减小电源电压的值和 / 或控制时钟信号频率和对于增大电源电压的值和 / 或控制时钟信号频率,取决于电源电压和 / 或控制时钟频率的模式选择是不同的。取决于电源电压和 / 或控制时钟信号频率的模式选择依赖于电源

电压和 / 或控制时钟信号频率的改变的大小和方向。因此,模式选择不仅依赖于电源电压和 / 或控制时钟信号频率,而且还依赖于电源电压和 / 或控制时钟信号频率的之前的值。

[0045] 例如,在至少一个实施例中,控制单元 902 将下一个操作点与一个或多个阈值(图 10 中的阈值)相比,并且基于此产生一个或多个对应的指标。控制单元 902 随后至少部分基于一个或多个指标选择流水线型的操作模式。当缓冲存储器电路 908 被配置用于完全流水线型操作(例如,状态 1102)时,如果下一个操作点大于第一阈值(例如,THRESH1),则缓冲存储器电路 908 继续在下一个操作点以完全流水线型模式操作(1110)。类似地,当缓冲存储器电路 908 被配置用于完全流水线型操作并且下一个操作点在第一和第二阈值(例如,第二阈值可以被设置为第一阈值的 85%)之间时,缓冲存储器电路 908 继续在下一个操作点以完全流水线型模式操作(1108)。然而,如果缓冲存储器电路 908 被配置用于完全流水线型操作并且下一个操作点在第二阈值之下时,则控制单元 902 配置缓冲存储器电路 908 在下一个操作点处于第一冲刷模式(例如,状态 1104)(1114)。在控制单元的至少一个实施例中,除非反馈信号(例如,图 4 中的 flush_ok1 和 / 或 flush_ok2)表示存储器具有足够的时序容限来支撑第二冲刷模式,否则没有从状态 1102 到状态 1104 的转变。

[0046] 当缓冲存储器电路 908 以第一冲刷模式操作(例如,状态 1104)时,如果下一个操作点大于第一阈值,则缓冲存储器电路 908 在下一个操作点以完全流水线型模式操作(1112)。当缓冲存储器电路 908 以第一冲刷模式操作时,如果下一个操作点大于第四阈值而小于第一阈值,则缓冲存储器电路 908 在下一个操作点以第一冲刷模式操作(1116、1118、1120)。然而,如果缓冲存储器电路 908 被配置用于第一冲刷模式并且下一个操作点低于第四阈值,则缓冲存储器电路 908 在下一个操作点以第二冲刷模式操作(例如,状态 1106)(1126)。在控制单元的至少一个实施例中,除非存储器反馈信号(例如,图 4 的 flush_ok3 和 / 或 flush_ok4)表示存储器电路具有足够的时序容限支撑第二冲刷模式,否则没有从状态 1104 到状态 1106 的转变。

[0047] 当缓冲存储器电路 908 以第二冲刷模式操作(例如,状态 1106)时,如果下一个操作点大于第三阈值,则缓冲存储器电路 908 在下一个操作点以第一冲刷模式操作(1124)。当缓冲存储器电路 908 以第二冲刷模式操作时,如果下一个操作点小于第三阈值,则缓冲存储器电路 908 在下一个操作点以第二冲刷模式操作(1128, 1130)。注意的是,必须选择第一、第二、第三和第四阈值,以保证存储器电路 400 的流水线级将以对应的操作模式正确操作。

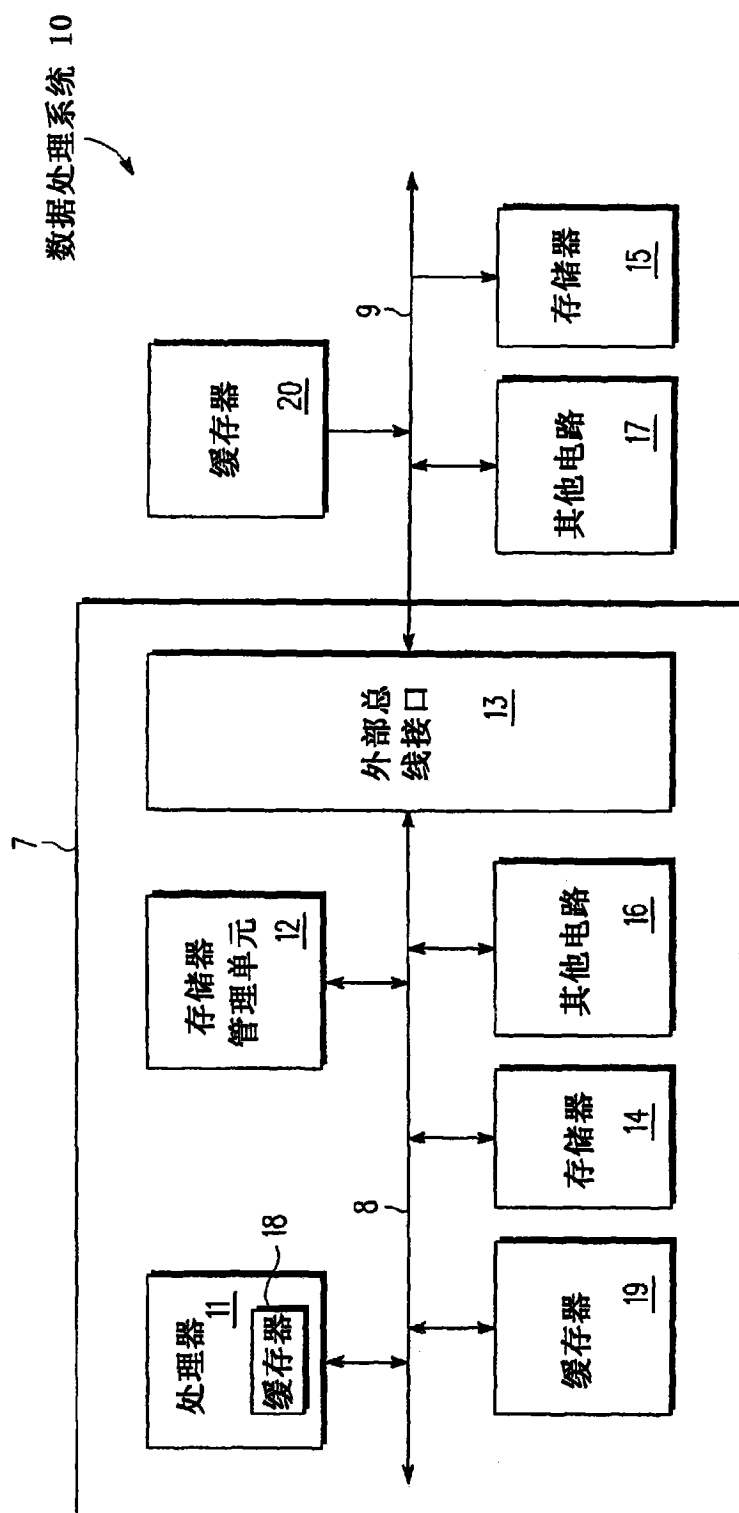
[0048] 返回参照图 10,除了与具有完全流水线型操作性能的这些操作点相比提高一些操作点的性能之外,在缓冲存储器电路 908 的至少一个实施例中,冲刷操作模式提供了降低功耗的优点。可以通过减少状态元件(例如,以没有阻挡状态元件的旁路模式或流通模式配置)的切换实现节电。通常,由于大量的流水线锁存器(例如在示例性的 1MB 中的 10,000 流水线锁存器,二级缓存器)导致状态元件的功耗在存储器电路中是明显的。操作存储器电路的冲刷模式还可以从以降低频率的控制时钟信号操作的完全流水线型电路的功耗进一步地降低功耗,如图 10 中从曲线部分 1052 到曲线部分 1054 以及从曲线部分 1054 到曲线部分 1056 的功耗的不连续所示出的。

[0049] 参照图 12,在本发明的至少一个实施例中,与可调的流水线存储器电路部分(例如,缓冲存储器电路 1208)连接的逻辑电路(例如,逻辑块 1212)从控制单元 1210 接收存

储器电路操作模式的指标。控制单元 1210 向逻辑电路提供控制信号。逻辑电路接收逻辑控制信号,根据存储器电路的可变等待时间,逻辑控制信号可用于将逻辑电路与存储器电路同步以接收输入。基于这些控制信号,逻辑电路还可以用合适数量的流水线级来配置。

[0050] 虽然电路和物理结构是一般假定的,很好地认识到,在现代半导体设计和制造中,物理结构和电路可以实现为适于后续设计、测试或配置级的计算机可读描写性形式。表现为示例性配置中的离散组件的结构和功能可以被实现为组合的结构或组件。设计本发明包括都如本文所描述的并且如所附权利要求所定义的电路、电路的系统、相关方法和如此电路、系统和方法的计算机可读介质编码。如本文所使用的,计算机可读介质包括至少盘、带或其他磁学、光学、半导体(例如,闪存卡、ROM)或电介质。

[0051] 这里阐述的对本发明的说明是示例性的,并不旨在限制如权利要求所阐述的本发明的范围。例如,虽然已经采用其中存储器电路部分 400 包括在完全流水线型模式下的流水线级 401 和 403 的实施例描述了本发明,但是本领域的技术人员将认识到,本文的教导可以用于根据其他合适的边界被划分成流水线级的存储器电路部分。在不脱离所附权利要求所阐述的本发明的范围和精神的情况下,可以基于这里阐述的说明对本发明公开的实施例进行变化和更改。



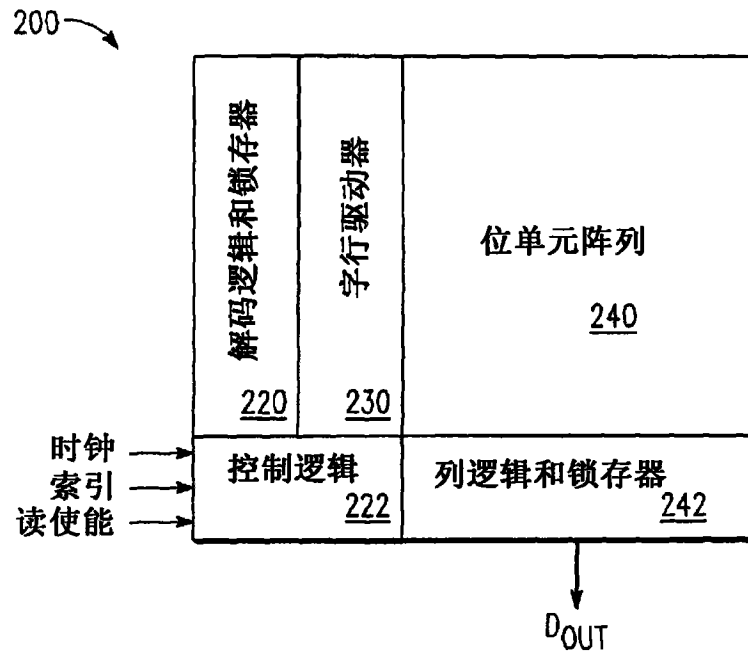


图 2

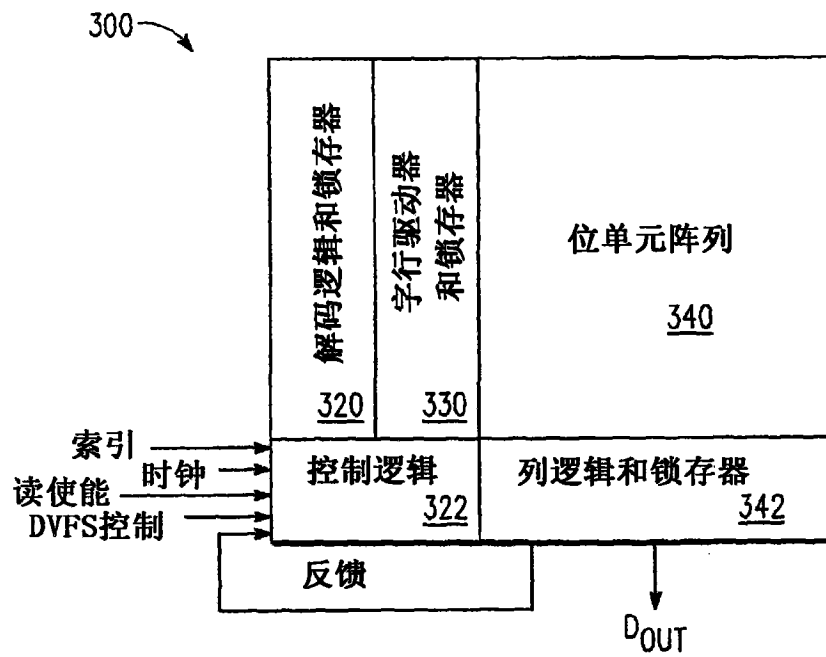


图 3

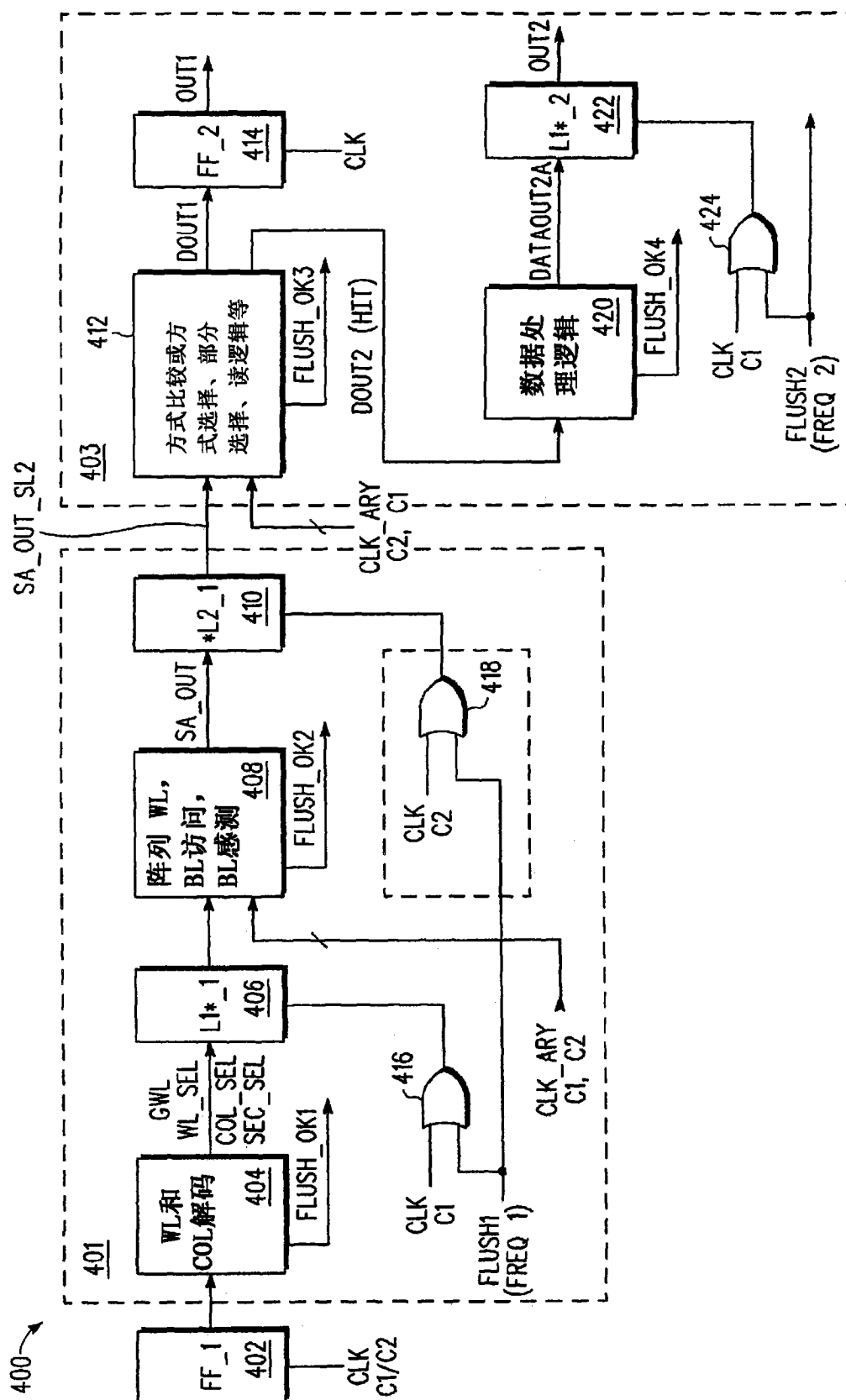


图 4

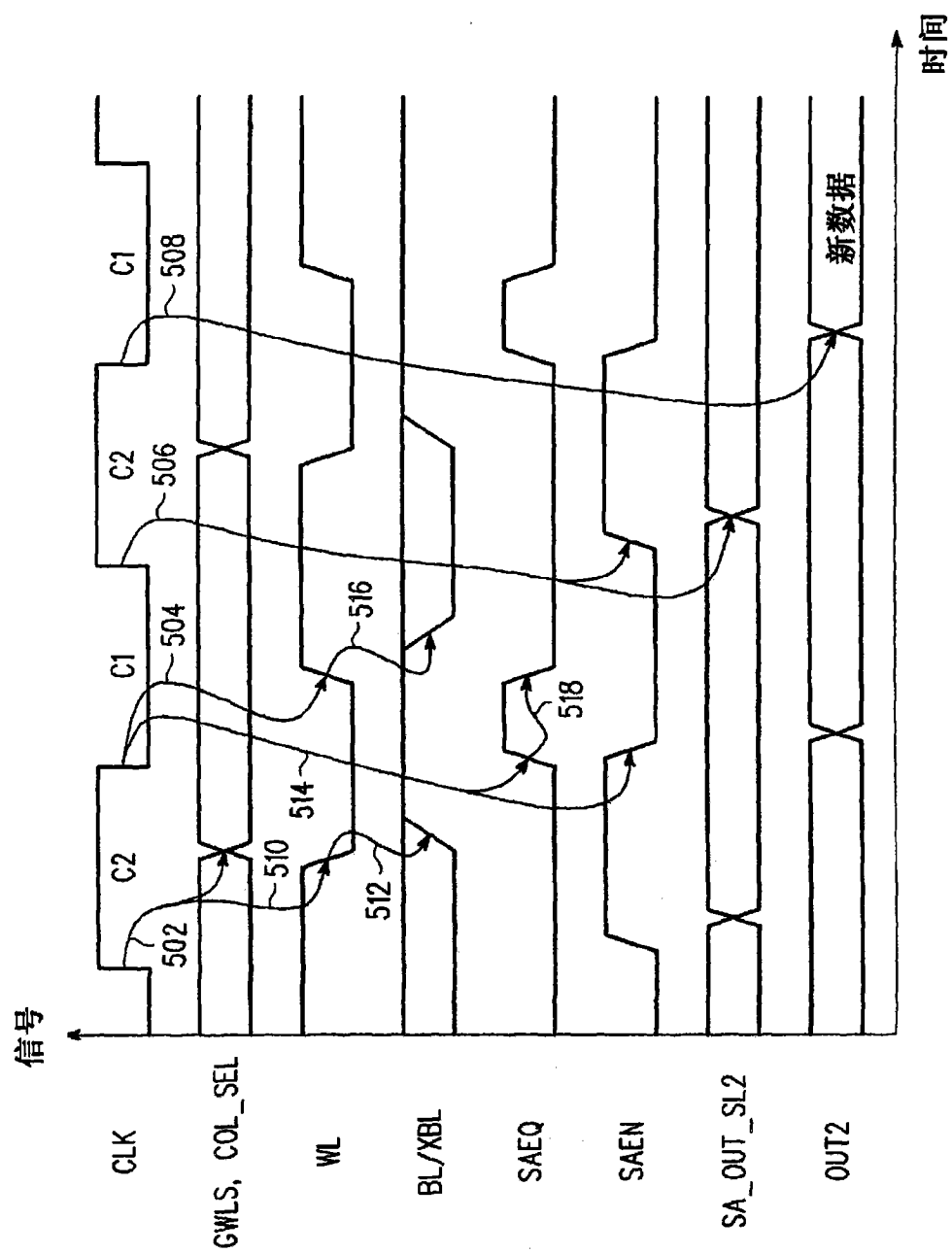


图 5

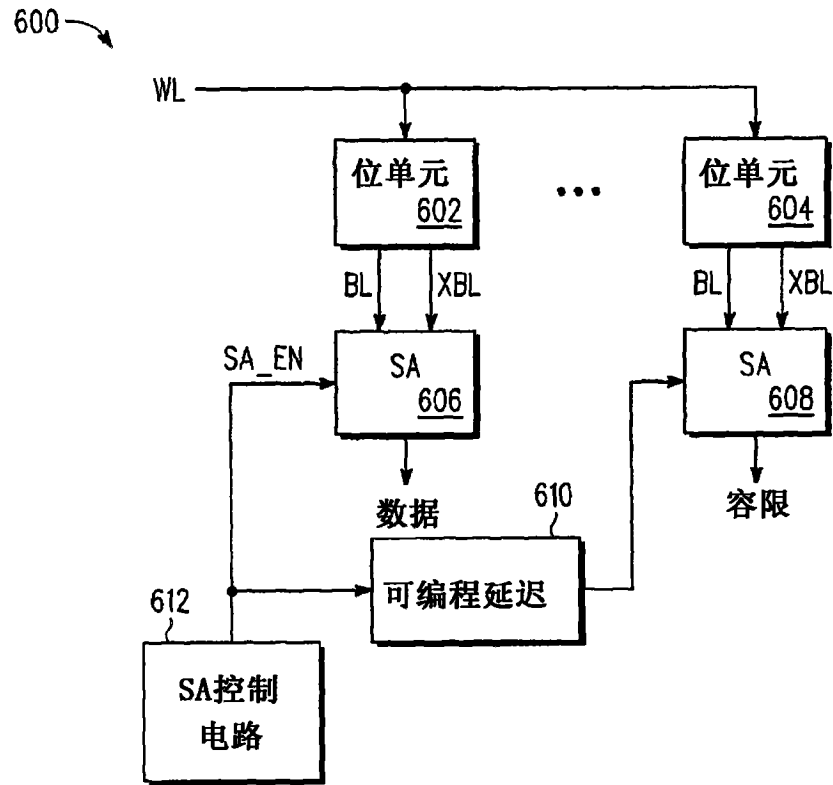


图 6

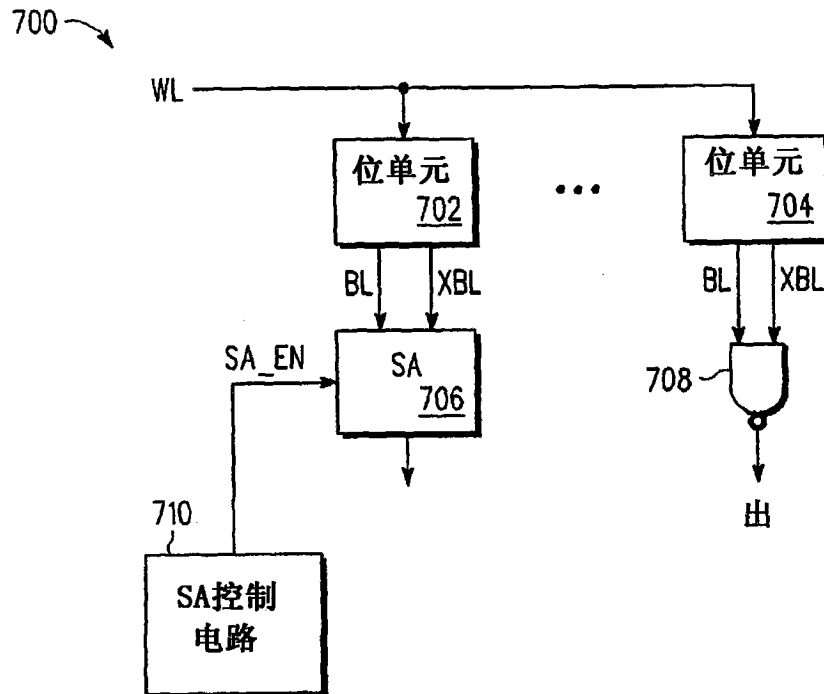


图 7

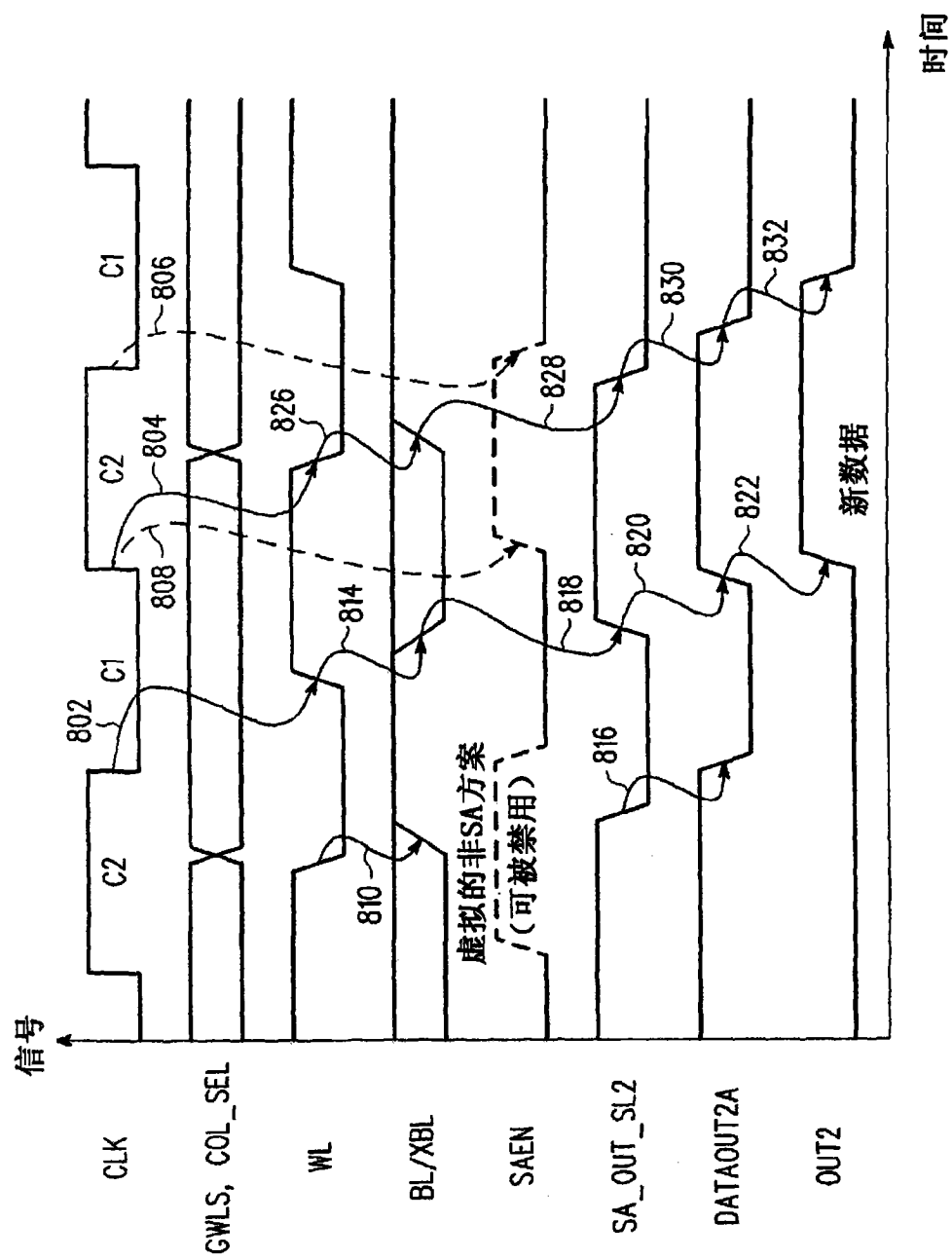


图 8

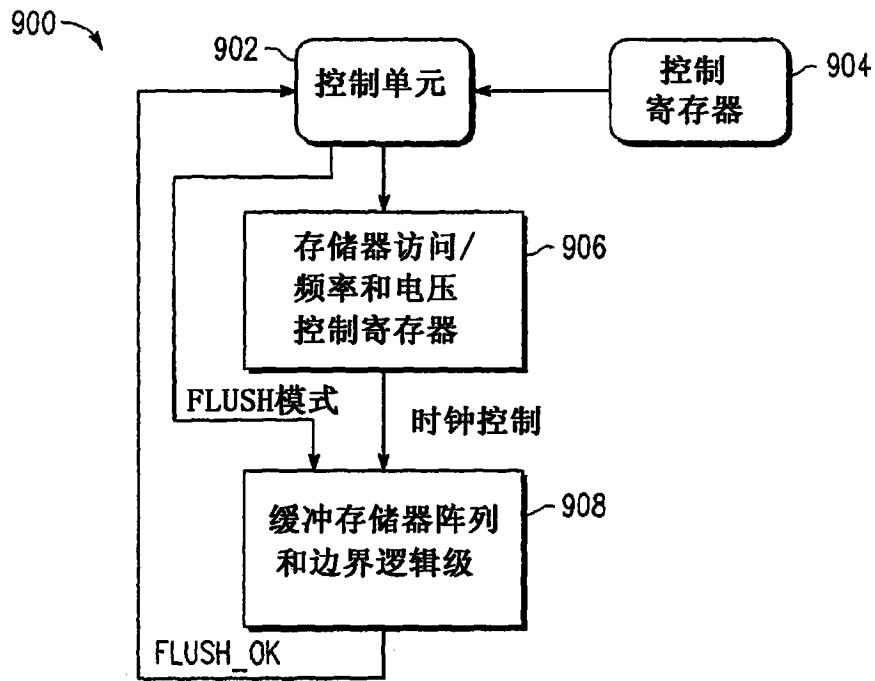


图 9

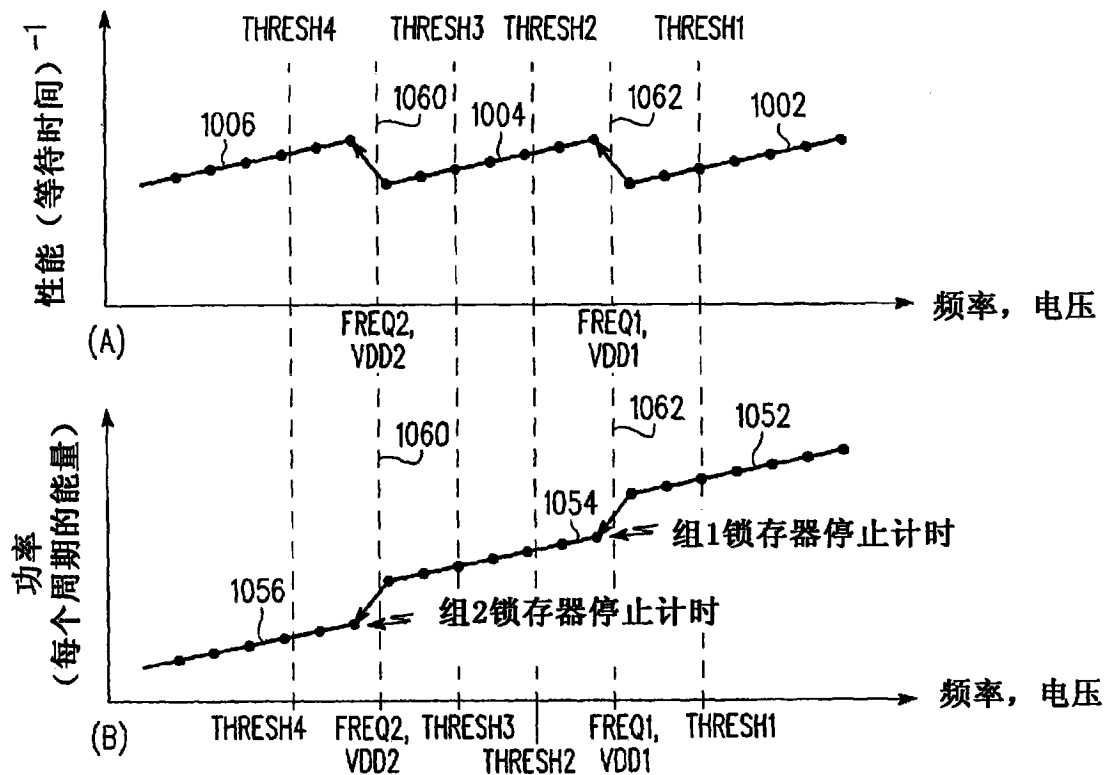


图 10

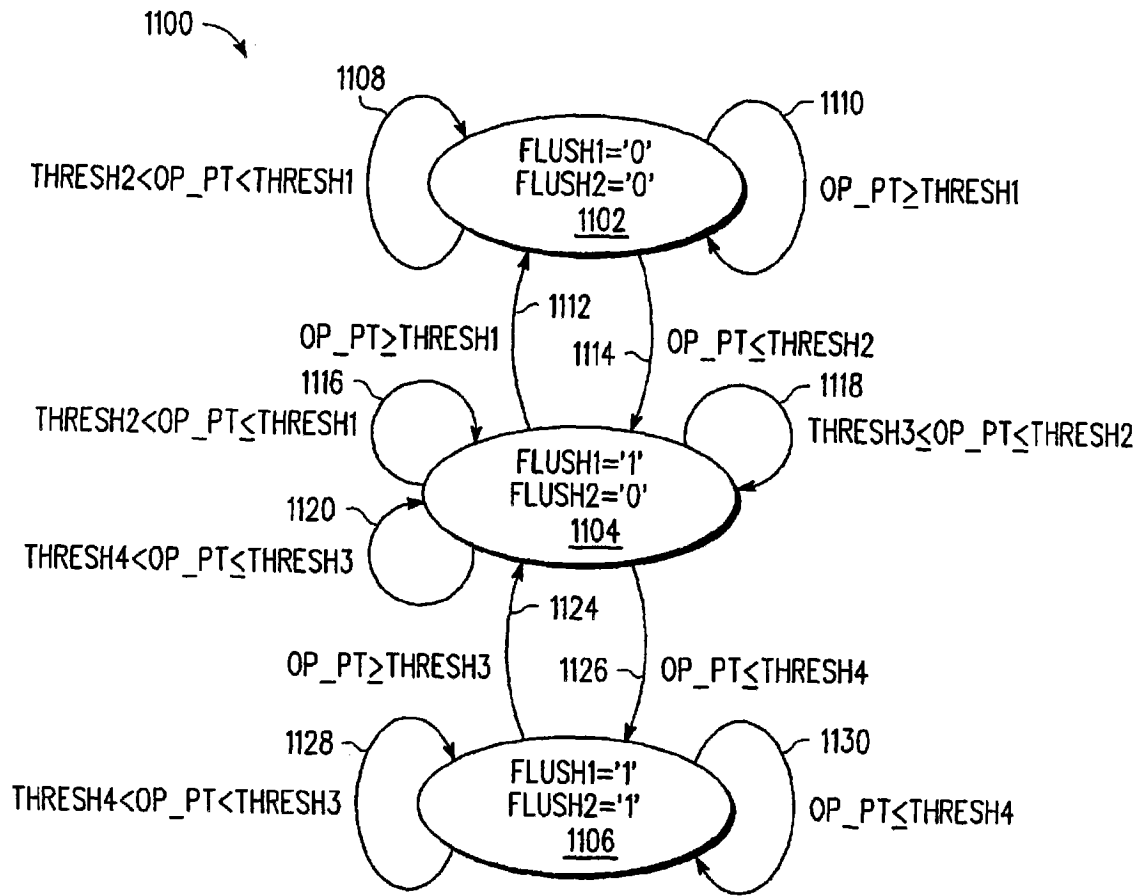


图 11

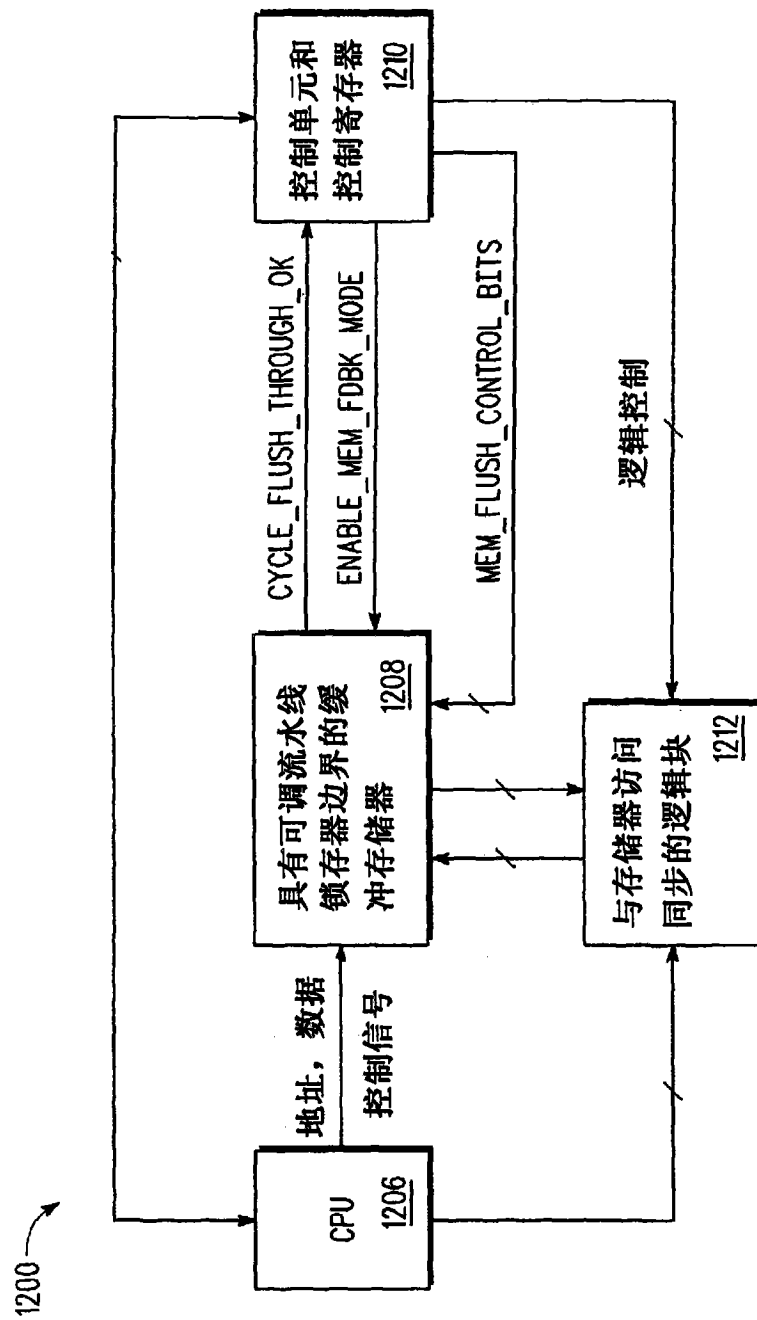


图 12