

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7500524号
(P7500524)

(45)発行日 令和6年6月17日(2024.6.17)

(24)登録日 令和6年6月7日(2024.6.7)

(51)国際特許分類		F I	
H O 1 L	29/78 (2006.01)	H O 1 L	29/78 6 5 2 K
H O 1 L	21/265 (2006.01)	H O 1 L	21/265 F
H O 1 L	21/31 (2006.01)	H O 1 L	21/265 Z
H O 1 L	21/316 (2006.01)	H O 1 L	21/265 6 0 2 A
H O 1 L	21/322 (2006.01)	H O 1 L	21/31 B
請求項の数 9 (全31頁) 最終頁に続く			
(21)出願番号	特願2021-150893(P2021-150893)	(73)特許権者	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22)出願日	令和3年9月16日(2021.9.16)	(74)代理人	100119035 弁理士 池上 徹真
(65)公開番号	特開2023-43337(P2023-43337A)	(74)代理人	100141036 弁理士 須藤 章
(43)公開日	令和5年3月29日(2023.3.29)	(74)代理人	100178984 弁理士 高下 雅弘
審査請求日	令和5年3月9日(2023.3.9)	(72)発明者	清水 達雄 東京都港区芝浦一丁目1番1号 株式会 社東芝内
		審査官	上田 智志
最終頁に続く			

(54)【発明の名称】 半導体装置の製造方法

(57)【特許請求の範囲】

【請求項1】
表面が{0001}面に対して0度以上8度以下のオフ角を有する炭化珪素層に、水素を含む雰囲気中で、900℃以上1400℃以下の温度で、第1の熱処理を行い、
前記第1の熱処理の後に、フッ素を含む雰囲気中で、900℃以上1400℃以下の温度で、第2の熱処理を行い、
前記第2の熱処理の後、前記炭化珪素層の上に酸化シリコン膜を形成し、
前記酸化シリコン膜を形成した後に、窒素を含む雰囲気の中で第3の熱処理を行い、
前記酸化シリコン膜の上にゲート電極を形成する半導体装置の製造方法。

【請求項2】
前記第1の熱処理の前に、前記炭化珪素層にアルミニウム（Al）を第1のプロジェクテッドレンジ及び第1のドーズ量で注入する第1のイオン注入を行い、
前記第1の熱処理の前に、前記炭化珪素層に、炭素（C）を第2のプロジェクテッドレンジ及び前記第1のドーズ量の10倍以上のドーズ量である第2のドーズ量で注入する第2のイオン注入を行う請求項1記載の半導体装置の製造方法。

【請求項3】
前記第1のイオン注入及び前記第2のイオン注入は、前記炭化珪素層の同一の領域に対して行われる請求項2記載の半導体装置の製造方法。

【請求項4】
前記第2のプロジェクテッドレンジは、前記第1のプロジェクテッドレンジの80%以

上 1 2 0 % 以下である請求項 2 又は請求項 3 いずれか一項記載の半導体装置の製造方法。

【請求項 5】

前記第 2 の熱処理の際に雰囲気中に含まれるフッ素は、加熱触媒体法を用いて生成された原子状のフッ素である請求項 1 ないし請求項 4 いずれか一項記載の半導体装置の製造方法。

【請求項 6】

前記窒素を含む雰囲気は、アンモニアガスを含む雰囲気である請求項 1 ないし請求項 5 いずれか一項記載の半導体装置の製造方法。

【請求項 7】

前記酸化シリコン膜は、600℃以下の温度で形成する請求項 1 ないし請求項 6 いずれか一項記載の半導体装置の製造方法。

【請求項 8】

前記酸化シリコン膜は、気相成長法により形成する請求項 1 ないし請求項 7 いずれか一項記載の半導体装置の製造方法。

【請求項 9】

前記第 3 の熱処理の後に、窒素酸化物ガスを含む雰囲気の中で第 4 の熱処理を、更に行う請求項 1 ないし請求項 8 いずれか一項記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、半導体装置、半導体装置の製造方法、インバータ回路、駆動装置、車両、及び、昇降機に関する。

【背景技術】

【0002】

次世代の半導体デバイス用の材料として炭化珪素 (SiC) が期待されている。炭化珪素はシリコン (Si) と比較して、バンドギャップが 3 倍、破壊電界強度が約 10 倍、熱伝導率が約 3 倍と優れた物性を有する。この特性を活用すれば低損失かつ高温動作可能な半導体デバイスを実現することができる。

【0003】

例えば、炭化珪素を用いて Metal Oxide Semiconductor Field Effect Transistor (MOSFET) を形成する場合、キャリアの移動度の低下が生じるおそれがある。キャリアの移動度の低下は、例えば、炭化珪素層の表面の凹凸や、炭化珪素層とゲート絶縁層との間の界面準位に起因する。

【先行技術文献】

【特許文献】

【0004】

【文献】特開 2018-35051 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明が解決しようとする課題は、キャリアの移動度が向上する半導体装置を提供することにある。

【課題を解決するための手段】

【0006】

実施形態の半導体装置の製造方法は、表面が {0001} 面に対して 0 度以上 8 度以下のオフ角を有する炭化珪素層に、水素を含む雰囲気中で、900℃以上 1400℃以下の温度で、第 1 の熱処理を行い、前記第 1 の熱処理の後に、フッ素を含む雰囲気中で、900℃以上 1400℃以下の温度で、第 2 の熱処理を行い、前記第 2 の熱処理の後、前記炭化珪素層の上に酸化シリコン膜を形成し、前記酸化シリコン膜を形成した後に、窒素を含む雰囲気の中で第 3 の熱処理を行い、前記酸化シリコン膜の上にゲート電極を形成する。

10

20

30

40

50

【図面の簡単な説明】

【0007】

【図1】第1の実施形態の半導体装置の模式断面図。

【図2】SiC半導体の結晶構造を示す図。

【図3】第1の実施形態の半導体装置の模式上面図。

【図4】第1の実施形態の半導体装置の模式断面図。

【図5】4H-SiC半導体の結晶構造を示す図。

【図6】4H-SiC半導体の表面構造を示す図。

【図7】第1の実施形態の半導体装置の元素濃度分布を示す図。

【図8】第1の実施形態の半導体装置の窒素原子の結合状態を示す模式図。

10

【図9】第1の実施形態の半導体装置の炭化珪素層の表面構造の説明図。

【図10】第1の実施形態の半導体装置の炭化珪素層の表面の説明図。

【図11】表面粗さ(Rz)の定義の説明図。

【図12】第1の実施形態の半導体装置の製造方法の工程フロー図。

【図13】第1の実施形態の半導体装置の製造方法の説明図。

【図14】第1の実施形態の半導体装置の製造方法の説明図。

【図15】第1の実施形態の半導体装置の製造方法の説明図。

【図16】第1の実施形態の半導体装置の製造方法の説明図。

【図17】第1の実施形態の半導体装置の製造方法の説明図。

【図18】第1の実施形態の半導体装置の製造方法の説明図。

20

【図19】第1の実施形態の半導体装置の製造方法の説明図。

【図20】第1の実施形態の半導体装置の製造方法の説明図。

【図21】第1の実施形態の半導体装置の製造方法の説明図。

【図22】第1の実施形態の半導体装置の製造方法の説明図。

【図23】第1の実施形態の半導体装置の製造方法の説明図。

【図24】第1の実施形態の半導体装置の製造方法の説明図。

【図25】第1の実施形態の半導体装置の作用及び効果の説明図。

【図26】第1の実施形態の半導体装置の作用及び効果の説明図。

【図27】第1の実施形態の半導体装置の作用及び効果の説明図。

【図28】第1の実施形態の半導体装置の作用及び効果の説明図。

30

【図29】第2の実施形態の駆動装置の模式図。

【図30】第3の実施形態の車両の模式図。

【図31】第4の実施形態の車両の模式図。

【図32】第5の実施形態の昇降機の模式図。

【発明を実施するための形態】

【0008】

以下、図面を参照しつつ本発明の実施形態を説明する。なお、以下の説明では、同一又は類似の部材などには同一の符号を付し、一度説明した部材などについては適宜その説明を省略する。

【0009】

40

また、以下の説明において、 n^+ 、 n 、 n^- 及び p^+ 、 p 、 p^- の表記がある場合は、各導電型における不純物濃度の相対的な高低を表す。すなわち n^+ は n よりも n 型不純物濃度が相対的に高く、 n^- は n よりも n 型不純物濃度が相対的に低いことを示す。また、 p^+ は p よりも p 型不純物濃度が相対的に高く、 p^- は p よりも p 型不純物濃度が相対的に低いことを示す。なお、 n^+ 型、 n^- 型を単に n 型、 p^+ 型、 p^- 型を単に p 型と記載する場合もある。各領域の不純物濃度は、別段の記載がある場合を除き、例えば、各領域の中央部の不純物濃度の値で代表させる。

【0010】

不純物濃度は、例えば、Secondary Ion Mass Spectrometry (SIMS) により測定することが可能である。また、不純物濃度の相対的な高低は

50

、例えば、Scanning Capacitance Microscopy (SCM) で求められるキャリア濃度の高低から判断することも可能である。また、不純物領域の幅や深さ等の距離は、例えば、SIMSで求めることが可能である。また、不純物領域の幅や深さ等の距離は、例えば、SCM像から求めることが可能である。

【0011】

トレンチの深さ、絶縁層の厚さ等は、例えば、SIMSのプロファイル、Transmission Electron Microscope (TEM) の画像上、又は、Scanning Electron Microscope (SEM) で計測することが可能である。

【0012】

また、炭化珪素層中のシリコン原子、炭素原子、窒素原子、及び、酸素原子の結合状態は、例えば、X線光電子分光法 (XPS法) を用いることで同定できる。また、各種結合状態の濃度、及び、濃度の大小関係は、例えば、X線光電子分光法 (XPS法) を用いることで決定できる。

【0013】

炭化珪素層の表面構造は、例えば、TEMの画像により観察することが可能である。例えば、炭化珪素層の表面の原子の配列は、TEMの画像により分析することが可能である。また、炭化珪素層の表面構造は、例えば、走査型トンネル分光法 (STS法) により分析することが可能である。

【0014】

炭化珪素層の表面の表面粗さ (Rz) は、例えば、原子間力顕微鏡 (AFM) により測定することが可能である。

【0015】

(第1の実施形態)

第1の実施形態の半導体装置は、{0001} 面に対して0度以上8度以下のオフ角を有する第1の面と、第1の面に対向する第2の面とを有し、4H-SiCの結晶構造を有する炭化珪素層と、第1の面に平行な第1の方向に延びるゲート電極と、炭化珪素層とゲート電極との間の酸化シリコン層と、炭化珪素層と酸化シリコン層との間に位置し、窒素の濃度が $1 \times 10^{21} \text{ cm}^{-3}$ 以上の領域と、を備え、第1の方向の第1の基準長を0.5 μm とした場合に、第1の基準長の範囲内の炭化珪素層の表面の表面粗さ (Rz) が1 nm以下である。

【0016】

図1は、第1の実施形態の半導体装置の模式断面図である。半導体装置は、MOSFET100である。MOSFET100は、pウェルとソース領域をイオン注入で形成する、Double Implantation MOSFET (DIMOSFET) である。また、MOSFET100は、電子をキャリアとするnチャネル型のMOSFETである。図1は、図3のAA'断面である。

【0017】

MOSFET100は、炭化珪素層10、ゲート絶縁層28 (酸化シリコン層)、ゲート電極30、層間絶縁膜32、ソース電極34、ドレイン電極36、及び、界面終端領域40 (領域) を備える。

【0018】

炭化珪素層10は、n⁺型のドレイン領域12、n⁻型のドリフト領域14、p型のpウェル領域16 (炭化珪素領域)、n⁺型のソース領域18、p⁺型のpウェルコンタクト領域20を備える。

【0019】

炭化珪素層10は、単結晶のSiC半導体である。炭化珪素層10は、第1の面P1と、第1の面P1に対向する第2の面P2を有する。以下、第1の面P1を炭化珪素層10の表面、第2の面P2を炭化珪素層10の裏面と称する場合がある。

【0020】

10

20

30

40

50

本明細書中、「深さ」とは、第1の面P1を基準とする深さを意味する。

【0021】

炭化珪素層10は、ソース電極34とドレイン電極36との間に位置する。ソース電極34は、炭化珪素層10の第1の面P1の側に設けられる。ドレイン電極36は、炭化珪素層10の第2の面P2の側に設けられる。

【0022】

図2は、SiC半導体の結晶構造を示す図である。SiC半導体の代表的な結晶構造は、4H-SiCのような六方晶系である。六角柱の軸方向に沿うc軸を法線とする面（六角柱の頂面）の一方が（0001）面である。（0001）面と等価な面を、シリコン面（Si面）と称し{0001}面と表記する。シリコン面の最表面にはシリコン原子（Si）が配列している。

10

【0023】

六角柱の軸方向に沿うc軸を法線とする面（六角柱の頂面）の他方が（000-1）面である。（000-1）面と等価な面を、カーボン面（C面）と称し{000-1}面と表記する。カーボン面の最表面には炭素原子（C）が配列している。

【0024】

一方、六角柱の側面（柱面）が、（1-100）面と等価な面であるm面、すなわち{1-100}面である。また、隣り合わない一対の稜線を通る面が（11-20）面と等価な面であるa面、すなわち{11-20}面である。m面及びa面の最表面には、シリコン原子（Si）及び炭素原子（C）の双方が配列している。

20

【0025】

c軸は、<0001>方向に延びる。a1軸、a2軸、及びa3軸は<11-20>方向に延びる。

【0026】

炭化珪素層10は、4H-SiCの結晶構造を有する。炭化珪素層10の第1の面P1は、{0001}面に対して0度以上8度以下のオフ角を有する。第1の面P1は、シリコン面に対し0度以上8度以下傾斜した面、第2の面P2は、カーボン面に対し0度以上8度以下傾斜した面である。

【0027】

図3は、第1の実施形態の半導体装置の模式上面図である。図3は、MOSFET100の第1の面P1の側の、ソース領域18、pウェルコンタクト領域20、及び、ゲート電極30のパターンを示す。図3に示すように、ゲート電極30は第1の方向に延びる。

30

【0028】

なお、第1の方向は、第1の面P1に平行である。第2の方向は、第1の面P1に平行である。第2の方向は、第1の方向に直交する。

【0029】

MOSFET100において、第1の方向はチャネル幅方向、第2の方向はチャネル長方向である。

【0030】

図4は、第1の実施形態の半導体装置の模式断面図である。図4は、図3のBB'断面である。

40

【0031】

図4に示すように、炭化珪素層10のc軸は、<11-20>方向に傾斜する。言い換えれば、炭化珪素層10の第1の面P1は{0001}面に対して<11-20>方向に傾斜する。図4に示すオフ角が、0度以上8度以下である。

【0032】

第1の方向と<11-20>方向の間の角度は、例えば、10度以下である。<11-20>方向の第1の面P1に平行な成分と第1の方向の角度は、例えば、10度以下である。<11-20>方向の第1の面P1に平行な成分と第1の方向は、例えば、一致する。

【0033】

50

図5は、4H-SiC半導体の結晶構造を示す図である。図5は、4H-SiC半導体のシリコン原子と炭素原子の配列を示す。

【0034】

図5において、シリコン原子を白丸、炭素原子を黒丸で表す。四角で囲んだ領域が4H-SiCのユニットセルとなる。ユニットセルが繰り返し並進方向に繰り返し配置されることで4H-SiCが構成されている。

【0035】

4H-SiCは積層方向(c軸方向)の1周期中に4層のシリコン原子層が含まれる。シリコン原子のサイト位置には、Aサイト、Bサイト、及びCサイトの3つのサイト位置がある。

【0036】

図6は、4H-SiC半導体の表面構造を示す図である。図6は、4H-SiC半導体の表面がとり得る表面構造の説明図である。図6は、炭化珪素層10の第1の面P1がとり得る表面構造の説明図である。図6(a)は第1の表面構造、図6(b)は第2の表面構造、図6(c)は第3の表面構造を示す。図6中に示す第1ないし第5の層のそれぞれは、上側のシリコン原子層と下側の炭素原子層で構成される。

【0037】

図6(a)に示す第1の表面構造の最表面の1層目に位置するシリコン原子は、第1のシリコン原子である。第1のシリコン原子のサイト位置は、第1の面P1から3層目のシリコン原子のサイト位置と異なり、第1の面P1から5層目のシリコン原子のサイト位置と同じである。

【0038】

第1の表面構造では、最表面の1層目に位置する第1のシリコン原子のサイト位置はAサイトである。第1の面P1から3層目のシリコン原子のサイト位置は、Cサイトである。第1の面P1から5層目のシリコン原子のサイト位置は、Aサイトである。したがって、第1のシリコン原子のサイト位置は、第1の面P1から3層目のシリコン原子のサイト位置と異なり、第1の面P1から5層目のシリコン原子のサイト位置と同じである。

【0039】

図6(b)に示す第2の表面構造の最表面の1層目に位置するシリコン原子は、第2のシリコン原子である。第2のシリコン原子のサイト位置は、第1の面P1から3層目のシリコン原子のサイト位置と同じであり、第1の面P1から5層目のシリコン原子のサイト位置と同じである。

【0040】

第2の表面構造では、最表面の1層目に位置する第2のシリコン原子のサイト位置はBサイトである。第1の面P1から3層目のシリコン原子のサイト位置は、Bサイトである。第1の面P1から5層目のシリコン原子のサイト位置は、Bサイトである。したがって、第2のシリコン原子のサイト位置は、第1の面P1から3層目のシリコン原子のサイト位置と同じであり、第1の面P1から5層目のシリコン原子のサイト位置と同じである。

【0041】

図6(c)に示す第3の表面構造の最表面の1層目に位置するシリコン原子は、第3のシリコン原子である。第3のシリコン原子のサイト位置は、第1の面P1から3層目のシリコン原子のサイト位置と異なり、第1の面P1から5層目のシリコン原子のサイト位置とも異なる。

【0042】

第3の表面構造では、最表面の1層目に位置する第3のシリコン原子のサイト位置はAサイトである。第1の面P1から3層目のシリコン原子のサイト位置は、Bサイトである。第1の面P1から5層目のシリコン原子のサイト位置は、Bサイトである。したがって、第3のシリコン原子のサイト位置は、第1の面P1から3層目のシリコン原子のサイト位置と異なり、第1の面P1から5層目のシリコン原子のサイト位置とも異なる。第3の表面構造では、最表面の1層目の周期性が崩れている。

10

20

30

40

50

【0043】

ドレイン領域12は、 n^+ 型のSiCである。ドレイン領域12は、例えば、窒素（N）をn型不純物として含む。ドレイン領域12のn型不純物濃度は、例えば、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下である。

【0044】

ドリフト領域14は、ドレイン領域12の上に設けられる。ドリフト領域14は、 n^- 型のSiCである。ドリフト領域14は、例えば、窒素をn型不純物として含む。

【0045】

ドリフト領域14のn型不純物濃度は、ドレイン領域12のn型不純物濃度より低い。ドリフト領域14のn型不純物濃度は、例えば、 $1 \times 10^{15} \text{ cm}^{-3}$ 以上 $2 \times 10^{16} \text{ cm}^{-3}$ 以下である。ドリフト領域14は、例えば、ドレイン領域12の上にエピタキシャル成長法により形成されたSiCのエピタキシャル成長層である。

10

【0046】

ドリフト領域14の厚さは、例えば、 $5 \mu\text{m}$ 以上 $100 \mu\text{m}$ 以下である。

【0047】

pウェル領域16は、ドリフト領域14の一部表面に設けられる。pウェル領域16は、ドリフト領域14とゲート絶縁層28との間に位置する。pウェル領域16は、第1の面P1に接する。pウェル領域16は、p型のSiCである。

【0048】

pウェル領域16は、例えば、アルミニウム（Al）をp型不純物として含む。pウェル領域16のp型不純物濃度は、例えば、 $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{20} \text{ cm}^{-3}$ 以下である。

20

【0049】

pウェル領域16の深さは、例えば、 $0.4 \mu\text{m}$ 以上 $0.8 \mu\text{m}$ 以下である。pウェル領域16は、MOSFET100のチャネル領域として機能する。

【0050】

ソース領域18は、pウェル領域16の一部表面に設けられる。ソース領域18は、 n^+ 型のSiCである。ソース領域18は、例えば、リン（P）をn型不純物として含む。ソース領域18のn型不純物濃度は、例えば、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{22} \text{ cm}^{-3}$ 以下である。

30

【0051】

ソース領域18の深さは、pウェル領域16の深さよりも浅い。ソース領域18の深さは、例えば、 $0.2 \mu\text{m}$ 以上 $0.4 \mu\text{m}$ 以下である。

【0052】

pウェルコンタクト領域20は、pウェル領域16の一部表面に設けられる。pウェルコンタクト領域20は、ソース領域18の側方に設けられる。pウェルコンタクト領域20は、 p^+ 型のSiCである。

【0053】

pウェルコンタクト領域20は、例えば、アルミニウムをp型不純物として含む。pウェルコンタクト領域20のp型不純物濃度は、例えば、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{22} \text{ cm}^{-3}$ 以下である。

40

【0054】

pウェルコンタクト領域20の深さは、pウェル領域16の深さよりも浅い。pウェルコンタクト領域20の深さは、例えば、 $0.2 \mu\text{m}$ 以上 $0.4 \mu\text{m}$ 以下である。

【0055】

ゲート絶縁層28は、炭化珪素層10とゲート電極30との間に設けられる。ゲート絶縁層28は、ドリフト領域14とゲート電極30、及びpウェル領域16とゲート電極30との間に設けられる。ゲート絶縁層28は、ドリフト領域14及びpウェル領域16の上に設けられる。ゲート絶縁層28は、ドリフト領域14及びpウェル領域16の表面に、連続的に形成される。

50

【0056】

ゲート絶縁層28は、酸化シリコンを含む。ゲート絶縁層28は、酸化シリコン層の一例である。

【0057】

ゲート絶縁層28の厚さは、例えば、30nm以上100nm以下である。ゲート絶縁層28は、MOSFET100のゲート絶縁層として機能する。

【0058】

界面終端領域40は、炭化珪素層10とゲート絶縁層28との間に位置する。界面終端領域40は、ドリフト領域14とゲート絶縁層28、及びpウェル領域16とゲート絶縁層28との間に位置する。界面終端領域40は、炭化珪素層10のダングリングボンドを
10 終端する終端元素として窒素(N)を含む。界面終端領域40は、領域の一例である。

【0059】

界面終端領域40の窒素の濃度は $1 \times 10^{21} \text{ cm}^{-3}$ 以上である。界面終端領域40の窒素の濃度は、例えば、 $1 \times 10^{22} \text{ cm}^{-3}$ 以上である。

【0060】

図7は、第1の実施形態の半導体装置の元素濃度分布を示す図である。図7は、ゲート絶縁層28、界面終端領域40、及び、炭化珪素層10の中の、元素濃度分布を示す図である。図7は、窒素の濃度分布を示す。

【0061】

窒素の濃度分布は、界面終端領域40にピークを有する。ピークの窒素の濃度は、例えば、 $1 \times 10^{21} \text{ cm}^{-3}$ 以上 $4 \times 10^{23} \text{ cm}^{-3}$ 以下である。窒素の濃度分布のピークの窒素の濃度は、例えば、 $1 \times 10^{21} \text{ cm}^{-3}$ 以上である。
20

【0062】

窒素の濃度分布のピークに対する半値全幅は、例えば、1nm以下である。窒素は、炭化珪素層10とゲート絶縁層28との間の界面に偏析している。

【0063】

窒素の濃度分布のピークからゲート絶縁層28の側に1nm離れた第1の位置(図7中のX1)における窒素の濃度は $1 \times 10^{18} \text{ cm}^{-3}$ 以下である。また、窒素の濃度分布のピークから炭化珪素層10の側に1nm離れた第2の位置(図7中のX2)における窒素の濃度は $1 \times 10^{18} \text{ cm}^{-3}$ 以下である。
30

【0064】

図8は、第1の実施形態の半導体装置の窒素原子の結合状態を示す模式図である。図8(a)は窒素原子が3配位の場合、図8(b)は窒素原子が4配位の場合である。

【0065】

図8(a)に示す3配位の場合、窒素原子は3個のシリコン原子と結合する。図8(b)に示す4配位の場合、窒素原子は4個のシリコン原子と結合する。

【0066】

界面終端領域40において、3個のシリコン原子と結合する窒素原子の濃度が、4個のシリコン原子と結合する窒素原子の濃度よりも多い。言い換えれば、界面終端領域40において、3配位の窒素原子の濃度が、4配位の窒素原子の濃度よりも多い。
40

【0067】

例えば、界面終端領域40に存在する窒素原子の90%以上が、3配位の窒素原子である。3配位の窒素原子の濃度は、例えば、 $1 \times 10^{21} \text{ cm}^{-3}$ 以上である。

【0068】

界面終端領域40に存在する3配位の窒素原子は、炭化珪素層10の表面のダングリングボンドを終端している。

【0069】

界面終端領域40の窒素原子は炭化珪素層10の最上層の炭素原子を置換する。界面終端領域40の窒素原子は、炭化珪素層10と3配位で結合していることになる。窒素原子は、炭化珪素の結晶構造の炭素原子の位置にある。窒素原子に、炭化珪素層10のシリコ
50

ン原子が 3 配位している。

【0070】

界面終端領域 40 の窒素原子は炭化珪素層 10 の最上層を構成するバイレイヤの炭素原子を置換する。窒素原子は、最終的には、炭化珪素層 10 と 3 配位で結合している。余剰なシリコン原子や炭素原子は、炭化珪素層 10 からゲート絶縁層 28 側に放出されている。窒素原子は、炭化珪素の結晶構造の炭素原子の位置にある。最表面のシリコン原子の一部がゲート絶縁層 28 に入り、窒素原子は、炭化珪素層 10 のシリコン原子と 3 配位している。

【0071】

炭化珪素層 10 のバルク中に存在し、炭化珪素の結晶構造の炭素サイトを置換している窒素原子は、4 配位となる。4 配位の窒素原子は、n 型のドーパントとして機能するため、MOSFET の閾値電圧を低下させる。

【0072】

第 2 の位置 X 2 における 4 個のシリコン原子と結合する窒素原子の濃度は $1 \times 10^{18} \text{ cm}^{-3}$ 以下である。言い換えれば、第 2 の位置 X 2 における 4 配位の窒素原子の濃度は $1 \times 10^{18} \text{ cm}^{-3}$ 以下である。

【0073】

図 9 は、第 1 の実施形態の半導体装置の炭化珪素層の表面構造の説明図である。図 9 は、炭化珪素層 10、界面終端領域 40、及び、ゲート絶縁層 28 の原子の配列を示す。

【0074】

炭化珪素層 10 の第 1 の面 P 1 は、第 1 の表面構造を有する。第 1 の面 P 1 の最上層である 1 層目には第 1 のシリコン原子が存在する。

【0075】

第 1 のシリコン原子は、界面終端領域 40 の窒素原子と結合する。界面終端領域 40 の窒素原子は、ゲート絶縁層 28 のシリコン原子と結合する。ゲート絶縁層 28 のシリコン原子は、ゲート絶縁層 28 の酸素原子と結合する。

【0076】

炭化珪素層 10 の第 1 の面 P 1 の最上層である 1 層目に存在する複数のシリコン原子の中で、第 1 のシリコン原子の占める割合は、90% 以上である。炭化珪素層 10 の第 1 の面 P 1 は、第 1 の表面構造が主たる表面構造である。

【0077】

炭化珪素層 10 の第 1 の面 P 1 の最上層である 1 層目に存在する複数のシリコン原子の中の第 1 のシリコン原子以外のシリコン原子は、例えば、第 2 のシリコン原子又は第 3 のシリコン原子を含んでも良い。炭化珪素層 10 の第 1 の面 P 1 は、例えば、第 2 の表面構造又は第 3 の表面構造を含んでも良い。

【0078】

ゲート電極 30 は、ゲート絶縁層 28 の上に設けられる。ゲート電極 30 は、炭化珪素層 10 との間にゲート絶縁層 28 を挟む。ゲート電極 30 は、ドリフト領域 14 との間にゲート絶縁層 28 を挟む。ゲート電極 30 は、p ウェル領域 16 との間にゲート絶縁層 28 を挟む。

【0079】

ゲート電極 30 は、例えば、n 型不純物又は p 型不純物を含む多結晶シリコンである。

【0080】

ゲート電極 30 の第 2 の方向の長さは、例えば、 $0.5 \mu\text{m}$ 以上 $2.0 \mu\text{m}$ 以下である。MOSFET 100 のチャンネル長は、例えば、 $0.5 \mu\text{m}$ 以上 $2.0 \mu\text{m}$ 以下である。

【0081】

層間絶縁膜 32 は、ゲート電極 30 上に形成される。層間絶縁膜 32 は、ゲート電極 30 とソース電極 34 との間に位置する。層間絶縁膜 32 は、例えば、酸化シリコン膜である。

【0082】

10

20

30

40

50

ソース電極 34 は、ソース領域 18 及び p ウェルコンタクト領域 20 に電氣的に接続される。ソース電極 34 は、p ウェル領域 16 に電位を与える p ウェル電極としても機能する。ソース電極 34 は、例えば、ソース領域 18 及び p ウェルコンタクト領域 20 に接する。

【0083】

ソース電極 34 は、例えば、Ni（ニッケル）のバリアメタル層と、バリアメタル層上のアルミニウムのメタル層との積層構造である。ニッケルのバリアメタル層と炭化珪素層は、反応してニッケルシリサイド（NiSi、Ni₂Si など）を形成しても構わない。ニッケルのバリアメタル層とアルミニウムのメタル層とは、反応により合金を形成しても構わない。

【0084】

ドレイン電極 36 は、炭化珪素層 10 のソース電極 34 と反対側、すなわち、裏面側に設けられる。ドレイン電極 36 は、ドレイン領域 12 に電氣的に接続される。ドレイン電極 36 は、例えば、ドレイン領域 12 に接する。

【0085】

ドレイン電極 36 は、例えば、ニッケルである。ニッケルは、ドレイン領域 12 と反応して、ニッケルシリサイド（NiSi、Ni₂Si など）を形成しても構わない。

【0086】

なお、第 1 の実施形態において、n 型不純物は、例えば、窒素やリンである。n 型不純物としてヒ素（As）又はアンチモン（Sb）を適用することも可能である。

【0087】

また、第 1 の実施形態において、p 型不純物は、例えば、アルミニウムである。p 型不純物として、ボロン（B）、ガリウム（Ga）、インジウム（In）を適用することも可能である。

【0088】

図 10 は、第 1 の実施形態の半導体装置の炭化珪素層の表面の説明図である。図 10 は、ゲート電極 30 に対向する p ウェル領域 16 の表面の拡大図である。

【0089】

図 10（a）は第 1 の方向に平行な断面図、図 10（b）は第 2 の方向に平行な断面図である。すなわち、図 10（a）は MOSFET 100 のチャネル幅方向に沿った断面図、図 10（b）は MOSFET 100 のチャネル長方向に沿った断面図である。

【0090】

図 10（a）に示すように、チャネル幅方向の p ウェル領域 16 の表面は、複数のテラスと、テラスの間のステップで構成される。チャネル幅方向の p ウェル領域 16 に複数のテラスが形成されるのは、第 1 の面 P1 が {0001} 面に対して第 1 の方向に傾斜するオフ角を有するためである。一方、図 10（b）に示すように、チャネル長方向の p ウェル領域 16 の表面は、単一のテラスで構成され、ステップは存在しない。

【0091】

図 11 は、表面粗さ（Rz）の定義の説明図である。

【0092】

表面粗さ（Rz）は、AFM 等の粗さ計で測定した粗さ曲線の一部を基準長で抜き出し、もっとも高い部分の高さ（Rp）と最も深い部分の深さ（Rv）の和の値として求められる。

【0093】

第 1 の方向の第 1 の基準長を 0.5 μm とした場合に、第 1 の基準長の範囲内の p ウェル領域 16 の表面の表面粗さ（Rz）は 1 nm 以下である。ステップの高さは、およそ 0.5 nm もしくはおよそ 1 nm となることが好ましい。また、第 2 の方向の第 2 の基準長を 0.5 μm とした場合に、第 2 の基準長の範囲内の p ウェル領域 16 の表面の表面粗さ（Rz）は 0.5 nm 以下である。

【0094】

10

20

30

40

50

次に、第1の実施形態の半導体装置の製造方法の一例について説明する。

【0095】

第1の実施形態の半導体装置の製造方法は、表面が{0001}面に対して0度以上8度以下のオフ角を有する炭化珪素層に、水素ガスを含む雰囲気中で、900℃以上1400℃以下の温度で、第1の熱処理を行い、第1の熱処理の後に、フッ素を含む雰囲気中で、900℃以上1400℃以下の温度で、第2の熱処理を行い、第2の熱処理の後、炭化珪素層の上に酸化シリコン膜を形成し、酸化シリコン膜を形成した後に、窒素を含む雰囲気の中で第3の熱処理を行い、酸化シリコン膜の上にゲート電極を形成する。

【0096】

図12は、第1の実施形態の半導体装置の製造方法の工程フロー図である。図13、図14、図15、図16、図17、図18、図19、図20、図21、図22、図23、及び図24は、第1の実施形態の半導体装置の製造方法の説明図である。図13、図14、図16、図17、図18、図19、図20、図21、図22、図23、及び図24は、製造途中の断面図である。図16は、イオン注入直後の元素分布を示す図である。

【0097】

図12に示すように、第1の実施形態の半導体装置の製造方法は、炭化珪素層準備（ステップS100）、アルミニウムイオン注入（ステップS101）、炭素イオン注入（ステップS102）、リンイオン注入（ステップS103）、アルミニウムイオン注入（ステップS104）、活性化アニール（S105）、第1の熱処理（ステップS106）、第2の熱処理（ステップS107）、酸化シリコン膜形成（ステップS108）、第3の熱処理（ステップS109）、第4の熱処理（ステップS110）、ゲート電極形成（ステップS111）、層間絶縁膜形成（ステップS112）、及びソース電極／ドレイン電極形成（ステップS113）を備える。

【0098】

ステップS100では、炭化珪素層10を準備する（図13）。炭化珪素層10は、 n^+ 型のドレイン領域12と n^- 型のドリフト領域14を備える。ドリフト領域14は、例えば、ドレイン領域12上にエピタキシャル成長法により形成される。

【0099】

ドレイン領域12は、 n 型不純物として窒素を含む。ドレイン領域12の n 型不純物濃度は、例えば、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下である。

【0100】

ドリフト領域14は、 n 型不純物として窒素を含む。ドリフト領域14の n 型不純物濃度は、例えば、 $1 \times 10^{15} \text{ cm}^{-3}$ 以上 $2 \times 10^{16} \text{ cm}^{-3}$ 以下である。ドリフト領域14の厚さは、例えば、 $5 \mu\text{m}$ 以上 $100 \mu\text{m}$ 以下である。

【0101】

ステップS101では、例えば、絶縁膜の形成と、フォトリソグラフィー及びエッチングによる絶縁膜のパターニングにより、第1のマスク材51を形成する。そして、第1のマスク材51をイオン注入マスクとして用いて、アルミニウムをドリフト領域14にイオン注入する。イオン注入により p ウェル領域16が形成される（図14）。

【0102】

p ウェル領域16を形成するイオン注入が第1のイオン注入の一例である。アルミニウムのイオン注入は、第1のプロジェクテッドレンジ及び第1のドーズ量で行われる。プロジェクテッドレンジは、平均投影飛程である。

【0103】

第1のプロジェクテッドレンジは、例えば、 $0.1 \mu\text{m}$ 以上 $0.6 \mu\text{m}$ 以下である。第1のドーズ量は、例えば、 $1 \times 10^{12} \text{ cm}^{-2}$ 以上 $1 \times 10^{14} \text{ cm}^{-2}$ 以下である。

【0104】

ステップS102では、第1のマスク材51をイオン注入マスクとして用いて、炭素を p ウェル領域16にイオン注入する（図15）。 p ウェル領域16に対する炭素のイオン注入が、第2のイオン注入の一例である。炭素のイオン注入は、第2のプロジェクテッド

10

20

30

40

50

レンジ及び第2のドーズ量で行われる。その後、第1のマスク材51を除去する。

【0105】

第2のプロジェクテッドレンジは、例えば、 $0.1\ \mu\text{m}$ 以上 $0.6\ \mu\text{m}$ 以下である。第2のプロジェクテッドレンジは、例えば、第1のプロジェクテッドレンジの80%以上120%以下である。第2のドーズ量は、第1のドーズ量の10倍以上である。第2のドーズ量は、例えば、第1のドーズ量の1000倍以下である。第2のドーズ量は、例えば、 $1 \times 10^{15}\ \text{cm}^{-2}$ 以上 $1 \times 10^{18}\ \text{cm}^{-2}$ 以下である。

【0106】

図16は、第1のイオン注入で炭化珪素層10に注入されたアルミニウムの濃度分布と、第2のイオン注入で炭化珪素層10に注入された炭素の濃度分布を示す。図16は、イオン注入直後の元素分布を示す。

10

【0107】

図16に示すように、炭素のイオン注入の第2のプロジェクテッドレンジRp2は、アルミニウムのイオン注入の第1のプロジェクテッドレンジRp1の近傍に位置する。そして、炭素のイオン注入の第2のドーズ量が、アルミニウムのイオン注入の第1のドーズ量の10倍以上であることから、イオン注入後の炭素の濃度分布は、例えば、イオン注入後のアルミニウムの濃度分布を完全に覆う。

【0108】

アルミニウムの分布のピークの濃度は、例えば、 $1 \times 10^{16}\ \text{cm}^{-3}$ 以上 $1 \times 10^{20}\ \text{cm}^{-3}$ 以下である。炭素の分布のピークの濃度は、例えば、 $1 \times 10^{18}\ \text{cm}^{-3}$ 以上 $1 \times 10^{22}\ \text{cm}^{-3}$ 以下である。

20

【0109】

ステップS103では、例えば、絶縁膜の形成と、フォトリソグラフィー及びエッチングによる絶縁膜のパターニングにより、第2のマスク材52を形成する。そして、第2のマスク材52をイオン注入マスクとして用いて、リンをドリフト領域14にイオン注入し、ソース領域18を形成する(図17)。その後、第2のマスク材52を除去する。

【0110】

ステップS104では、例えば、絶縁膜の形成と、フォトリソグラフィー及びエッチングによる絶縁膜のパターニングにより、第3のマスク材53を形成する。第3のマスク材53をイオン注入マスクとして用いて、アルミニウムをドリフト領域14にイオン注入し、pウェルコンタクト領域20を形成する(図18)。

30

【0111】

次に、第3のマスク材53を除去する(図19)。次に、炭化珪素層10の上に炭素膜54を形成する(図20)。

【0112】

ステップS105では、活性化アニールを行う。活性化アニールは、 1600°C 以上 1800°C 以下で行う。第1の熱処理は、非酸化性雰囲気で行う。活性化アニールは、例えば、不活性ガス雰囲気で行う。第1の熱処理は、例えば、アルゴンガス雰囲気で行う。

【0113】

活性化アニールにより、炭化珪素層10の中にイオン注入されたアルミニウム及びリンが活性化される。活性化アニールは、アルミニウム及びリンの活性化アニールである。また、活性化アニールにより、炭化珪素層10への炭素イオン注入により形成された格子間炭素が、炭化珪素層10の中の炭素空孔を埋める。

40

【0114】

炭素膜54は、活性化アニール中に、炭化珪素層10からシリコンや炭素が雰囲気中に脱離することを抑制する。また、炭素膜54は、活性化アニール中に、炭化珪素層10の中の余剰の格子間炭素を吸収する。

【0115】

活性化アニールは、例えば、 1600°C 以上の第1ステップと、第1のステップの温度よりも温度の低い第2のステップで構成される。第2のステップは、例えば、 1000°C

50

以下である。

【0116】

例えば、第1のステップで、炭化珪素層10の中にイオン注入されたアルミニウム及びリンを活性化し、格子間炭素が炭素空孔を埋める。例えば、低温の第2のステップで、余剰の格子間炭素を炭化珪素層10から追い出し、炭素膜54に吸収させる。

【0117】

次に、炭素膜54を除去する(図21)。

【0118】

ステップS106では、第1の熱処理を行う。第1の熱処理は、900℃以上1400℃以下の温度で行う。第1の熱処理は、水素を含む雰囲気の中で行う。第1の熱処理は、例えば、水素ガスを含む雰囲気中で行われる。

10

【0119】

第1の熱処理により、炭化珪素層10の表面の酸化膜がエッチングされる。第1の熱処理により、炭化珪素層10の表面が露出する。第1の熱処理により、炭化珪素層10の最表面のシリコン原子がダングリングボンドを備えるようになる。

【0120】

ステップS107では、第2の熱処理を行う。第2の熱処理は、900℃以上1400℃以下の温度で行う。第2の熱処理は、フッ素を含む雰囲気の中で行う。

【0121】

第2の熱処理の際に雰囲気中に含まれるフッ素は、例えば、加熱触媒法を用いて生成された原子状のフッ素である。加熱触媒法は、例えば、高温のタングステンフィラメント上にフッ素ガスを供給することで、原子状フッ素を生成する技術である。

20

【0122】

また、第2の熱処理の際に雰囲気中に含まれるフッ素は、例えば、フッ素ガスである。

【0123】

第2の熱処理の雰囲気中には、例えば、アルゴンガス又は窒素ガスが含まれる。

【0124】

第2の熱処理の際に雰囲気中に含まれるフッ素により、炭化珪素層10の最表面のシリコン原子のダングリングボンドがフッ素原子により終端される。第2の熱処理の際に、ダングリングボンドのフッ素原子による終端と、露出した炭化珪素層10の表面の原子のマイグレーションが同時に生じる。

30

【0125】

第2の熱処理により、炭化珪素層10の表面に第2の表面構造が形成される。炭化珪素層10の表面は、第2の表面構造が主たる表面となる。フッ素原子により終端されたシリコン原子は正にチャージアップするので、直下に負に荷電した炭素がくる第2の表面構造が大きく安定化する。第2の表面構造の最表面の1層目に位置するシリコン原子は、第2のシリコン原子である。第2のシリコン原子のサイト位置は、第1の面P1から3層目のシリコン原子のサイト位置と同じであり、第1の面P1から5層目のシリコン原子のサイト位置と同じである。

【0126】

第2の熱処理の温度は、例えば、第1の熱処理の温度より低い。

40

【0127】

ステップS108では、炭化珪素層10の上に酸化シリコン膜55を形成する(図22)。酸化シリコン膜55は、最終的に、ゲート絶縁層28となる。

【0128】

酸化シリコン膜55は、例えば、気相成長法により形成される。酸化シリコン膜55は、例えば、Chemical Vapor Deposition法(CVD法)、又は、Physical Vapor Deposition法(PVD法)により形成される。酸化シリコン膜55の形成温度は、例えば、600℃以下である。

【0129】

50

酸化シリコン膜 55 は、堆積膜である。酸化シリコン膜 55 の厚さは、例えば、30 nm 以上 100 nm 以下である。

【0130】

酸化シリコン膜 55 は、例えば、オルトケイ酸テトラエチル (TEOS) をソースガスとして CVD 法により形成される酸化シリコン膜である。また、酸化シリコン膜 55 は、例えば、ジクロロシランガス (SiH_2Cl_2) と一酸化二窒素ガス (N_2O) をソースガスとして CVD 法により形成される酸化シリコン膜である。

【0131】

ステップ S109 では、第 3 の熱処理が行われる。第 3 の熱処理は、アンモニアガス (NH_3) を含む雰囲気で行われる。

【0132】

例えば、炭化珪素層 10 が入れられた反応炉に、アンモニアガス (NH_3) を供給して熱処理を行う。

【0133】

第 3 の熱処理の温度は、例えば、1200℃ 以上 1600℃ 以下である。第 3 の熱処理の雰囲気のアモニアガスの分圧は、例えば、90% 以上である。

【0134】

第 3 の熱処理により、炭化珪素層 10 と酸化シリコン膜との界面に、界面終端領域 40 が形成される (図 23)。第 3 の熱処理により、炭化珪素層 10 の表面が第 1 の表面構造に変換される。

【0135】

第 3 の熱処理は、酸化シリコン膜のデンシファイアニールとしても機能する。第 3 の熱処理により、酸化シリコン膜 55 が高密度な膜となる。

【0136】

ステップ S110 では、第 4 の熱処理が行われる。第 4 の熱処理は、窒素酸化物ガス (NO_x) を含む雰囲気で行われる。窒素酸化物ガスは、例えば、一酸化窒素ガス (NO) である。また、窒素酸化物ガスは、例えば、一酸化二窒素ガス (N_2O) である。

【0137】

例えば、炭化珪素層 10 が入れられた反応炉に、窒素酸化物ガス (NO_x) を供給して熱処理を行う。

【0138】

第 4 の熱処理の温度は、例えば、750℃ 以上 1050℃ 以下である。第 4 の熱処理の温度は、例えば、第 3 の熱処理の温度よりも低い。

【0139】

第 4 の熱処理の雰囲気窒素酸化物ガスの分圧は、例えば、10% 以上である。

【0140】

第 4 の熱処理により、酸化シリコン膜中の窒素が除去される。第 4 の熱処理により、窒素欠陥の低減された酸化シリコン膜が形成される。

【0141】

第 3 の熱処理により、炭化珪素層 10 と酸化シリコン膜との界面に、界面終端領域 40 が形成される (図 23) が、その一方で、酸化シリコン膜中に大量の窒素が導入される。界面終端により界面の耐酸化性が高まっているため、第 4 の熱処理によって、酸素が導入されても界面は酸化されず、かつ、酸化シリコン膜中の窒素欠陥を酸化によって置き換えることが可能となる。つまり、第 4 の熱処理によって、界面酸化を回避しつつ、酸化シリコン膜中の窒素を追い出し、窒素欠陥や酸素欠損が低減された、特性の良い酸化シリコン膜が得られる。

【0142】

ステップ S111 では、ゲート絶縁層 28 の上に、ゲート電極 30 を形成する。ゲート電極 30 は、例えば、n 型不純物又は p 型不純物を含む多結晶シリコンである。

【0143】

10

20

30

40

50

ステップS112では、ゲート電極30の上に、層間絶縁膜32が形成される（図24）。層間絶縁膜32は、例えば、酸化シリコン膜である。

【0144】

ステップS113では、ソース電極34及びドレイン電極36が形成される。ソース電極34は、ソース領域18、及び、pウェルコンタクト領域20の上に形成される。ソース電極34は、例えば、ニッケル（Ni）とアルミニウム（Al）のスパッタにより形成される。ドレイン電極36は、炭化珪素層10の裏面側に形成される。ドレイン電極36は、例えば、ニッケルのスパッタにより形成される。

【0145】

以上の製造方法により、図1、図3、及び図4に示すMOSFET100が形成される。

【0146】

次に、第1の実施形態の半導体装置及び半導体装置の製造方法の作用及び効果について説明する。

【0147】

第1の実施形態のMOSFET100は、炭化珪素層10の表面において、炭化珪素層10とゲート絶縁層28との間の界面準位の少ない第1の表面構造を主たる表面構造とする。したがって、界面準位に起因するゲート絶縁層の信頼性の低下や、界面準位に起因するキャリアの移動度の低下が抑制される。また、炭化珪素層10とゲート絶縁層28との間に窒素が偏析した界面終端領域40を備える。したがって、炭化珪素層10の表面のダングリングボンドが低減され、キャリアの移動度の低下が抑制される。よって、MOSFET100の特性が向上する。

【0148】

また、第1の実施形態のMOSFET100の製造方法では、界面準位の少ない第1の表面構造を主たる表面構造とするために、製造途中で炭化珪素層10の表面に第2の表面構造を形成する。その後、第2の表面構造を第1の表面構造に変換することで、第1の表面構造を最終的に主たる表面構造とする。

【0149】

以下、第1の実施形態の半導体装置及び半導体装置の製造方法の作用及び効果について詳述する。

【0150】

図25は、第1の実施形態の半導体装置の作用及び効果の説明図である。図25は、図6に示した炭化珪素層の各表面構造のエネルギー状態を第1原理計算によって、計算した結果を示す図である。図25（a）は、図6（a）に示した第1の表面構造の場合、図25（b）は、図6（b）に示した第2の表面構造の場合、図25（c）は、図6（c）に示した第3の表面構造の場合である。

【0151】

図25は、各表面構造のバンド図を示す。図24は、炭化珪素層（SiC）と酸化シリコン層（SiO₂）が、理想的に結合した状態について計算した結果である。

【0152】

図25（a）に示すように、第1の表面構造の場合は、炭化珪素層（SiC）と酸化シリコン層（SiO₂）との間に界面準位は形成されない。

【0153】

一方、図25（b）に示すように、第2の表面構造の場合は、炭化珪素層（SiC）の伝導帯下端から1.2 eV高い位置に界面準位が形成される。MOS構造の場合、この界面準位を介したゲート絶縁層のリーク電流が生じ、ゲート絶縁層の信頼性が低下するおそれがある。

【0154】

また、図25（c）に示すように、第3の表面構造の場合は、炭化珪素層（SiC）の伝導帯下端から0.3 eV低い位置に界面準位が形成される。MOSFETの場合、この界面準位に電子がトラップされ、キャリアの移動度が低下するおそれがある。

【0155】

以上の計算結果より、MOSFETの特性を向上させるためには、炭化珪素層の表面を第1の表面構造にすることが望ましいことが分かる。

【0156】

第1の実施形態のMOSFET100は、第1の面P1の最上層である1層目に存在する複数のシリコン原子の中で、第1のシリコン原子の占める割合が90%以上である。したがって、炭化珪素層10の表面の90%以上が第1の表面構造となる。よって、界面準位に起因するゲート絶縁層28の信頼性の低下や、界面準位に起因するキャリアの移動度の低下が抑制され、MOSFET100の特性が向上する。

【0157】

ゲート絶縁層28の信頼性の低下や、キャリアの移動度の低下を抑制する観点から、第1の面P1の最上層である1層目に存在する複数のシリコン原子の中で、第1のシリコン原子の占める割合が95%以上であることが好ましく、98%以上であることが更に好ましい。

【0158】

MOSFET100は、図10(a)に示すように、チャネル幅方向の第1の基準長を $0.5\mu\text{m}$ とした場合に、第1の基準長の範囲内のpウェル領域16の表面の表面粗さ(R_z)は 1nm 以下である。ステップの高さは、およそ 0.5nm もしくはおよそ 1nm となることが好ましい。また、MOSFET100は、図10(b)に示すように、チャネル幅方向の第2の基準長を $0.5\mu\text{m}$ とした場合に、第2の基準長の範囲内のpウェル領域16の表面の表面粗さ(R_z)は 0.5nm 以下である。

【0159】

MOSFET100は、チャネルが形成されるpウェル領域16の表面に、例えば、ステップバンチングのような、大きな凹凸が存在しない。したがって、pウェル領域16の表面の凹凸によるキャリアの散乱が抑制される。よって、MOSFET100のキャリアの移動度が向上する。

【0160】

特に、図10(b)に示すように、キャリアの進行方向となるチャネル長方向の凹凸が小さいことが好ましい。

【0161】

炭化珪素層10の表面を第1の表面構造としても、炭化珪素層10とゲート絶縁層28との間の結合状態を完全な状態にすることは、製造上困難である。炭化珪素層10の表面には、シリコン原子又は炭素原子のダングリングボンドが生じ得る。炭化珪素層10の表面にダングリングボンドが存在すると、炭化珪素層10とゲート絶縁層28との間の界面に界面準位が形成され、キャリアの移動度の低下が生じる。

【0162】

第1の実施形態のMOSFET100は、炭化珪素層10とゲート絶縁層28との間に窒素が偏析した界面終端領域40を備える。界面終端領域40では、窒素原子がシリコン原子と3配位で結合することにより、ダングリングボンドが低減される。したがって、キャリアの移動度の低下が抑制されたMOSFETが実現される。

【0163】

界面終端領域40の窒素濃度は、 $1 \times 10^{21} \text{cm}^{-3}$ 以上である。MOSFET100のキャリアの移動度の低下を抑制する観点から、界面終端領域40の窒素の濃度は、 $1 \times 10^{22} \text{cm}^{-3}$ 以上であることが好ましく、 $5 \times 10^{22} \text{cm}^{-3}$ 以上であることがより好ましい。MOSFET100のキャリアの移動度の低下を抑制する観点から、窒素の濃度分布の界面終端領域40のピークの窒素の濃度は、 $1 \times 10^{22} \text{cm}^{-3}$ 以上であることが好ましく、 $5 \times 10^{22} \text{cm}^{-3}$ 以上であることがより好ましい。

【0164】

界面終端領域40の余剰の窒素は電荷トラップとなるおそれがある。したがって、窒素の濃度分布の界面終端領域40のピークの窒素の濃度は、 $4 \times 10^{23} \text{cm}^{-3}$ 以下である

10

20

30

40

50

ことが好ましく、 $1 \times 10^{23} \text{ cm}^{-3}$ 以下であることがより好ましい。

【0165】

窒素の濃度分布の界面終端領域40のピークの窒素の濃度は、 $5.0 \times 10^{22} \text{ cm}^{-3} \pm 5\%$ であることが好ましい。ピークの窒素の濃度が $5.0 \times 10^{22} \text{ cm}^{-3} \pm 5\%$ の範囲にある場合、MOSFET100が特に電荷トラップの少ない良好な特性を示す。

【0166】

界面終端領域40の窒素の面密度は、 $1 \times 10^{14} \text{ cm}^{-2}$ 以上 $2.5 \times 10^{15} \text{ cm}^{-2}$ 以下であることが好ましい。界面終端領域40の窒素の面密度は、 $1.4 \times 10^{15} \text{ cm}^{-2} \pm 5\%$ であることが好ましい。窒素の面密度が上記範囲にある場合、MOSFET100が特に電荷トラップの少ない良好な特性を示す。

【0167】

MOSFET100のキャリアの移動度の低下を抑制する観点から、界面終端領域40に存在する窒素原子の90%以上が3配位の窒素原子であることが好ましく、99%以上が3配位の窒素原子であることがより好ましい。界面終端領域40に存在する3配位の窒素原子の濃度は、例えば、 $1 \times 10^{21} \text{ cm}^{-3}$ 以上である。界面終端領域40に存在する4配位の窒素原子の濃度は、例えば、 $1 \times 10^{19} \text{ cm}^{-3}$ 以下である。

【0168】

MOSFET100の閾値電圧の低下を抑制する観点から、4配位の窒素原子の濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 以下であることがより好ましい。

【0169】

界面終端領域40は、ゲート絶縁層28を形成した後に、炭化珪素層10とゲート絶縁層28との界面に、窒素を供給することにより形成する。界面終端領域40は、炭化珪素層10の表面の最上層の炭素原子を窒素原子で置換することによって形成される。この際、最上層のシリコン原子は、ゲート絶縁層28の中の酸素原子と結合し、ゲート絶縁層28の一部となる。

【0170】

図26は、第1の実施形態の半導体装置の作用及び効果の説明図である。図26は、第1の表面構造を有する炭化珪素層の表面に、ゲート絶縁層及び界面終端領域を形成した場合の、表面構造の変化を示す図である。

【0171】

図26に示すように、界面終端領域を形成する際に、最上層である第1層の炭素原子は窒素原子に置換される。最上層である第1層のシリコン原子は、ゲート絶縁層の中の酸素原子と結合し、ゲート絶縁層の一部となる。界面終端領域の形成前には、左図に示すように第1層のシリコン原子は、第1のシリコン原子である。一方、界面終端領域の形成後には、右図に示すように第1層のシリコン原子は、第2のシリコン原子である。言い換えれば、界面終端領域の形成後には、炭化珪素層の表面が第1の表面構造から第2の表面構造に変換される。

【0172】

図27は、第1の実施形態の半導体装置の作用及び効果の説明図である。図26は、第2の表面構造を有する炭化珪素層の表面に、ゲート絶縁層及び界面終端領域を形成した場合の、表面構造の変化を示す図である。

【0173】

図27に示すように、界面終端領域を形成する際に、最上層である第1層の炭素原子は窒素原子に置換される。最上層である第1層のシリコン原子は、ゲート絶縁層の中の酸素原子と結合し、ゲート絶縁層の一部となる。界面終端領域の形成前には、左図に示すように第1層のシリコン原子は、第2のシリコン原子である。一方、界面終端領域の形成後には、右図に示すように第1層のシリコン原子は、第1のシリコン原子である。言い換えれば、界面終端領域の形成後には、炭化珪素層の表面が第2の表面構造から第1の表面構造に変換される。

【0174】

図28は、第1の実施形態の半導体装置の作用及び効果の説明図である。図27は、第3の表面構造を有する炭化珪素層の表面に、ゲート絶縁層及び界面終端領域を形成した場合の、表面構造の変化を示す図である。

【0175】

図28に示すように、界面終端領域を形成する際に、最上層である第1層の炭素原子は窒素原子に置換される。最上層である第1層のシリコン原子は、ゲート絶縁層の中の酸素原子と結合し、ゲート絶縁層の一部となる。界面終端領域の形成前には、左図に示すように第1層のシリコン原子は、第3のシリコン原子である。一方、界面終端領域の形成後には、右図に示すように第1層のシリコン原子は、第1のシリコン原子である。言い換えれば、界面終端領域の形成後には、炭化珪素層の表面が第3の表面構造から第1の表面構造に変換される。

10

【0176】

上述のように、MOSFETの特性を向上させる観点から、炭化珪素層の表面は第1の表面構造であることが好ましく、第2の表面構造又は第3の表面構造であることは好ましくない。

【0177】

図26、図27、図28を用いて説明したように、界面終端領域の形成後に炭化珪素層の表面を第1の表面構造にするためには、界面終端領域の形成前に炭化珪素層の表面が第2の表面構造又は第3の表面構造としておくことが必要である。

20

【0178】

第1の実施形態のMOSFET100の製造方法では、界面終端領域の形成前に、ステップS106で、第1の熱処理を行う。第1の熱処理は、900℃以上の水素を含む雰囲気の中で行う。

【0179】

第1の熱処理により、炭化珪素層10の表面の酸化膜がエッチングされる。炭化珪素層10の表面の酸化膜がエッチングされることで、炭化珪素層10の表面に多数のシリコン原子のダングリングボンドが形成される。

【0180】

第1の熱処理の温度は、1000℃以上であることが好ましく、1100℃以上あることがより好ましく、1200℃以上であることが更に好ましい。第1の温度が高くなることで、炭化珪素層10の表面の酸化膜のエッチングが促進される。

30

【0181】

第1の熱処理の後に、ステップS107で、第2の熱処理が行う。第2の熱処理は、900℃以上1400℃以下の温度で行う。第2の熱処理は、フッ素を含む雰囲気の中で行う。

【0182】

第2の熱処理の際に、ダングリングボンドのフッ素原子による終端と、露出した炭化珪素層10の表面の原子のマイグレーションが同時に生じる。

【0183】

第2の熱処理により、炭化珪素層10の表面に第2の表面構造が形成される。炭化珪素層10の表面は、第2の表面構造が主たる表面となる。

40

【0184】

発明者の第一原理計算により、シリコン原子のダングリングボンドがフッ素原子で終端されると、フッ素原子の側に電子が引き寄せられることで、シリコン原子の正電荷量が大きくなることが明らかになった。シリコン原子のダングリングボンドがフッ素原子で終端されることにより、正電荷量が一原子当たり、約 $1.7e$ ($e=1.60217662 \times 10^{-19}$ クーロンであり、電気素量 (elementary charge) である) だけ大きくなることが明らかになった。

【0185】

50

炭化珪素層 10 の中の炭素原子は負電荷を有する。したがって、第 2 の熱処理の際に、ダングリングボンドのフッ素原子による終端と、露出した炭化珪素層 10 の表面の原子のマイグレーションが同時に生じると、正電荷量が多いシリコン原子と、炭素原子が近接する構造が最も安定になる。

【0186】

第 2 の表面構造は、図 6 (b) に示すように 1 層目のシリコン原子の直下に、2 層目の炭素原子が位置する構造である。したがって、第 2 の表面構造は、第 1 の表面構造及び第 3 の表面構造よりも、最表面のシリコン原子から下層の炭素原子までの距離が短い。したがって、第 2 の熱処理の際、炭化珪素層 10 の表面に第 2 の表面構造が安定な構造として形成される。

10

【0187】

第 2 の熱処理の際に雰囲気中に含まれるフッ素は、加熱触媒体法を用いて生成された原子状のフッ素であることが好ましい。加熱触媒体法を用いることで、雰囲気中の原子状水素の濃度が高くなり、ダングリングボンドのフッ素原子による終端が促進される。

【0188】

第 1 の実施形態の MOSFET 100 の製造方法では、第 2 の熱処理をフッ素を含む雰囲気中で行う。例えば、第 2 の熱処理中に、炭化珪素層の表面に大きなステップが存在すると、ステップにフッ素が吸着し、表面マイグレーションが促進され、表面の大きなステップが消滅する。したがって、第 2 の熱処理をフッ素を含む雰囲気中で行うことにより、例えば、ステップバンチングの発生が抑制され、炭化珪素層の表面の凹凸が低減する。

20

【0189】

第 2 の熱処理の温度は、1000℃以上であることが好ましく、1050℃以上あることがより好ましく、1100℃以上であることが更に好ましい。第 2 の熱処理の温度が高くなることにより、炭化珪素層 10 の表面の原子のマイグレーションが促進される。

【0190】

第 2 の熱処理の温度は、1300℃以下であることが好ましく、1200℃以下であることがより好ましい。第 2 の熱処理の温度が低くなることにより、ダングリングボンドのフッ素原子による終端が促進される。

【0191】

第 2 の熱処理の温度は、第 1 の熱処理の温度より低いことが好ましい。

30

【0192】

第 2 の熱処理を行う際に、炭化珪素層 10 の中に多数の炭素空孔 (carbon vacancy) が存在すると、雰囲気中から供給されたフッ素原子が炭素空孔に入るおそれがある。フッ素原子が炭素空孔に入ると電荷トラップを形成する。したがって、MOSFET の電子がトラップされ、キャリアの移動度が低下するおそれがある。

【0193】

そこで、第 1 の実施形態の MOSFET 100 の製造方法では、ステップ S102 で、炭素を p ウェル領域 16 にイオン注入する。p ウェル領域 16 は、ステップ S101 におけるアルミニウムのイオン注入で形成される。アルミニウムのイオン注入で p ウェル領域 16 には多量の炭素空孔が形成される。

40

【0194】

アルミニウムのイオン注入で形成された多量の炭素空孔を、炭素を p ウェル領域 16 にイオン注入することで消滅させる。炭素の第 2 のドーズ量をアルミニウムの第 1 のドーズ量の 10 倍以上とすることで、多量の炭素空孔を消滅させる。

【0195】

p ウェル領域 16 の中の、炭素空孔が減少するため、炭素空孔に入ったフッ素原子に起因するキャリアの散乱が抑制される。よって、MOSFET 100 のキャリアの移動度が更に向上する。

【0196】

p ウェル領域 16 の p 型不純物濃度を適正に保つ観点から、アルミニウムの第 1 のドーズ

50

ズ量は、 $1 \times 10^{14} \text{ cm}^{-2}$ 以下であることが好ましい。p ウェル領域 16 の中の炭素空孔の量を低減する観点から、炭素の第 2 のドーズ量は $1 \times 10^{15} \text{ cm}^{-2}$ 以上であることが好ましく、 $1 \times 10^{16} \text{ cm}^{-2}$ 以上であることがより好ましい。

【0197】

p ウェル領域 16 の中の炭素空孔の量を低減する観点から、炭素の第 2 のドーズ量は、アルミニウムの第 1 のドーズ量の 100 倍以上であることが好ましい。

【0198】

p ウェル領域 16 の中の炭素空孔の量を低減する観点から、炭素のイオン注入の第 2 のプロジェクトドレンジ Rp2 は、アルミニウムのイオン注入の第 1 のプロジェクトドレンジ Rp1 の 80% 以上 120% 以下であることが好ましく、90% 以上 110% 以下

10

【0199】

第 1 のプロジェクトドレンジ Rp1 と第 2 のプロジェクトドレンジ Rp2 を近づけることで、イオン注入後の炭素の濃度分布が、イオン注入後のアルミニウムの濃度分布を完全に覆うことが容易となる。イオン注入後の炭素の濃度分布が、イオン注入後のアルミニウムの濃度分布を完全に覆うことで、p ウェル領域 16 の中の炭素空孔の量が低減される。

【0200】

p ウェル領域 16 の深さを適切に保つ観点から、第 1 のプロジェクトドレンジ Rp1、及び第 2 のプロジェクトドレンジ Rp2 は、 $0.6 \mu\text{m}$ 以下であることが好ましい。

20

【0201】

また、第 1 の実施形態の MOSFET100 の製造方法では、ゲート絶縁層 28 を気相成長法により形成する。したがって、炭化珪素層 10 の表面の酸化が抑制される。よって、炭化珪素層 10 の表面に形成された第 2 の表面構造がゲート絶縁層 28 の形成後も維持される。

【0202】

ゲート絶縁層 28 の形成の温度は、 600°C 以下であることが好ましく、 500°C 以下であることがより好ましく、 400°C 以下であることが更に好ましい。ゲート絶縁層 28 の形成の温度を低くすることで、炭化珪素層 10 の表面の酸化が抑制される。

【0203】

ゲート絶縁層 28 は、成長時の酸素分圧を低くすることで、膜全体がシリコンリッチな酸化シリコン膜とすることが好ましい。 $\text{SiO}_2-\delta$ として、 $0.01 \leq \delta \leq 0.1$ が好ましい。つまり、酸素欠損が 0.5% 以上、5% 以下となるように調整することが好ましい。ゲート絶縁膜を形成する際に、余分な酸素が酸化シリコン膜中にあると、基板酸化の恐れがあるので、余分な酸素がない状態とすることが好ましいためである。第 4 の熱処理を行うことで、絶縁膜中の酸素欠損に酸素が供給されるので、最終的には、酸素欠損のない、良好な酸化シリコン膜となる。

30

【0204】

また、第 1 の実施形態の MOSFET100 の製造方法では、アンモニアガス (NH_3) を含む雰囲気中の第 3 の熱処理により界面終端領域 40 を形成する。アンモニアガスを含む雰囲気中、界面酸化を伴わずに、界面終端領域 40 を形成する。これにより、第 2 の表面構造の最上層である第 1 層のシリコン原子のみ、ゲート絶縁層 28 の中の酸素原子と結合させる。よって、界面終端領域 40 の形成後の炭化珪素層 10 の表面を、制御性良く第 1 の表面構造に変換することが可能となる。

40

【0205】

以上、第 1 の実施形態によれば、キャリアの移動度が向上する半導体装置及び半導体装置の製造方法が実現される。

【0206】

(第 2 の実施形態)

第 2 の実施形態のインバータ回路及び駆動装置は、第 1 の実施形態の半導体装置を備え

50

るインバータ回路及び駆動装置である。

【0207】

図29は、第2の実施形態の駆動装置の模式図である。駆動装置700は、モーター140と、インバータ回路150を備える。

【0208】

インバータ回路150は、第1の実施形態のMOSFET100をスイッチング素子とする3個の半導体モジュール150a、150b、150cで構成される。3個の半導体モジュール150a、150b、150cを並列に接続することで、3個の交流電圧の出力端子U、V、Wを備える三相のインバータ回路150が実現される。インバータ回路150から出力される交流電圧により、モーター140が駆動する。

10

【0209】

第2の実施形態によれば、特性の向上したMOSFET100を備えることで、インバータ回路150及び駆動装置700の特性が向上する。

【0210】

(第3の実施形態)

第3の実施形態の車両は、第1の実施形態の半導体装置を備える車両である。

【0211】

図30は、第3の実施形態の車両の模式図である。第3の実施形態の車両800は、鉄道車両である。車両800は、モーター140と、インバータ回路150を備える。

【0212】

インバータ回路150は、第1の実施形態のMOSFET100をスイッチング素子とする3個の半導体モジュールで構成される。3個の半導体モジュールを並列に接続することで、3個の交流電圧の出力端子U、V、Wを備える三相のインバータ回路150が実現される。インバータ回路150から出力される交流電圧により、モーター140が駆動する。モーター140により車両800の車輪90が回転する。

20

【0213】

第3の実施形態によれば、特性の向上したMOSFET100を備えることで、車両800の特性が向上する。

【0214】

(第4の実施形態)

第4の実施形態の車両は、第1の実施形態の半導体装置を備える車両である。

【0215】

図31は、第4の実施形態の車両の模式図である。第4の実施形態の車両900は、自動車である。車両900は、モーター140と、インバータ回路150を備える。

【0216】

インバータ回路150は、第1の実施形態のMOSFET100をスイッチング素子とする3個の半導体モジュールで構成される。3個の半導体モジュールを並列に接続することで、3個の交流電圧の出力端子U、V、Wを備える三相のインバータ回路150が実現される。

【0217】

インバータ回路150から出力される交流電圧により、モーター140が駆動する。モーター140により車両900の車輪90が回転する。

40

【0218】

第4の実施形態によれば、特性の向上したMOSFET100を備えることで、車両900の特性が向上する。

【0219】

(第5の実施形態)

第5の実施形態の昇降機は、第1の実施形態の半導体装置を備える昇降機である。

【0220】

図32は、第5の実施形態の昇降機（エレベータ）の模式図である。第5の実施形態の

50

昇降機 1 0 0 0 は、かご 6 1 0、カウンタウエイ 6 1 2、ワイヤロープ 6 1 4、巻上機 6 1 6、モーター 1 4 0 と、インバータ回路 1 5 0 を備える。

【0 2 2 1】

インバータ回路 1 5 0 は、第 1 の実施形態の MOSFET 1 0 0 をスイッチング素子とする 3 個の半導体モジュールで構成される。3 個の半導体モジュールを並列に接続することで、3 個の交流電圧の出力端子 U、V、W を備える三相のインバータ回路 1 5 0 が実現される。

【0 2 2 2】

インバータ回路 1 5 0 から出力される交流電圧により、モーター 1 4 0 が駆動する。モーター 1 4 0 により巻上機 6 1 6 が回転し、かご 6 1 0 が昇降する。

【0 2 2 3】

第 5 の実施形態によれば、特性の向上した MOSFET 1 0 0 を備えることで、昇降機 1 0 0 0 の特性が向上する。

【0 2 2 4】

第 1 の実施形態では、n チャネル型の MOSFET を例に説明したが、n チャネル型の IGBT (Insulated Gate Bipolar Transistor) にも本発明を適用することは可能である。

【0 2 2 5】

また、第 3 ないし第 5 の実施形態において、本発明の半導体装置を車両やエレベータに適用する場合を例に説明したが、本発明の半導体装置を例えば、太陽光発電システムのパワーコンディショナーなどに適用することも可能である。

【0 2 2 6】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。例えば、一実施形態の構成要素を他の実施形態の構成要素と置き換え又は変更してもよい。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0 2 2 7】

1 0 炭化珪素層
1 6 p ウェル領域 (炭化珪素領域)
2 8 ゲート絶縁層 (酸化シリコン層)
3 0 ゲート電極
4 0 界面終端領域 (領域)
5 5 酸化シリコン膜
1 0 0 MOSFET (半導体装置)
1 5 0 インバータ回路
7 0 0 駆動装置
8 0 0 車両
9 0 0 車両
1 0 0 0 昇降機
P 1 第 1 の面
P 2 第 2 の面
R p 1 第 1 のプロジェクテッドレンジ
R p 2 第 2 のプロジェクテッドレンジ

10

20

30

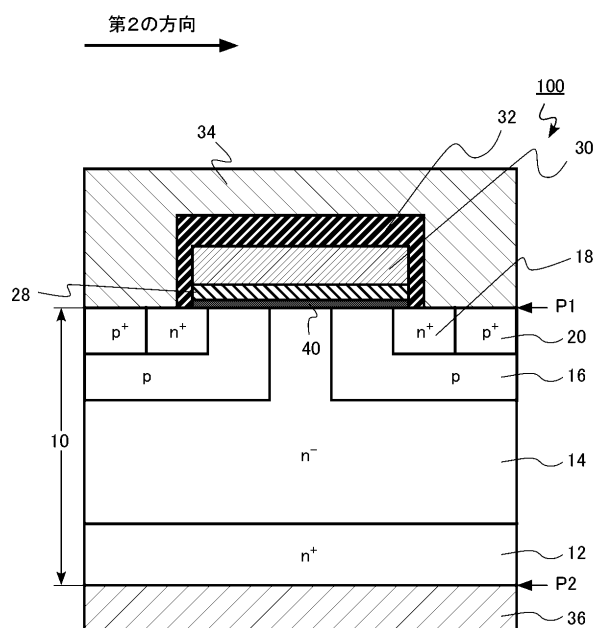
40

50

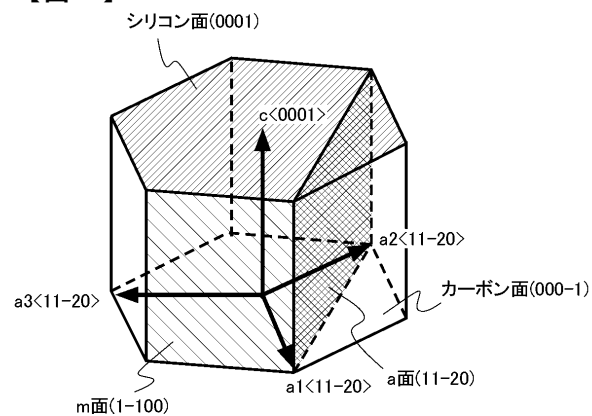
【図面】

【図 1】

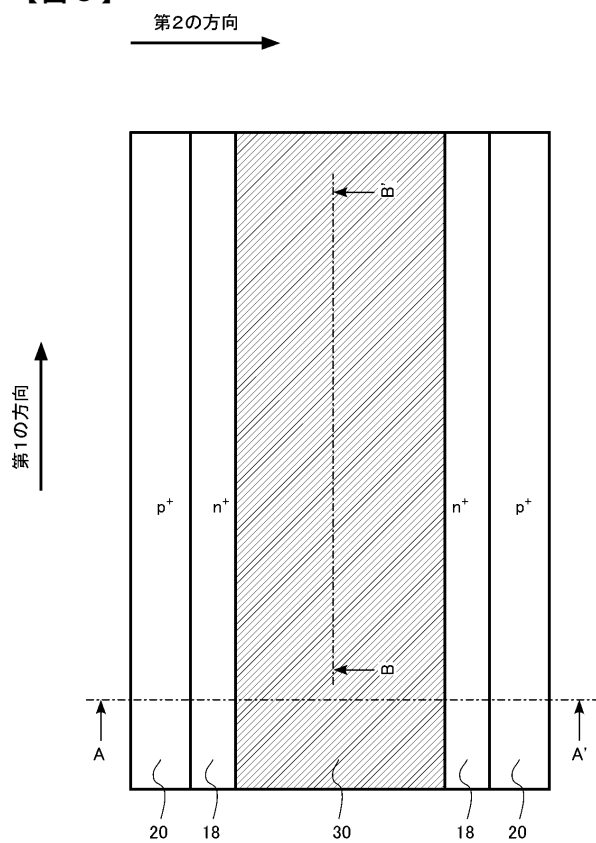
AA' 断面



【図 2】

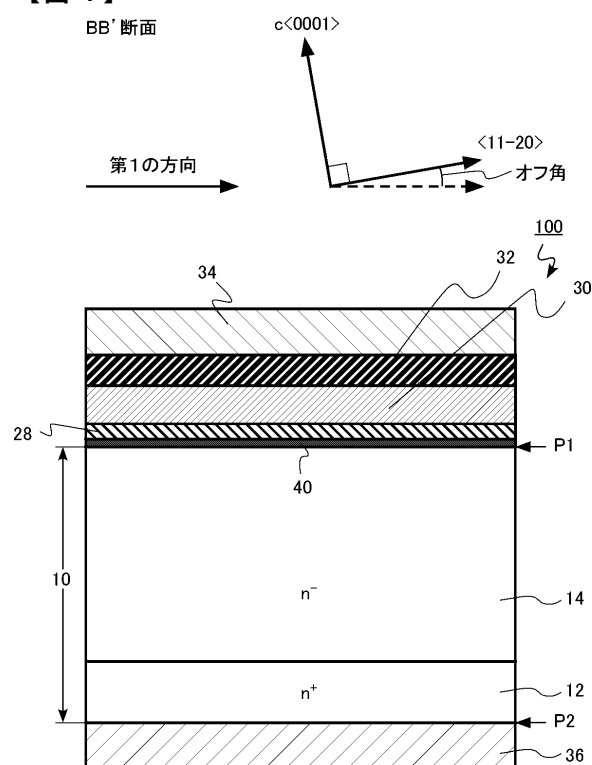


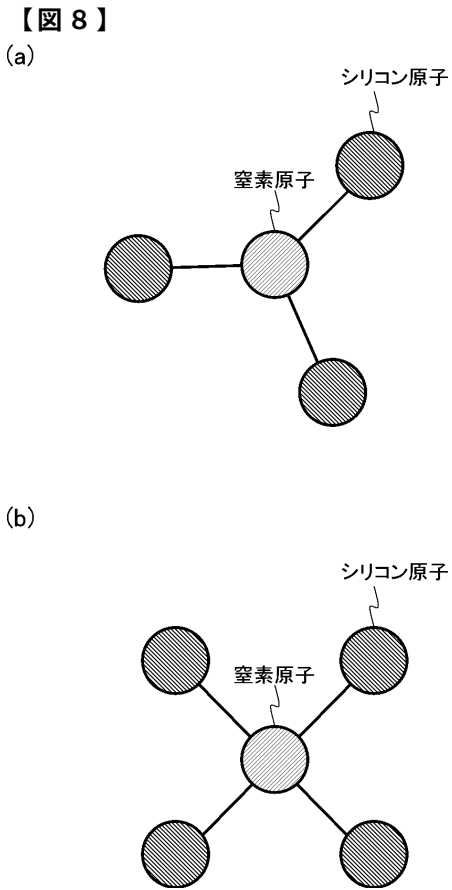
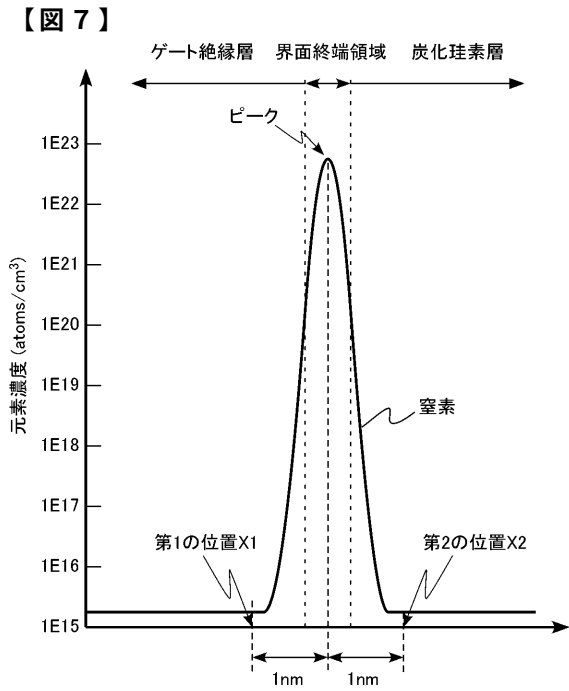
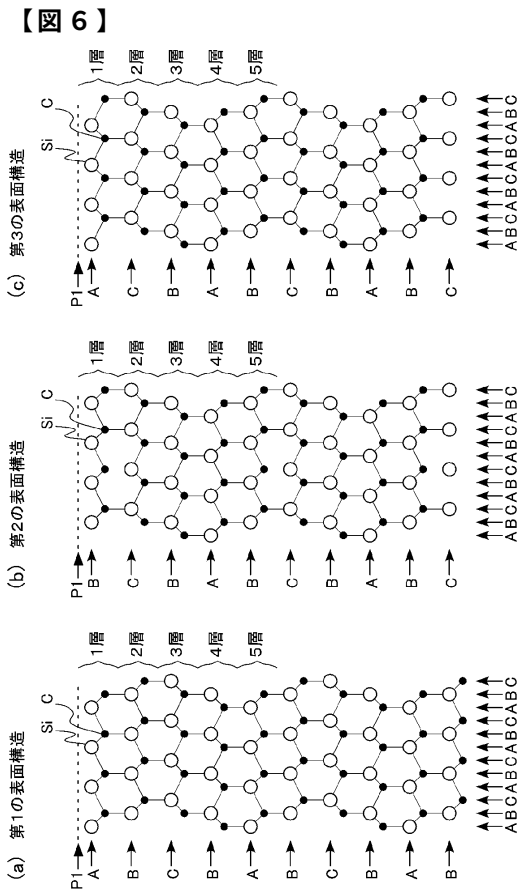
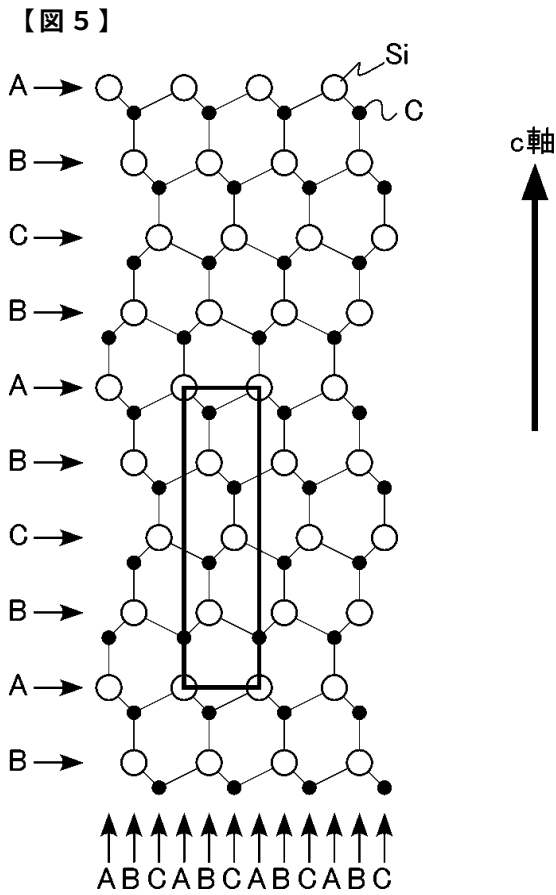
【図 3】



【圖 4】

BB' 断面





10

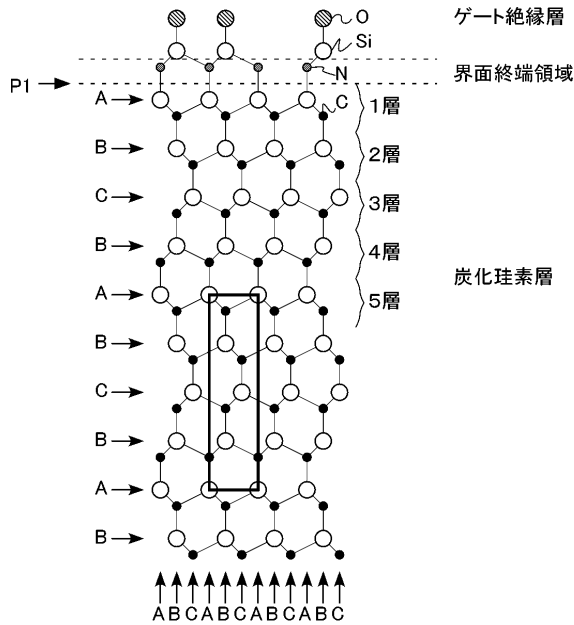
20

30

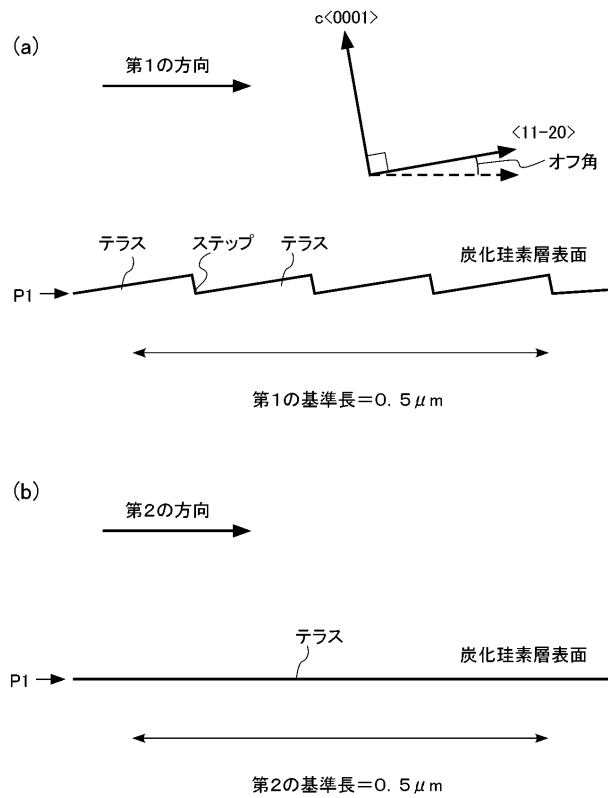
40

50

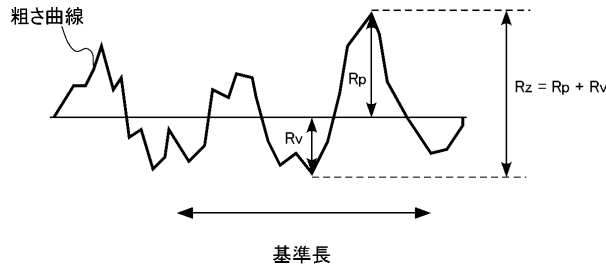
【図 9】



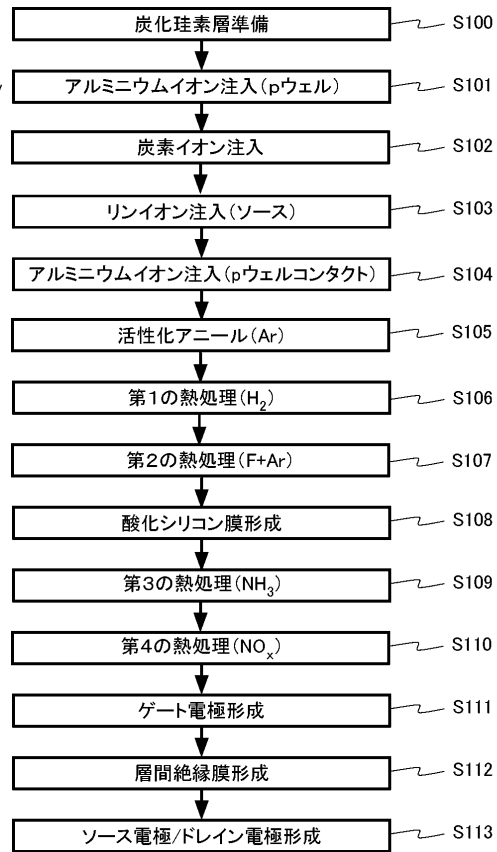
【図 10】



【図 11】



【図 12】



10

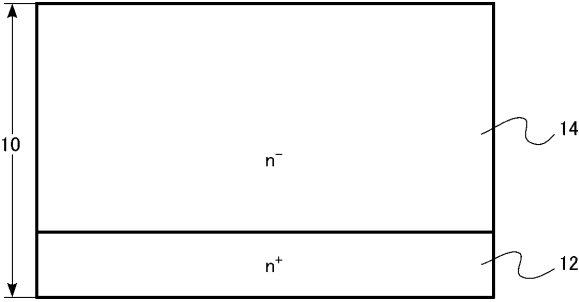
20

30

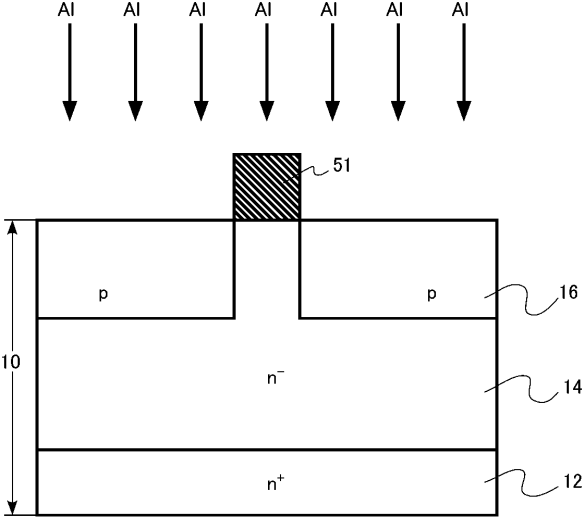
40

50

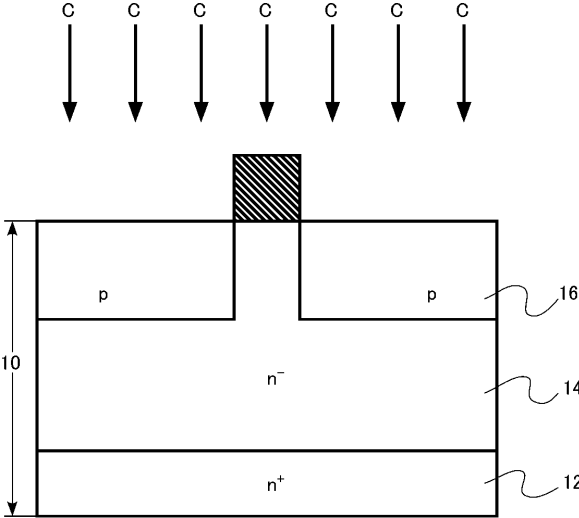
【図 1 3】



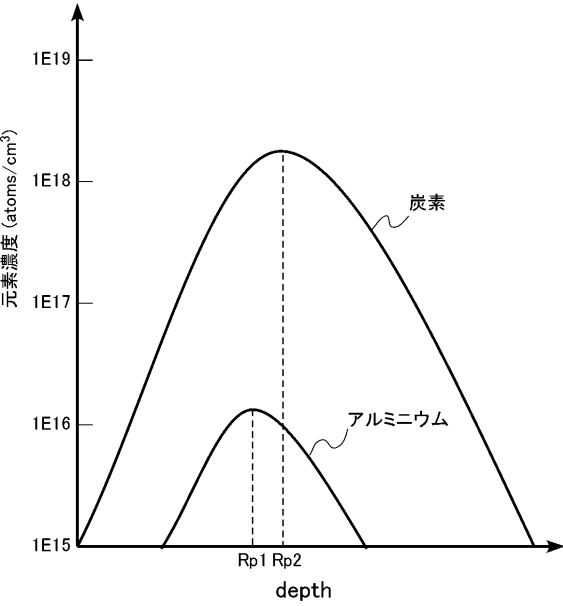
【図 1 4】



【図 1 5】



【図 1 6】



10

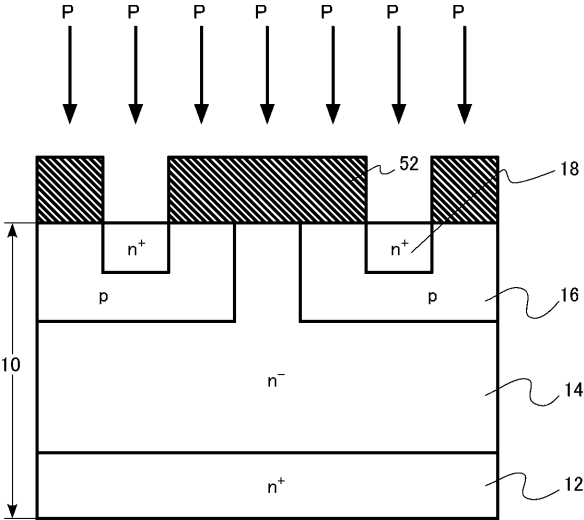
20

30

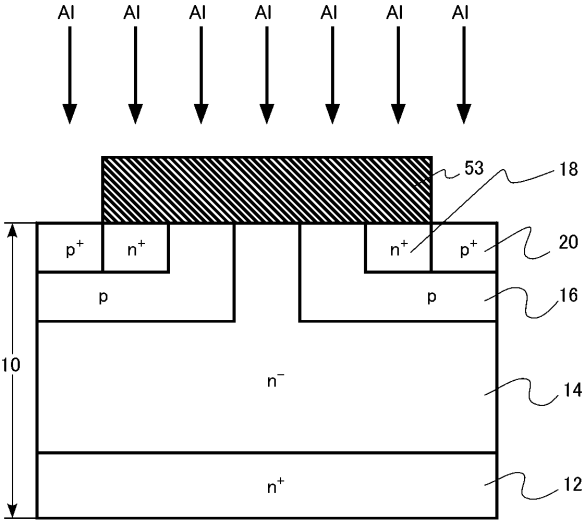
40

50

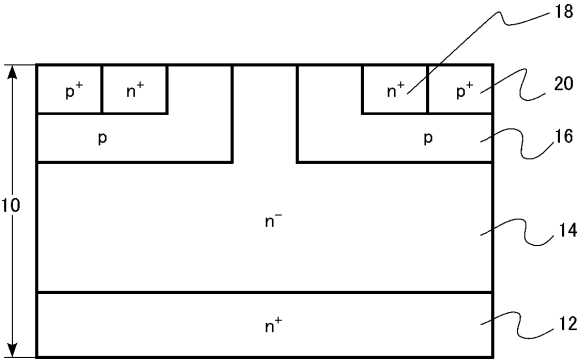
【図 17】



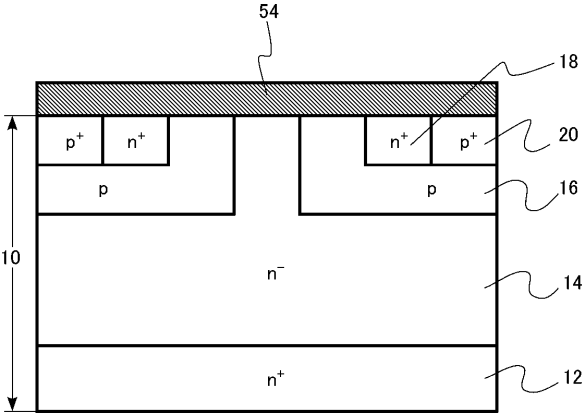
【図 18】



【図 19】



【図 20】



10

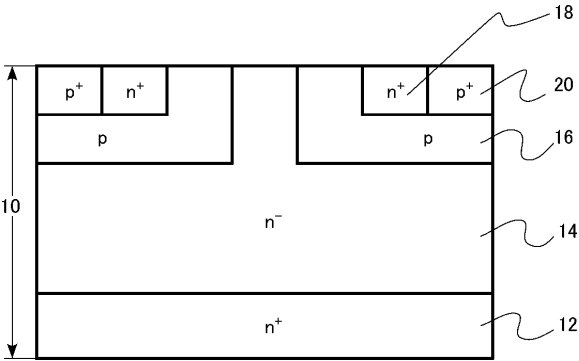
20

30

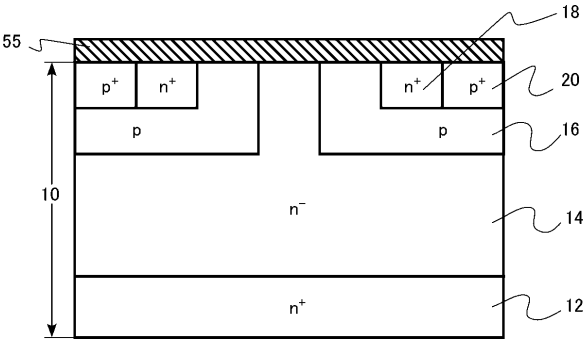
40

50

【図 2 1】

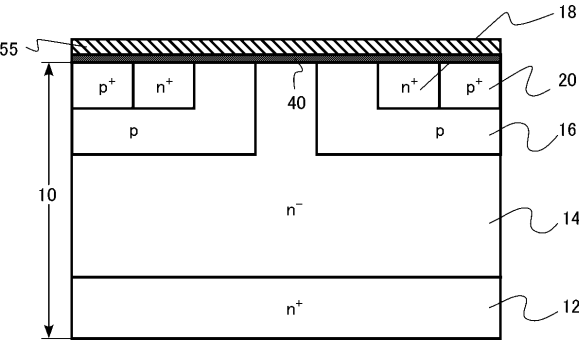


【図 2 2】

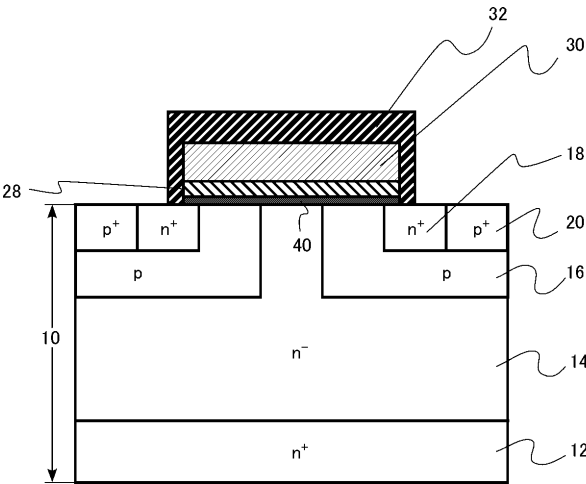


10

【図 2 3】



【図 2 4】



20

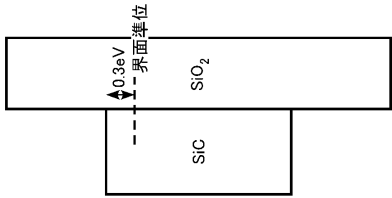
30

40

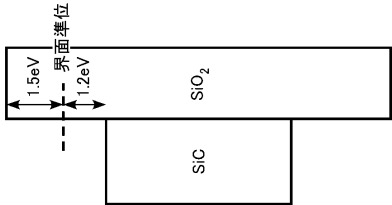
50

【図 2 5】

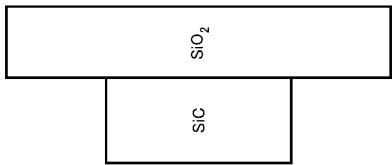
(c) 第3の表面構造



(b) 第2の表面構造

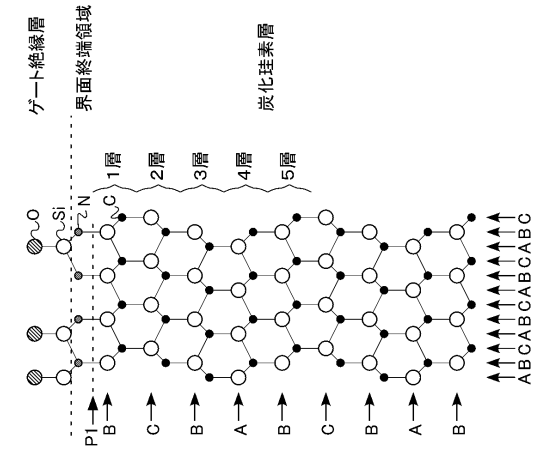


(a) 第1の表面構造

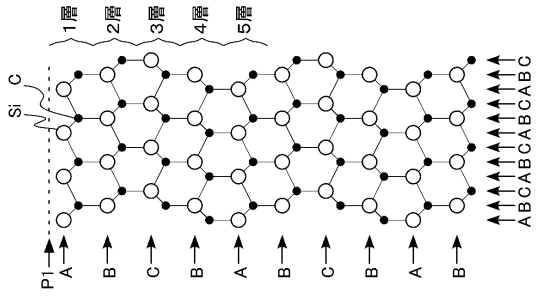


【図 2 6】

第2の表面構造

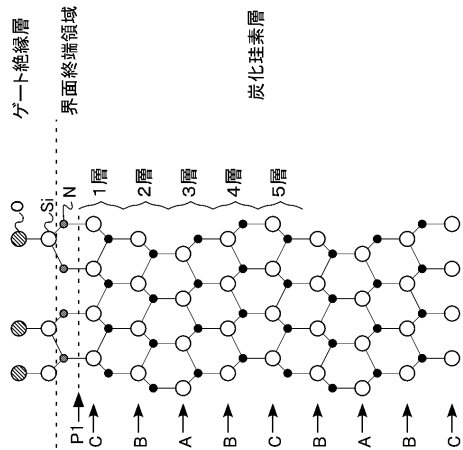


第1の表面構造

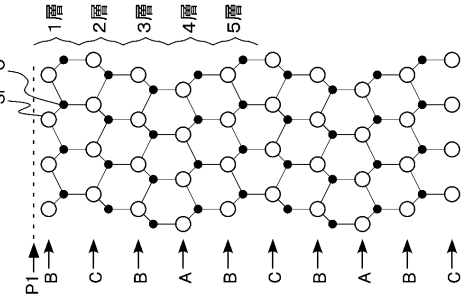


【図 2 7】

第1の表面構造

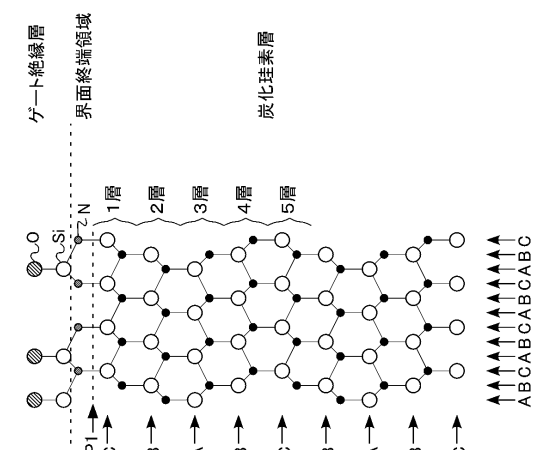


第2の表面構造

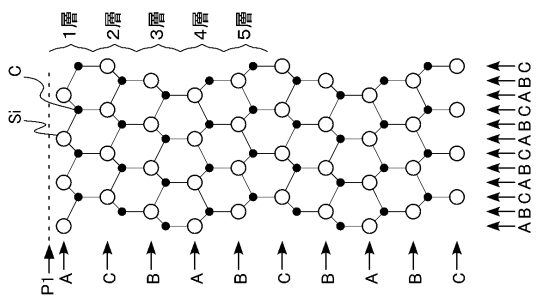


【図 2 8】

第1の表面構造



第3の表面構造



10

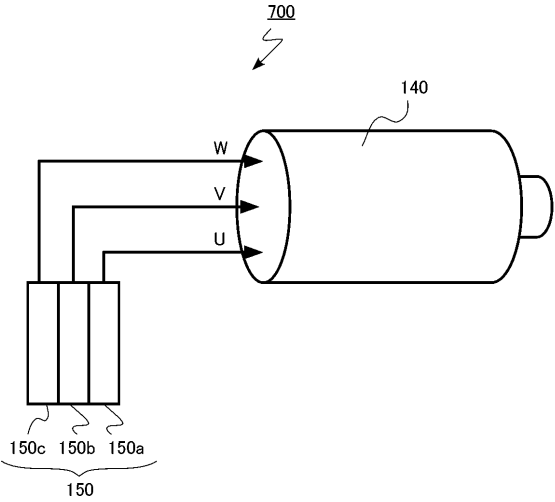
20

30

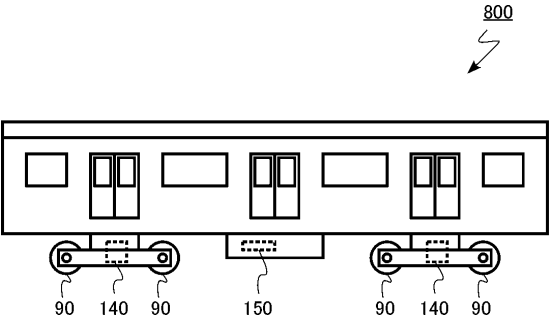
40

50

【図 29】

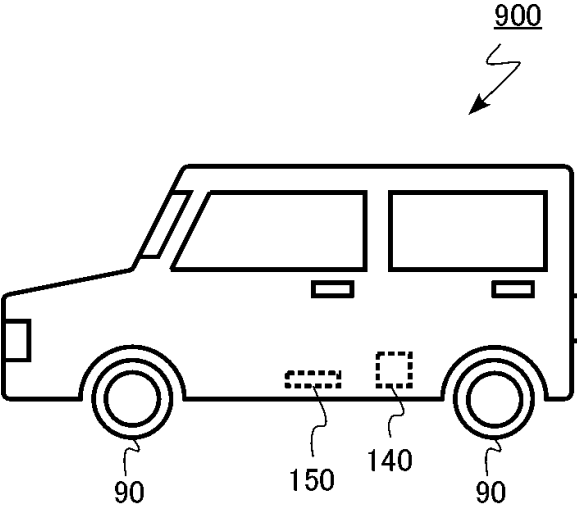


【図 30】

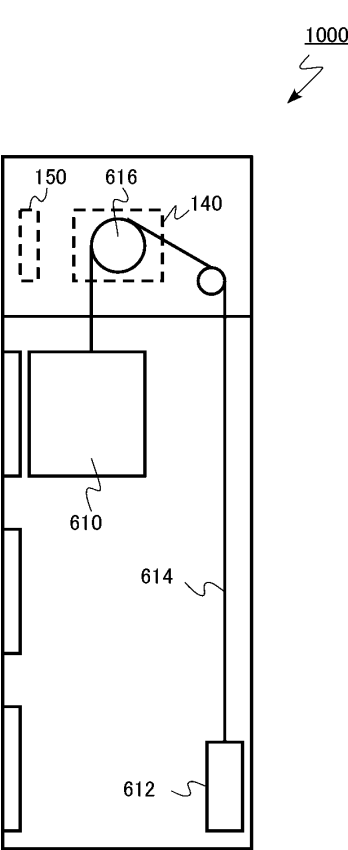


10

【図 31】



【図 32】



20

30

40

50

フロントページの続き

(51)国際特許分類		F I		
H O 1 L	21/324 (2006.01)	H O 1 L	21/316	X
H O 1 L	29/12 (2006.01)	H O 1 L	21/322	Z
H O 1 L	29/739 (2006.01)	H O 1 L	21/324	Z
H O 1 L	21/336 (2006.01)	H O 1 L	29/78	6 5 2 F
		H O 1 L	29/78	6 5 2 T
		H O 1 L	29/78	6 5 5 A
		H O 1 L	29/78	6 5 8 A
		H O 1 L	29/78	6 5 8 F

- (56)参考文献 特開 2020-047668 (JP, A)
 特開 2018-035051 (JP, A)
 特開 2008-205296 (JP, A)

- (58)調査した分野 (Int.Cl., DB名)
 H O 1 L 21/265、21/31、
 21/316、21/322、
 21/324、21/336、
 29/12、29/739、29/78