



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0080158
(43) 공개일자 2017년07월10일

(51) 국제특허분류(Int. Cl.)
H01P 1/205 (2006.01) H01P 1/203 (2006.01)
(52) CPC특허분류
H01P 1/205 (2013.01)
H01P 1/203 (2013.01)
(21) 출원번호 10-2015-0191418
(22) 출원일자 2015년12월31일
심사청구일자 2015년12월31일
기술이전 희망 : 기술양도

(71) 출원인
인천대학교 산학협력단
인천광역시 연수구 아카데미로 119 (송도동)
(72) 발명자
강승택
서울특별시 양천구 목동서로 340, 930동 508호 (신시가지9단지아파트)
(74) 대리인
특허법인충정

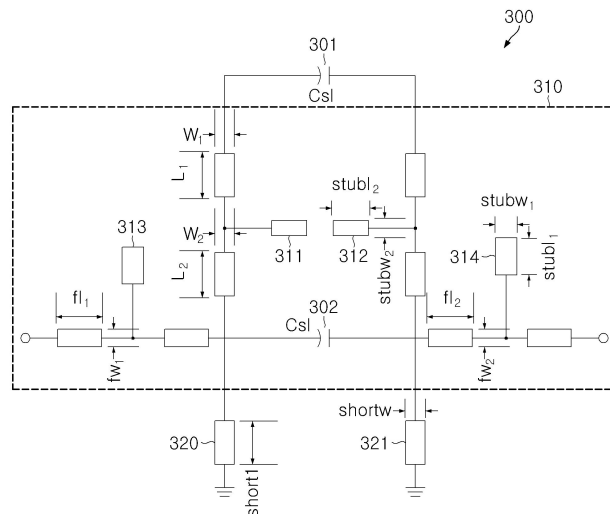
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 스테브가 삽입된 인터디지털 결합 선로를 이용한 CRLH 대역 통과 필터

(57) 요약

본 발명은 스테브가 삽입된 마이크로스트립 인터디지털 결합선로를 이용한 복합 오른손/왼손전송법칙(Composite Right/Left-Handed; CRLH) 대역 통과 필터에 관한 것으로, 유전체 기판; 상기 유전체 기판의 상면에서 상측에 형성되는 제1 커패시터; 상기 유전체 기판의 상면에서 하측에 형성되는 제2 커패시터; 상기 제1 커패시터 및 상기 제2 커패시터 사이에서 좌우 양측으로 상기 제1 커패시터 및 상기 제2 커패시터와 전기적으로 연결되는 다수의 스테브; 상기 다수의 스테브 사이에 형성되는 하나 이상의 개방형 스테브; 및 상기 제2 커패시터의 좌우 양측의 포트에서 상기 제2 커패시터에 수직으로 형성되는 단락형 스테브를 포함한다.

대표도 - 도3



명세서

청구범위

청구항 1

유전체 기관;

상기 유전체 기관의 상면에서 상측에 형성되는 제1 커패시터;

상기 유전체 기관의 상면에서 하측에 형성되는 제2 커패시터;

상기 제1 커패시터 및 상기 제2 커패시터 사이에서 좌우 양측으로 상기 제1 커패시터 및 상기 제2 커패시터와 전기적으로 연결되는 다수의 스테브;

상기 다수의 스테브 사이에 형성되는 하나 이상의 개방형 스테브; 및

상기 제2 커패시터의 좌우 양측의 포트에서 상기 제2 커패시터에 수직으로 형성되는 단락형 스테브를 포함하는, CRLH(Composite Right/Left-Handed) 대역 통과 필터.

청구항 2

제1항에 있어서,

상기 다수의 스테브는,

상기 제1 커패시터 및 상기 제2 커패시터에 수직으로 형성되는 하나 이상의 수직형 스테브 및 상기 제2 커패시터로부터 길게 연장되며 상기 제2 커패시터에 수평으로 형성되는 하나 이상의 수평형 스테브를 포함하는, CRLH 대역 통과 필터.

청구항 3

제2항에 있어서,

상기 수직형 스테브 및 상기 수평형 스테브는 일측 양단이 상기 제1 커패시터, 상기 제2 커패시터 및 인접한 스테브 중 어느 하나에 전기적으로 연결되는, CRLH 대역 통과 필터.

청구항 4

제3항에 있어서,

상기 개방형 스테브의 일측 일단은 인접한 수직형 스테브 사이 또는 인접한 수평형 스테브 사이에 전기적으로 연결되고 일측 타단은 전기적으로 개방된 형태인, CRLH 대역 통과 필터.

청구항 5

제1항에 있어서,

상기 제1 커패시터, 상기 제2 커패시터 및 상기 다수의 스테브는 마이크로스트립 인터디지털 결합 선로를 구성하는, CRLH 대역 통과 필터.

청구항 6

제5항에 있어서,

상기 마이크로스트립 인터디지털 결합 선로는,

상기 유기체 기관의 상면에 형성되는 좌측 및 우측의 배선으로부터 길게 연장되는 일정한 길이 및 일정한 폭의 다수의 핑거(finger) 선로가 서로 좌우로 교차 형성되는, CRLH 대역 통과 필터.

청구항 7

제6항에 있어서,

상기 다수의 핑거 선로는,

상기 유기체 기관의 상측에 형성되는 하나 이상의 제1 핑거 선로;

상기 유기체 기관의 하측에 형성되는 하나 이상의 제2 핑거 선로; 및

상기 제1 핑거 선로와 상기 제2 핑거 선로 사이에서 좌우로 형성된 제3 핑거 선로를 포함하는, CRLH 대역 통과 필터.

청구항 8

제7항에 있어서,

상기 제1 핑거 선로 및 상기 제2 핑거 선로는 동일한 길이, 동일한 폭 및 동일한 선로 간격으로 형성되는, CRLH 대역 통과 필터.

청구항 9

제8항에 있어서,

상기 제3 핑거 선로의 폭은 상기 제1 핑거 선로의 폭과 동일하고, 상기 제3 핑거 선로의 길이는 상기 제1 핑거 선로의 길이보다 짧게 형성되는, CRLH대역 통과 필터.

청구항 10

제9항에 있어서,

상기 다수의 핑거 선로는,

상기 제1 핑거 선로, 상기 제2 핑거 선로 및 상기 제3 핑거 선로의 외곽에 일정 간격을 두고 서로 교차하는 형태로 형성되는 제4 핑거 선로를 더 포함하는, CRLH 대역 통과 필터.

청구항 11

제10항에 있어서,

상기 제4 핑거 선로의 폭은 상기 제1 핑거 선로의 폭보다 넓고, 상기 제4 핑거 선로의 길이는 상기 제1 핑거 선로의 길이와 동일하지 않은, CRLH 대역 통과 필터.

청구항 12

제1항에 있어서,

상기 단락형 스텔브 각각은 일측 일단에 단락용 비아 홀이 형성된, CRLH 대역 통과 필터.

발명의 설명

기술 분야

[0001] 본 발명은 초광대역 복합 오른손/왼손(Composite Right/Left-Handed; 이하 "CRLH"이라도 함) 대역 통과 필터에 관한 것으로, 구체적으로는 스텔브가 삽입된 인터디지털 결합 선로를 이용하여 최적화된 소형 광대역 CRLH 대역 통과 필터에 관한 것이다.

배경 기술

[0002] 최근 LTE 서비스가 사업자 및 단말기가 수백 Mbps 단위의 데이터를 전송 및 수신할 수 있도록 지원함에 따라, Gbps 데이터 전송을 실행하는 것이 5G 서비스를 이끌 수 있도록 한 단계 앞서 나아간 것과 같이, 광대역 통신의 장점을 활용하기 위한 다양한 방법이 연구되고 있다.

[0003] 이러한 많은 연구 활동의 하나로서, 다기능 안테나 및 회로를 구비하여 무선 통신 시스템의 진화에 따라갈 수 있는 대역 통과 필터(band-pass filter) 설계 방법이 보고되고 있다.

- [0004] 예를 들어, 대역 통과 필터 설계 방법 중의 하나로서, 전송 선로(Transmission Line)의 부분에 영점(zero)들을 추가하여 형성되는 대역폭의 아주 넓은 대역(very wide-band) 대역 통과 필터를 설계하는 방법이 있으며, 이 방법에 따른 주파수 응답은 대역의 경계 영역에서만 노치(notch)를 가지고 있어서 극히 좁은 차단 대역(stopband)을 갖는다.
- [0005] 다른 예로, 대역폭을 확장하고 확대된 차단 영역을 획득하기 위한 1/4 파장의 배수 형태로 형성되는 다중 모드 공진기(multi-mode resonator)에 기초하여 광대역 어플리케이션을 위한 마이크로스트립(microstrip) 및 코플래너 선로(Coplanar waveguide) 대역 통과 필터가 제안되었다. 이러한 반파장의 다중 모드 공진기 방식은 1/4 파장의 평행 결합선로(coupled line)들이 인버터로 사용되는 방식에도 이용될 수 있다.
- [0006] 그러나, 종래의 기술은 다단의 평행결합선로에 의해 전체 회로의 크기가 커지고 평행결합선로의 단수를 줄이면 차단대역의 억압특성이 완만하여 불요파를 효과적으로 억압하지 못하게 되는 문제가 발생할 수 있다. 또는, 평행결합선로의 단수 증가에 의해서 통과대역의 삽입손실이 크고 협대역이 발생하는 문제점이 발생할 수 있다.
- [0007] 최근에는, 복합 오른손/왼손 전송 선로(Composite Right/Left-Handed Transmission Line: CRLH-TL)를 이용한 대역 통과 필터에 대한 연구가 계속되고 있다. 또한, 종래의 마이크로스트립 결합 선로의 크기보다 전체적인 회로의 크기를 감소시키고 통과 대역 내에서 삽입손실을 감소시킬 수 있는 인터디지털 결합선로를 사용하는 방법에 대한 연구도 계속되고 있다.

발명의 내용

해결하려는 과제

- [0008] 본 발명은 상술한 바와 같은 종래 기술의 문제점을 해결하고자 하는 것으로서, 복합 오른손/왼손 전송 선로 메타물질에 기초하여 스테브가 삽입된 인터디지털 결합선로들을 이용한 최적화된 소형 광대역 복합 오른손/왼손(CRLH) 대역 통과 필터에 관한 것이다.

과제의 해결 수단

- [0009] 상기 기술적 과제를 달성하고자 본 발명의 실시예에 따른 CRLH 대역 통과 필터는, 유전체 기판; 상기 유전체 기판의 상면에서 상측에 형성되는 제1 커패시터; 상기 유전체 기판의 상면에서 하측에 형성되는 제2 커패시터; 상기 제1 커패시터 및 상기 제2 커패시터 사이에서 좌우 양측으로 상기 제1 커패시터 및 상기 제2 커패시터와 전기적으로 연결되는 다수의 스테브; 상기 다수의 스테브 사이에 형성되는 하나 이상의 개방형 스테브; 및 상기 제2 커패시터의 좌우 양측의 포트에서 상기 제2 커패시터에 수직으로 형성되는 단락형 스테브를 포함한다.
- [0010] 본 발명의 실시예에 따른 상기 다수의 스테브는, 상기 제1 커패시터 및 상기 제2 커패시터에 수직으로 형성되는 하나 이상의 수직형 스테브 및 상기 제2 커패시터로부터 길게 연장되며 상기 제2 커패시터에 수평으로 형성되는 하나 이상의 수평형 스테브를 포함할 수 있다.
- [0011] 그리고, 본 발명의 실시예에 따른 상기 수직형 스테브 및 상기 수평형 스테브는 일측 양단이 상기 제1 커패시터, 상기 제2 커패시터 및 인접한 스테브 중 어느 하나에 전기적으로 연결될 수 있다.
- [0012] 반면, 본 발명의 실시예에 따른 상기 개방형 스테브의 일측 일단은 인접한 수직형 스테브 사이 또는 인접한 수평형 스테브 사이에 전기적으로 연결되고 일측 타단은 전기적으로 개방된 형태일 수 있다.
- [0013] 한편, 본 발명의 실시예에 따르면, 상기 제1 커패시터, 상기 제2 커패시터 및 상기 다수의 스테브는 마이크로스트립 인터디지털 결합선로를 구성할 수 있다.
- [0014] 본 발명의 실시예에 따른 상기 마이크로스트립 인터디지털 결합 선로는, 상기 유기체 기판의 상면에 형성되는 좌측 및 우측의 배선으로부터 길게 연장되는 일정한 길이 및 일정한 폭의 다수의 핑거(finger) 선로가 서로 좌우로 교차 형성될 수 있다.
- [0015] 본 발명의 실시예에 따른 상기 다수의 핑거 선로는, 상기 유기체 기판의 상측에 형성되는 하나 이상의 제1 핑거 선로; 상기 유기체 기판의 하측에 형성되는 하나 이상의 제2 핑거 선로; 및 상기 제1 핑거 선로와 상기 제2 핑거 선로 사이에서 좌우로 형성된 제3 핑거 선로를 포함할 수 있다.
- [0016] 본 발명의 실시예에 따른 상기 제1 핑거 선로 및 상기 제2 핑거 선로는 동일한 길이, 동일한 폭 및 동일한 선로 간격으로 형성될 수 있다.

- [0017] 그리고, 상기 제3 핑거 선로의 폭은 상기 제1 핑거 선로의 폭과 동일하고, 상기 제3 핑거 선로의 길이는 상기 제1 핑거 선로의 길이보다 짧게 형성될 수 있다.
- [0018] 나아가, 본 발명의 실시예에 따른 상기 다수의 핑거 선로는, 상기 제1 핑거 선로, 상기 제2 핑거 선로 및 상기 제3 핑거 선로의 외곽에 일정 간격을 두고 서로 교차하는 형태로 형성되는 제4 핑거 선로를 더 포함할 수 있다.
- [0019] 이때, 상기 제4 핑거 선로의 폭은 상기 제1 핑거 선로의 폭보다 넓고, 상기 제4 핑거 선로의 길이는 상기 제1 핑거 선로의 길이와 동일하지 않을 수 있다.
- [0020] 본 발명의 실시예에 따른 상기 단락형 스텔브 각각은 일측 일단에 단락용비아 홀이 형성될 수 있다.

발명의 효과

- [0021] 이와 같은 본 발명의 실시예에 의하면, 구현하고자 하는 통과 대역을 형성하기 위해 복합 오른손/왼손 전송 선로의 하나의 유닛을 적용하고 내부 개방형 스텔브 및 외부 개방형 스텔브의 두 쌍을 첨가할 수 있다. 한편, 3차원 전자계 시뮬레이션 및 제작을 통해, 본 발명의 실시예에 따른 대역 통과 필터는 3.2 GHz 내지 4.8 GHz 대역, 1dB보다 작은 삽입 손실, 15dB보다 적은 반사 손실과 함께 주파수 응답의 좋은 성능을 끌어낼 수 있다.
- [0022] 또한, 본 발명의 실시예에 따른 대역 통과 필터의 전체 크기를 $1 \times 1 \text{ cm}^2$ 영역보다 작은 크기로 소형화할 수 있다.

도면의 간단한 설명

- [0023] 도 1은 본 발명의 실시예와 관련하여 복합 오른손/왼손 전송 선로 회로의 일 예를 나타내는 회로도이다.
- 도 2는 본 발명의 실시예와 관련하여 복합 오른손/왼손 전송 선로 회로의 다른 예를 나타내는 회로도이며,
- 도 3은 본 발명의 실시예에 따른 복합 오른손/왼손 대역 통과 필터의 회로 구조의 일 예를 나타내는 회로도이다.
- 도 4는 본 발명의 실시예에 따른 복합 오른손/왼손 대역 통과 필터에서 대역별 범위를 나타내는 표이다.
- 도 5는 도 3의 실시예에 따른 회로도의 각 구성요소의 초기값을 나타내는 표이다.
- 도 6은 도 3의 회로도에서 도 5에 예시된 회로도 구성요소의 초기값을 적용하였을 때 측정할 수 있는 주파수 응답 데이터를 그래프 형태로 도식화한 그래프이다.
- 도 7은 본 발명의 실시예에 따른 마이크로스트립 인터디지털 결합 선로형태의 일 예를 나타내는 도면이다.
- 도 8은 본 발명의 실시예에 따른 인덕턴스로 사용되는 접지된 마이크로스트립 선로 스텔브의 형상을 나타내는 도면이다.
- 도 9는 본 발명의 실시예에 따른 복합 오른손/왼손 대역 통과 필터의 회로 구조의 다른 예를 나타내는 회로도이다.
- 도 10은 도 9에 도시된 회로도에 포함된 소자별 초기값을 나타내는 표이다.
- 도 11은 본 발명의 실시예에 따른 복합 오른손/왼손 대역 통과 필터를 시뮬레이션한 결과의 일 예를 나타내는 그래프이다.
- 도 12는 본 발명의 실시예에 따른 복합 오른손/왼손 영차 공진점 속성을 나타내는 도면이다.
- 도 13은 본 발명의 실시예에 따른 광대역 통과 필터를 구현한 일 예를 나타내는 도면이다.
- 도 14는 본 발명의 실시예에 따른 대역 통과 필터와 다른 광대역 통과 필터의 속성을 비교한 표이다.

발명을 실시하기 위한 구체적인 내용

- [0024] 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 설명하기 위하여 이하에서는 본 발명의 바람직한 실시예를 예시하고 이를 참조하여 살펴본다.
- [0025] 먼저, 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로서, 본 발명을 한정하려는 의도가 아니며, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함할 수 있다. 또한 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소,

부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

- [0026] 본 발명을 설명함에 있어서, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략한다.
- [0027] 본 발명은 스테르브가 삽입된 인터디지털 결합 선로를 이용한 콤팩트 광대역 복합 오른손/왼손 대역 통과 필터를 제시한다.
- [0028] 먼저, 본 발명의 실시예에 따른 복합 오른손/왼손 전송(Composite Right/Left-Handed) 대역 통과 필터와 관련하여 두 가지 특징에 대해 설명하도록 한다.
- [0029] 본 발명의 실시예에 따른 CRLH 대역 통과 필터는 대역 통과 필터 구성을 소형화하기 위해 1/4 파장보다 작은 파장을 사용(제1 특징)하고, 기존의 마이크로스트립(microstrip) 및 코플래너 전송선(coplanar waveguide) 혼합형이 아닌 마이크로스트립만을 사용(제2 특징)한다.
- [0030] 특히, 본 발명의 실시예에 따른 복합 오른손/왼손 대역 통과 필터의 구조는 1.7 GHz 대역폭을 형성하기 위해 개방형 스테르브(open stub) 및 접지형 스테르브(shorted stub)를 사용함에 따라 인터디지털 결합 선로(interdigital coupled line)를 구분한다. 스테르브란 전송 선로에 병렬로 접속되는 짧은 분기 선로로서, 그 일단은 개방 또는 단락함으로써 주 선로의 임피던스를 안테나 혹은 송신기 임피던스에 정합시키는 작용을 한다. 또는, 도파관 또는 공동 공진기에서, 1/4파장 길이로 돌출된 금속 봉의 형태로 구현될 수 있으며, 절연 지시 봉으로 동작할 수 있다.
- [0031] 나아가, 통과대역 성능을 향상시키기 위해 복합 오른손/왼손 단위 셀과는 전혀 별개의 개방형 스테르브를 이용하는 것을 제시한다.
- [0032] 도 1은 본 발명의 실시예와 관련하여 복합 오른손/왼손 전송 선로 회로의 일예를 나타내는 회로도이다.
- [0033] 도 1을 참조하면, 일반적인 복합 오른손/왼손 전송 선로(100)는 다중 셀이 연속하여 연결되는 구조로 이루어지며, 각각의 셀은 왼손(좌향)전송법칙의 커패시터 및 인덕터와 오른손(우향)전송법칙의 커패시터 및 인덕터를 포함한다.
- [0034] 도 1에 도시된 바와 같이, i-1번째 셀(110)은 좌향의 제1 커패시터(CLi-1)(111) 및 제1 인덕터(LLi-1)(112)와 우향의 제2 커패시터(CRi-1)(113) 및 제2 인덕터(LRi-1)(114)를 포함하고, i번째 셀(120)은 좌향의 제3 커패시터(CLi)(121) 및 제3 인덕터(LLi)(122)와 우향의 제4 커패시터(CRi)(123) 및 제4 인덕터(LRi)(124)를 포함하고, i+1번째 셀(130)은 좌향의 제5 커패시터(CLi+1)(131) 및 제5 인덕터(LLi+1)(132)와 우향의 제6 커패시터(CRi+1)(133) 및 제6 인덕터(LRi+1)(134)를 포함한다.
- [0035] 다수의 셀(110, 120, 130) 내에서, 좌향의 제1 커패시터(CLi-1)(111), 제3 커패시터(CLi)(121) 및 제5 커패시터(CLi+1)(131)는 좌향의 제1 인덕터(LLi-1)(112), 제3 인덕터(LLi)(122) 및 제5 인덕터(LLi+1)(132)와 각각 병렬 연결된다. 그리고, 우향의 제2 인덕터(LRi-1)(114), 제4 인덕터(LRi)(124) 및 제6 인덕터(LRi+1)(134)는 우향의 제2 커패시터(CRi-1)(113), 제4 커패시터(CRi)(123) 및 제6 커패시터(CRi+1)(133)과 각각 병렬 연결된다. 그리고, 좌향의 제1 커패시터(CLi-1)(111), 제3 커패시터(CLi)(121) 및 제5 커패시터(CLi+1)(131)는 우향의 제2 인덕터(LRi-1)(114), 제4 인덕터(LRi)(124) 및 제6 인덕터(LRi+1)(134)와 각각 직렬 연결되고, 좌향의 제1 인덕터(LLi-1)(112), 제3 인덕터(LLi)(122) 및 제5 인덕터(LLi+1)(132)는 우향의 제2 커패시터(CRi-1)(113), 제4 커패시터(CRi)(123) 및 제6 커패시터(CRi+1)(133)와 각각 병렬 연결된다.
- [0036] 즉, 각각의 셀(110, 120, 130)은 직렬 연결된 한 쌍의 좌우향 LC 소자(115, 125, 135)와 병렬 연결된 다른 한 쌍의 CRLH LC 소자(116, 126, 136)를 포함한다.
- [0037] 도 1에 도시된 바와 같은 다수의 셀로 이루어진 복합 오른손/왼손 전송 선로 회로는 단일 셀 구조로 구현할 수 있다.
- [0038] 도 2는 본 발명의 실시예와 관련하여 복합 오른손/왼손 전송 선로 회로의 다른 예를 나타내는 회로도이며, 구체적으로는 단일 셀 구조의 복합 오른손/왼손 전송 선로에 대한 Pi형 등가회로를 도시한 것이다.
- [0039] 도 2를 참조하면, 단일 셀 구조의 복합 오른손/왼손 전송 회로(200)는 좌향의 제7 커패시터(CLi)(211), 제7 인덕터(2LLi)(221) 및 제8 인덕터(2LLi)(231)와 우향의 제9 인덕터(LRi)(212), 제8 커패시터(CRi/2)(222) 및 제9

커패시터(CRi/2)(232)를 포함한다.

[0040] 해당 셀(200)에서, 제7 커패시터(CLi)(211)와 제9 인덕터(LRi)(212)는 직렬 연결되어 제1 LC 소자(210)를 구성하고, 제7 인덕터(2LLi)(221)와 제8 커패시터(CRi/2)(222)는 병렬 연결되어 제2 LC 소자(220)를 구성하고, 제8 인덕터(2LLi)(231)와 제9 커패시터(CRi/2)(232)는 병렬 연결되어 제3 LC 소자(230)를 구성한다. 그리고, 제1 LC 소자(210)의 양단에는 각각 제2 LC 소자(220) 및 제3 LC 소자(230)가 각각 병렬 연결된다.

[0041] 도 2에 도시된 등가회로에 따르면, 4GHz의 중심 주파수(f_0), 3.2GHz 및 4.8 GHz의 우향 경계 주파수(f_R) 및 좌향 경계 주파수(f_L)를 발생시킬 수 있다. 도 1에 도시된 회로에서와 같은 평형 조건을 고려하면, 중심 주파수(f_0)는 도 2에 도시된 LC 소자를 이용한 하기 수학적 1 및 수학적 2를 통해 획득할 수 있는 복합 오른손/왼손 메타물질 선로의 영차 공진점(zeroth-order resonance)에 대응된다.

[0042] [수학적 1]

$$f_L = \frac{1}{2\pi\sqrt{L_{Li}C_{Li}}}, \quad f_R = \frac{1}{2\pi\sqrt{L_{Ri}C_{Ri}}}$$

$$f_{sei} = f_{shi} = f_0, \quad f_0 = \sqrt{f_L f_R}$$

[0043]

[0044] [수학적 2]

$$f_{sei} = \frac{1}{2\pi\sqrt{L_{Ri}C_{Li}}}, \quad f_{shi} = \frac{1}{2\pi\sqrt{L_{Li}C_{Ri}}}$$

[0045]

[0046] 상기 수학적 1은 도 2에 도시된 바와 같은 등가 회로에서 우측 및 좌측으로 구성된 제2 LC 소자(220) 및 제3 LC 소자(230)에서 발생하는 우향 경계 주파수(f_R) 및 좌향 경계 주파수(f_L)를 도출하는 수학적식이다. 그리고, 중심 주파수(f_0)는 우향 경계 주파수(f_R) 및 좌향 경계 주파수(f_L)를 이용하여 도출할 수 있으며, 제2 LC 소자(220)로부터 제1 주파수(f_{sei})를 도출하고, 제3 LC 소자(230)로부터 제2 주파수(f_{shi})를 도출할 수 있다.

[0047] 이와 같이, 단일 셀 구조의 복합 오른손/왼손 전송 선로 구조를 이용함에 따라, 도 3와 같은 유사 물리적(hybrid-physical) 회로 구조를 채택할 수 있다.

[0048] 도 3은 본 발명의 실시예에 따른 복합 오른손/왼손 대역 통과 필터의 회로 구조의 일 예를 나타내는 회로도이다.

[0049] 도 3에 도시된 회로도(300)는 집중된 구성요소와 전송 선로 구성요소를 포함하며, 본 발명의 명세서에서는 '유사 물리적인 회로'로 명칭한다.

[0050] 그리고, 도 3은 단락형 스텔브와 이들 사이에 놓인 pi 형태의 인터디지털 결합선로를 통해 도 2와 관련되므로, 도 3에 도시된 회로도에 대한 설명시 도 2도 함께 참조하여 설명하도록 한다.

[0051] 도 3을 참조하면, 인터디지털 결합선로의 한 블록은 튜닝 요소로서 인터디지털 선로 개방형 스텔브를 위한 공간을 형성하기 위해 제7 커패시터(CLi)(211)의 일부분으로서 인터디지털 선로의 상위 블록에 대응하는 제10 커패시터(CS1)(301)와 인터디지털 선로의 하위 블록에 대응하는 제11 커패시터(CS1)(302)로 분할할 수 있다. 그리고, 도 2에서 제7 커패시터(CLi)(211)를 제외한 제7 인덕터(2LLi)(221), 제8 인덕터(2LLi)(231), 제9 인덕터(LRi)(212), 제8 커패시터(CRi/2)(222) 및 제9 커패시터(CRi/2)(232)는 전송 선로 구성에 임베드된다.

[0052] 도 3에서 다수의 인터디지털 결합 선로의 분산된 스텔브(310)는 전체 초광대역(ultra-wideband: UWB)에서 상위 절반 영역을 제거하기 위한 것이고, 각 포트에서의 단락형 스텔브(320, 321)는 정지 대역에서 순쇠감량 레벨과 각 포트에서의 임피던스 매칭을 향상시키기 위한 것이다.

[0053] 다수의 스텔브(310)는 제10 커패시터(301) 및 제11 커패시터(302) 사이에서 좌우 양측으로 제10 커패시터(301) 및 제2 커패시터(302)와 전기적으로 연결된다. 구체적으로, 일부는 제10 커패시터(301) 및 제11 커패시터(302)에 수직으로 형성되고 다른 일부는 제11 커패시터(302)에 수평으로 형성된다. 그리고, 다수의 제10 커패시터(301) 및 제11 커패시터(302)에 직접 또는 간접으로 연결된 다수의 스텔브 사이에는 돌출된 형태의 개방형 스텔브(311, 312, 313, 314)가 형성된다. 개방형 스텔브(311, 312, 313, 314)는 양단이 커패시터 또는 인접한 스텔브에 연

결된 다른 스테르브들과 달리, 일단이 개방되어 있다.

- [0054] 단락형 스테르브(320,321)는 제11 커패시터(302)의 좌우 양측에 수직으로 형성된다.
- [0055] 도 3에 도시된 회로에서 다수의 개방형 스테르브(311,312,313,314)를 포함하는 복합 오른손/왼손 전송선로 대역 통과 필터의 값은 도 4 및 도 5에 도시된 테이블 값을 이용하여 산출할 수 있다.
- [0056] 도 4는 본 발명의 실시예에 따른 복합 오른손/왼손 대역 통과 필터에서 대역별 범위를 나타내는 표이고, 도 5는 도 3의 실시예에 따른 회로도의 각 구성요소의 초기값을 나타내는 표이다.
- [0057] 도 4를 참조하면, 통과 대역의 주파수 범위(401)는 3.2GHz 이상 4.8 GHz 이하이고, 정지 대역의 주파수 범위(402)는 3.2GHz 미만 또는 4.8 GHz 초과 범위를 만족하도록 한다. 그리고, 다수의 산란계수(scattering parameter) 각각의 데시벨 범위도 나타내고 있다. 3.2GHz 내지 4.8GHz의 통과대역에서의 삽입 손실(insertion loss) 매개변수(S21)(404)와 반사 손실(return loss) 매개변수(S11)(403)은 각각 -1dB 이상 및 -15dB 이하를 만족하고, 3.2GHz 미만 또는 4.8 GHz 초과 범위의 정지대역에서의 삽입 손실 매개변수(S21)(405)는 -20dB 이하를 만족하도록 한다. 이때, 정지 대역이 5.4GHz인 경우, 정지 대역에서의 삽입 매개변수(S21)는 -25dB 이하를 만족하도록 한다.
- [0058] 도 5는 도 3의 실시예에 따른 회로도의 각 구성요소의 초기값을 나타내는 것이다.
- [0059] 도 6은 도 3의 회로도에서 도 5에 예시된 회로도 구성요소의 초기값을 적용하였을 때 측정할 수 있는 주파수 응답 데이터를 그래프 형태로 도식화한 그래프이다.
- [0060] 도 3의 회로도에서 각 구성요소들간의 유전 알고리즘(genetic algorithm)을 통한 최적화 값을 따르면 도 6에 도시된 바와 같은 주파수 응답을 측정할 수 있다.
- [0061] 도 6의 (a)이 그래프는 세대(generation)와 오차(error)와의 관계를 나타내는 것으로, 가로 도메인은 세대(generation)를 나타내고 세로 도메인은 오차(error)를 나타낸다. 이진법(binary) 유전 알고리즘은 도 6의 (a)에 도시된 바와 같이 400 세대를 통해 0.5 교배(crossover), 0.1 돌연변이율(mutation rate), 15 매개변수, 5 비트/매개변수 및 80 개별요소를 이용하고, 50번째 세대 이후의 솔루션에 수렴된다.
- [0062] 도 6의 (b)는 회로 시뮬레이션을 통해 측정되는 주파수(frequency)와 산란계수(scattering parameter)와의 관계를 나타내는 것으로, 가로 도메인은 주파수(frequency)를 나타내고 세로 도메인은 산란계수(scattering parameter)를 나타낸다. 도 6의 (b)를 참조하면, 3.2GHz 내지 4.8GHz의 통과대역에서의 산란계수 매개변수로서 삽입(insertion) 매개변수(S21)과 반사 손실(return loss) 매개변수(S11)은 각각 1dB 미만 및 15dB 미만으로 나타나게 된다.
- [0063] 나아가, 도 3에 도시된 회로도에서 제10 커패시터(CS1)(301) 및 제11 커패시터(CS1)(302)는 도 7에 도시된 바와 같은 인터디지털 결합선로로 대체될 수 있다.
- [0064] 본 발명의 실시예에 따르면, 인터디지털 결합선로에 포함되는 매개변수로서 종래 기술과 구별되는 효율적인 우향 인덕턴스(LRi) 및 좌향 커패시터(CLi)를 이용하고자 하며, 이를 위해 마이크로스트립 인터디지털 결합선로를 이용한다.
- [0065] 도 7은 본 발명의 실시예에 따른 마이크로스트립 인터디지털 결합선로형태의 일 예를 나타내는 도면이다.
- [0066] 도 7을 참조하면, n_{IDF} -핑거 형태의 인터디지털 결합 선로의 형상(700)은 다수의 핑거 형상에 해당하는 선로(701,702,703,704,705,706,707)가 서로 교차하는 형태로 구현될 수 있으며, 각각의 핑거 형상의 선로(701,702,703,704,705,706,707)는 동일한 폭, 길이, 간격으로 배치된다. 여기서, 핑거 형상의 선로(701,702,703,704,705,706,707)의 형상은 선로의 폭(W), 선로의 길이(L) 및 인접한 두 개의 선로 사이의 간격(S)으로 특정할 수 있다.
- [0067] 도 7에 도시된 마이크로스트립 인터디지털 결합선로의 커패시턴스(capacitance)는 하기 수학적 식 3으로부터 도출할 수 있다.
- [0068] [수학적 식 3]

$$C(pF) = \frac{\varepsilon_r 10^{-3}}{18\pi} \frac{K(k)}{K'(k)} (n_{DF} - 1) \ell$$

[0069]

$$k = \tan^2 \left(\frac{a\pi}{4b} \right), \quad a = \frac{W}{2}, \quad b = \frac{W+S}{2}.$$

[0070]

여기서,

[0071]

상기 수학식 3에서 마이크로스트립 인터디지털 결합선로의 커패시턴스(C(pF))는 첫번째 종류의 완전한 타원 적분값(K(-)), 타원 적분값의 보수(K'(-)), n_{DF} , 핑거 선로의 폭(W), 길이(l) 및 인접한 선로 간의 간격(S)를 이용하여 산출할 수 있다.

[0072]

시리즈화된 인터디지털 결합선로에 따라, 단락(shunt)된 인덕터로서 접지된 스테브는 중요한 역할을 수행한다. 이는 다음과 같은 구조로 구현될 수 있다.

[0073]

도 8은 본 발명의 실시예에 따른 인덕턴스로 사용되는 접지된 마이크로스트립 선로 스테브의 형상을 나타내는 도면이다.

[0074]

도 8에 도시된 마이크로스트립 선로 스테브(800)는 일정한 폭(W)과 일정한 길이(l)로 특정되며, 연장된 길이의 일단에는 비아 홀(via hole)(801)이 형성되어 있다.

[0075]

하기 수학식 4는 도 8에 도시된 좌향 인덕턴스(LLi)의 스테브(800)와 도 7에 도시된 오른손전송용 인덕턴스(LRi)에 대응하는 다수의 핑거 선로(701,702,703,704,705,706,707) 각각에 대해 일반적으로 적용할 수 있다. 수학식 4는 핑거 선로 및 스테브 사이즈의 초기값을 결정하는데 의 초기 사이즈를 결정하는데 유용한 근사식(approximation formula)이다.

[0076]

[수학식 4]

$$L(nH) = 2 \times 10^{-4} l \left[\ln \left(\frac{l}{W+t} \right) + 1.193 + 0.224 \frac{W+t}{l} \right] \cdot K_s$$

where

$$K_s = 0.57 - 0.145 \ln \left(\frac{W}{h} \right),$$

[0077]

[0078]

상기 수학식 4에서, h와 t는 회로에 사용된 기판과 금속의 두께를 나타낸다. 전송 선로 세그먼트의 구조와 이에 대응하는 회로 소자들 사이의 전환과 같이 다른 회로 소자에 대한 수학식도 도출할 수 있다. 그리고, 다른 회로 소자에 대한 수학식은 상기 수학식 3 및 수학식 4에 기초하여 전기적 작용을 보정할 수 있다. 본 발명의 실시예에 따른 대역 통과 필터의 물리적 사이즈는 기 설정된 목표치를 획득할 때까지 상술한 모든 수학식을 이용하여 반복적으로 이용될 수 있다.

[0079]

본 발명의 실시예에 따르면, 인터디지털 커패시터의 크기는 0.35pF의 커패시턴스를 실현하기 위해 산출되고, 그에 따른 결과는 도 9에 도시된 대역 통과 필터의 형태로 구현할 수 있다.

[0080]

도 9는 본 발명의 실시예에 따른 복합 오른손/왼손 대역 통과 필터의 회로 구조의 다른 예를 나타내는 회로도이고, 도 10은 도 9에 도시된 회로도에 포함된 소자별 초기값을 나타내는 표이다.

[0081]

도 9를 참조하면, 본 발명의 실시예에 따른 복합 오른손/왼손 대역 통과 필터(900)는 다수의 핑거 선로를 포함한 인터디지털 결합선로(910)와 비아 홀을 포함하는 스테브(921, 922)를 포함한다. 마이크로스트립 인터디지털 결합 선로(910)는 상기 도 7에서 상술한 바와 같이 다수의 핑거 선로를 포함한 마이크로스트립 인터디지털 결합 선로에 대응되며, 인터디지털 결합선로의 일단에 연결된 스테브(921, 922)는 상기 도 8에서 상술한 스테브에 대응된다. 그리고, 인터디지털 결합선로(910)는 오른손 전송 인덕턴스(LRi)에 대응되고, 선로 하단에 연결된 두 개의 스테브(921, 922)는 왼손전송 인덕턴스(LLi)에 대응된다.

[0082]

인터디지털 결합선로(910)는 회로 중앙 영역에서 서로 교차하는 다수의 제1 핑거 선로(911)와 회로 경계 영역에

서 제1 핑거 선로를 둘러싸는 형태로 위치하는 제2 핑거 선로(912)를 포함한다.

- [0083] 제1 핑거 선로(911)는 중간 영역에 돌출된 형태의 핑거 선로(9111, 9112)를 기준으로 상위 핑거 선로(9113) 및 하위 핑거 선로(9114)가 마주하는 형태로 형성된다. 중간 영역에 돌출된 형태의 핑거 선로(9111, 9112)는 제1 선로 폭(W1), 제1 선로 길이(L7)로 특정되며, 상위 핑거 선로(9113) 및 하위 핑거 선로(9114)와는 제1 간격(L8)을 두고 형성된다. 상위 핑거 선로(9113) 및 하위 핑거 선로(9114)는 제1 선로 폭(W1), 제2 선로 길이(L5), 인접한 두 선로 간의 간격(gap1)으로 특정되는 다수의 핑거 선로가 서로 교차하는 형태로 형성된다.
- [0084] 제2 핑거 선로(912)는 좌측 및 우측의 배선으로부터 길게 연장되어 제1 핑거 선로(911)의 외곽을 둘러싸는 형태로 일부 영역을 중첩하도록 형성되며, 제2 핑거 선로의 폭(W2)은 제1 핑거 선로의 폭(W1)보다 넓게 형성된다.
- [0085] 보다 구체적인 회로 각 구성의 요소의 수치적 상관관계는 도 10에 예시된 표를 통해 특정할 수 있다.
- [0086] 또한, 도 9 및 도 10을 참조하여 구현한 회로도에 대해 FR4(=4.4)의 기판 및 4GHz의 중심 주파수(f0)를 사용하여, 3차원 전자기 필드 시뮬레이션을 실행할 수 있다.
- [0087] 도 11은 본 발명의 실시예에 따른 복합 오른손/왼손 대역 통과 필터를 시뮬레이션한 결과의 일 예를 나타내는 그래프이다.
- [0088] 도 11의 (a)는 도 9 및 도 10의 실시예에 기초하여 3차원 시뮬레이션을 실행한 결과 도출되는 주파수별 산란 계수(S11 및 S21) 데이터를 나타내는 것이고, 도 10의 (b)는 도 9 및 도 10의 실시예에서 측정된 주파수별 산란 계수(S11 및 S21) 데이터를 나타내는 것이다.
- [0089] 도 11의 (a) 및 (b)를 비교해보면, 3.2GHz부터 4.8GHz까지 대역에서 시뮬레이션 결과에서의 산란 계수 S21와 측정 결과에서의 산란 계수 S21의 데이터 커브가 거의 동일하고, 삽입 손실에 따른 산란계수(S11)는 1dB(0.92)보다 작게 나타나는 것을 확인할 수 있다. 나아가, 기계적 허용 오차에 기인하는 작은 차이점에도 불구하고 15dB보다 낮은 양호한 반사 손실 효과를 가져올 수 있다.
- [0090] 다음으로, 상술한 본 발명의 실시예에 따른 결과를 고려한 분석 관점에서 본 발명에서 제시하는 복합 오른손/전송구성의 영차 공진점뿐만 아니라 전체적인 크기를 특정해야 한다.
- [0091] 본 발명의 실시예에 따른 대역 통과 필터는 복합 오른손/왼손 전송 선로를 기반으로 함에 따라, 메타물질 전계(electric field) 및 확산(dispersion) 다이어그램(또는, 주파수 대 유전(propagation) 상수 다이어그램)을 통해 증명될 수 있다.
- [0092] 도 12는 본 발명의 실시예에 따른 복합 오른손/전송 영차 공진점 속성을 나타내는 도면이다.
- [0093] 도 12의 (a)는 영차 공진점 전계의 일 예를 나타내는 다이어그램으로, 제1 포트(1201)부터 제2 포트(1202)까지의 전체적인 구조가 거의 동일한 전계 강도를 갖는 4GHz의 중심 주파수(f0)에서 영차 공진점 현상을 나타낸다. 여기서, 동일한 색상은 제로 배의 반 파장 공진 또는 동일한 벡터의 전계를 나타낸다.
- [0094] 도 12의 (b)는 확산 다이어그램의 일 예를 나타내는 것으로, 주파수 대 위상의 관계(Beta×p)를 나타내는 다이어그램이다. 여기서, 4GHz 주파수 대역에서 주파수 대 위상의 관계에 따른 확산 커브를 살펴보면, 왼손(또는 마이너스 유전 상수) 및 오른손(또는 플러스 유전 상수) 영역은 4GHz에서 영차 공진점 포인트(A)를 기준으로 아래 영역(1203) 및 위 영역(1204)에 대응된다.
- [0095] 마지막으로, 본 발명의 실시예에 따른 광대역 대역 통과 필터는 1/4 파장보다 작은 루트의 소형화를 만족시킬 수 있다.
- [0096] 도 13은 본 발명의 실시예에 따른 광대역 통과 필터를 구현한 일 예를 나타내는 도면으로, 본 발명의 실시예에 따른 대역 통과 필터(1301)의 소형화를 증명하기 위해 동전(1302)과 비교한 것이다.
- [0097] 도 13 및 도 9를 참조하면, 본 발명의 실시예에 따른 광대역 통과 필터는 1×1cm² 영역에 들어맞으면서 심지어 1/4파장의 영역(1.83×1.83cm²)보다 작게 소형화할 수 있다. 즉, 대역 통과 필터의 소형화는 종래 1/4파장보다 54% 이상 크고 종래 반 파장보다 70% 미만의 감소를 의미한다.
- [0098] 나아가, 본 발명의 실시예에 따른 대역 통과 필터는 사이즈를 소형화하더라도 다른 소형화된 대역 통과 필터의 성능과 대비하여 좋은 성능을 나타낼 수 있다.
- [0099] 도 14는 본 발명의 실시예에 따른 대역 통과 필터와 다른 광대역 통과 필터의 속성을 비교한 표이다.

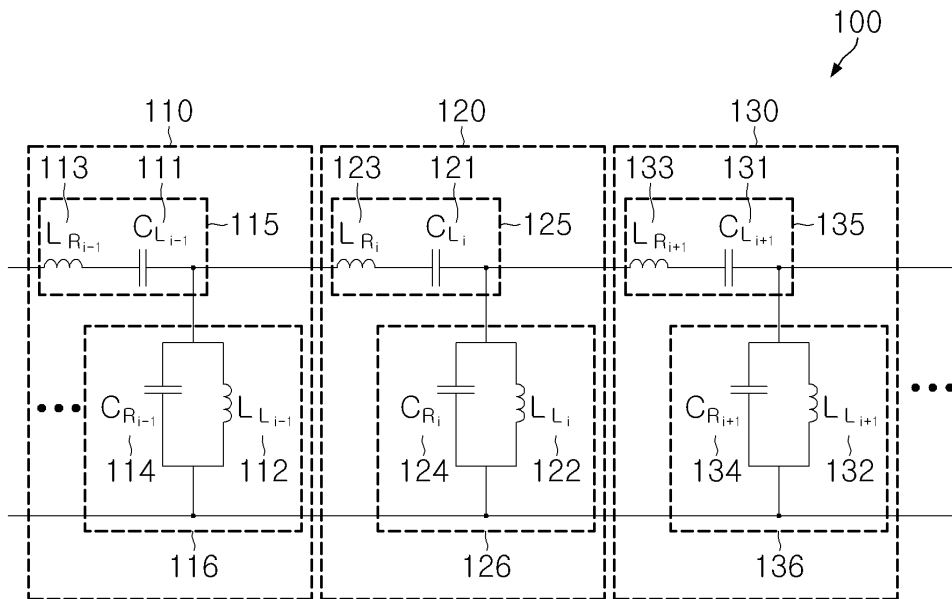
- [0100] 도 14를 참조하면, 대역 통과 필터의 속성은 다양한 정보로 구성할 수 있으며, 일 예로 대역 통과 필터의 기본 디자인(1401), 전체 크기(1402), 접지 결함(1403), 형태(1404), 정지 대역(1405) 및 최적화 상태(1406) 등으로 특정할 수 있다.
- [0101] 도 14를 참조하면, 본 발명의 실시예에 따른 대역 통과 필터는 기본 디자인(1401)으로 영차 공진점 효과를 이용함에 따라 전체 필터 크기(1402)는 1/4파장보다 작은 최소형으로 구현할 수 있다. 이는, 다른 대역 통과 필터의 크기가 한 파장과 유사하거나 또는 0.68 파장 또는 0.60 파장인 것과 비교하여 크기를 많이 줄인 것으로 확인할 수 있다. 또한, 대역 통과 필터의 소형화는 1dB보다 적은 삽입 손실 산란 계수를 갖도록 한다. 게다가, 본 발명의 실시예에 따른 대역 통과 필터는 접지 결함이 없기 때문에 다른 대역 통과 필터에 비하여 구현하기 용이할 수 있고, 단일 레이어 평면 구조로 구현할 수 있다.
- [0102] 이와 같이 상술한 본 발명의 실시예에 따른 초광대역 통과 필터는 복합 오른손/왼손 전송 선로 메타물질의 개념에 기초하여 제안되었다. 본 발명에 따르면, 구현하고자 하는 통과 대역을 형성하기 위해 복합 오른손/왼손 전송 선로의 하나의 유닛을 적용하고 내부 개방형 스테르브 및 외부 개방형 스테르브의 두 쌍을 첨가할 수 있다. 한편, 3차원 전자계 시뮬레이션 및 제조를 통해, 본 발명의 실시예에 따른 대역 통과 필터는 3.2 GHz 내지 4.8 GHz 대역, 1dB보다 작은 삽입 손실 산란 계수, 15dB보다 적은 반사 손실 산란 계수와 함께 주파수 응답의 좋은 성능을 끌어낼 수 있다. 또한, 본 발명의 실시예에 따른 대역 통과 필터의 전체 크기를 $1 \times 1 \text{ cm}^2$ 영역보다 작은 크기로 소형화할 수 있다.
- [0103] 이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 따라서 본 발명에 기재된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상이 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의해서 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

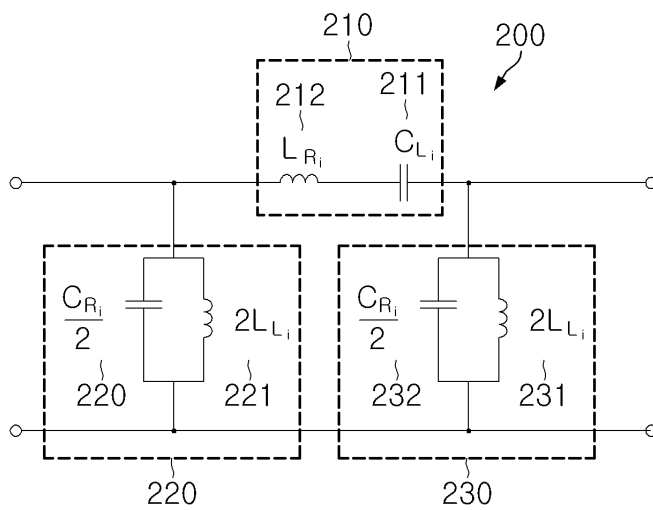
- [0104] 100: 주기적 복합 오른손/왼손 전송선로 회로
 200: 단일 셀 복합 오른손/왼손 전송선로 등가회로
 300: 복합 오른손/왼손 전송선로 기반의 광대역 통과 필터
 301: 상위 커패시터 302: 하위 커패시터
 303: 개방형 스테르브 304: 단락형 스테르브
 700: 마이크로스트립 인터디지털 결합선로
 701, 702, 703, 704, 705, 706, 707: 핑거 선로
 800: 스테르브 801: 비아 홀

도면

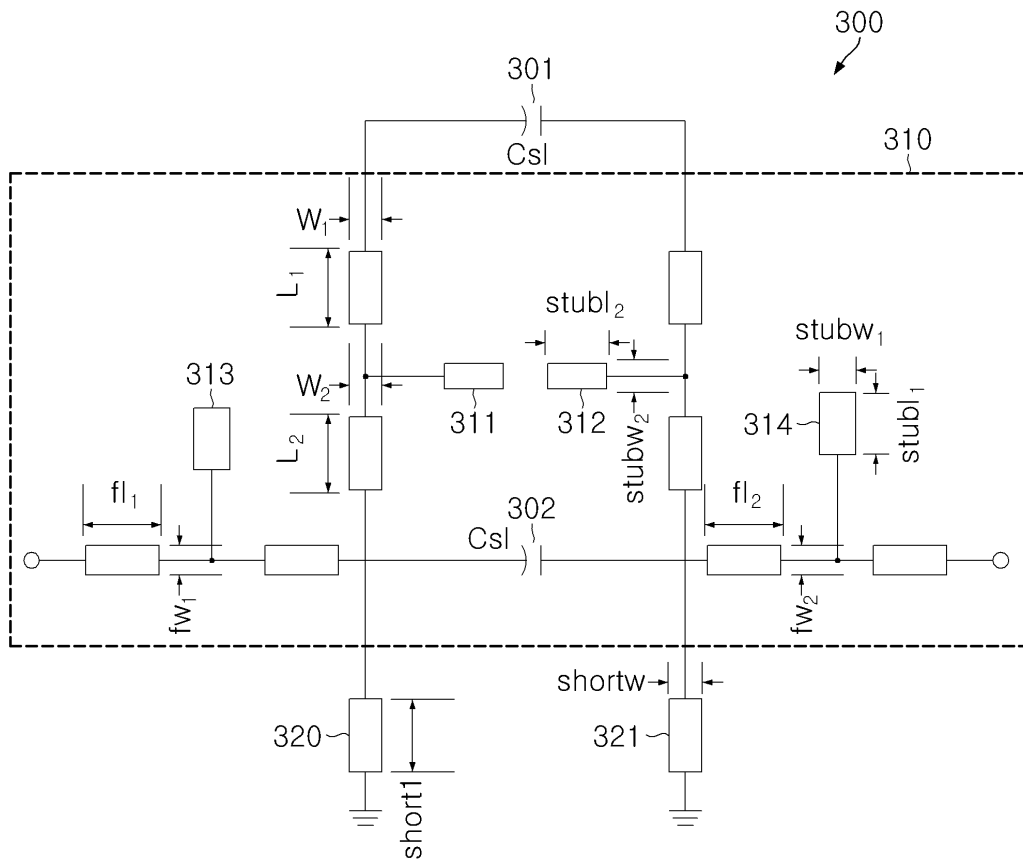
도면1



도면2



도면3



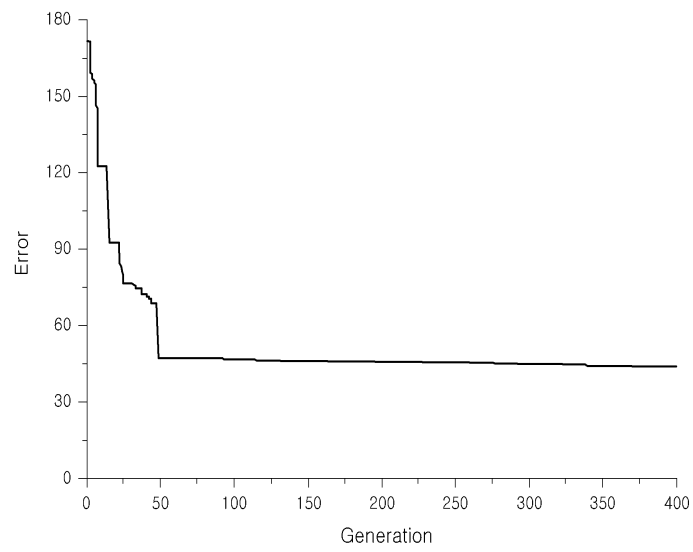
도면4

Passband (GHz) ~401 $3.2 \leq f \leq 4.8$	Stopband (GHz) ~402 $f < 3.2$ and $f > 4.8$
$S_{11} \leq -15\text{dB}$ ~403 $S_{21} \geq -1\text{dB}$ ~404	$S_{21} \leq -20\text{dB}$ ~405 ($S_{21} \leq -25\text{dB}$ @5.4 GHz)

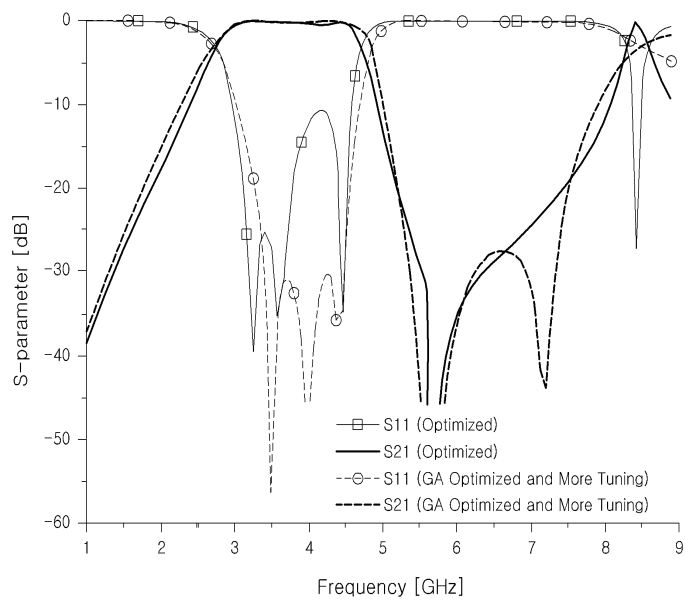
도면5

Parameter	Value
f_{w1}	1.6 mm
fl_1	1 mm
f_{w2}	0.1 mm
fl_2	0.7 mm
W_1	0.1 mm
L_1	0.8 mm
W_2	0.1 mm
L_2	1.5 mm
stubw ₁	0.2 mm
stubl ₁	7.9 mm
stubw ₂	0.1 mm
stubl ₂	1.4 mm
shortw	0.2 mm
short ₁	1.9 mm
Cs ₁	0.35 pF

도면6

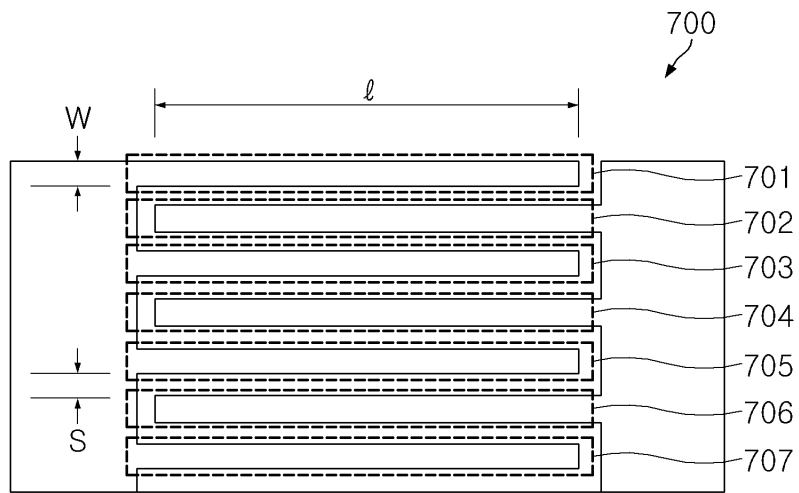


(a)

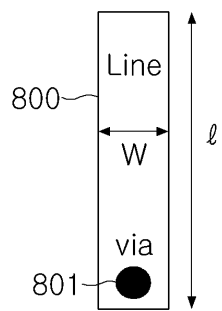


(b)

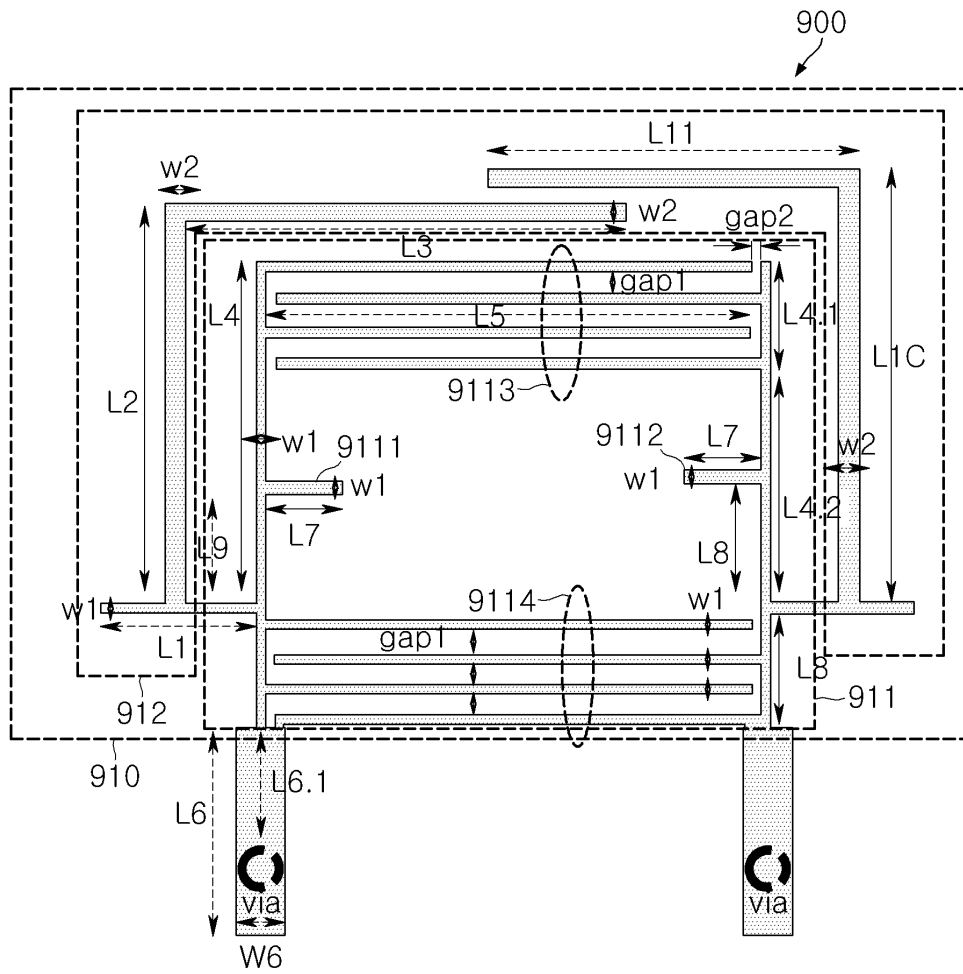
도면7



도면8



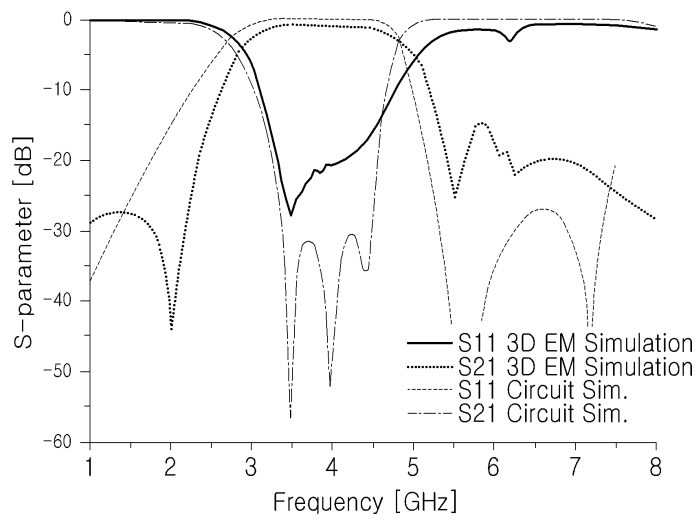
도면9



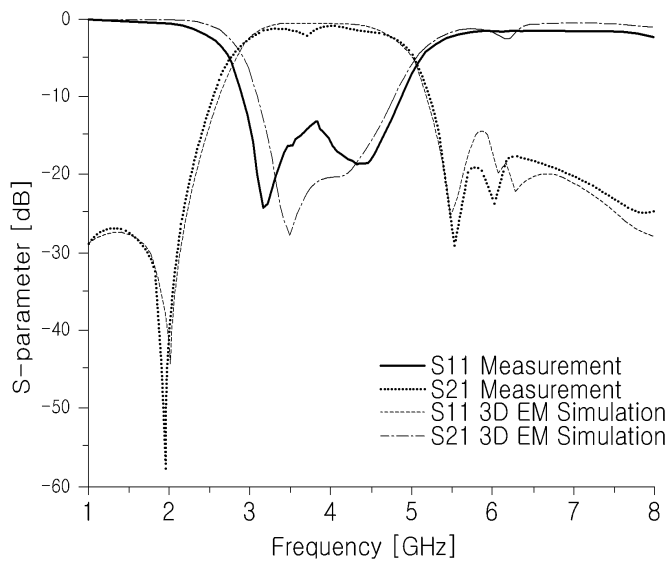
도면10

Parameter	Value(mm)	Parameter	Value(mm)
L ₁	1.5	L ₈	1.
L ₂	3.7	L ₉	0.9
L ₃	4.5	L ₁₀	4.0
L ₄	31	L ₁₁	3.6
L _{4.1}	1	W ₁	0.1
L _{4.2}	2.1	W ₂	0.2
L ₅	5.065	W ₃	0.2
L ₆	1.925	W ₆	0.478
L _{6.1}	1.3	Gap ₁	0.2
L ₇	0.8	Gap ₂	0.1

도면11

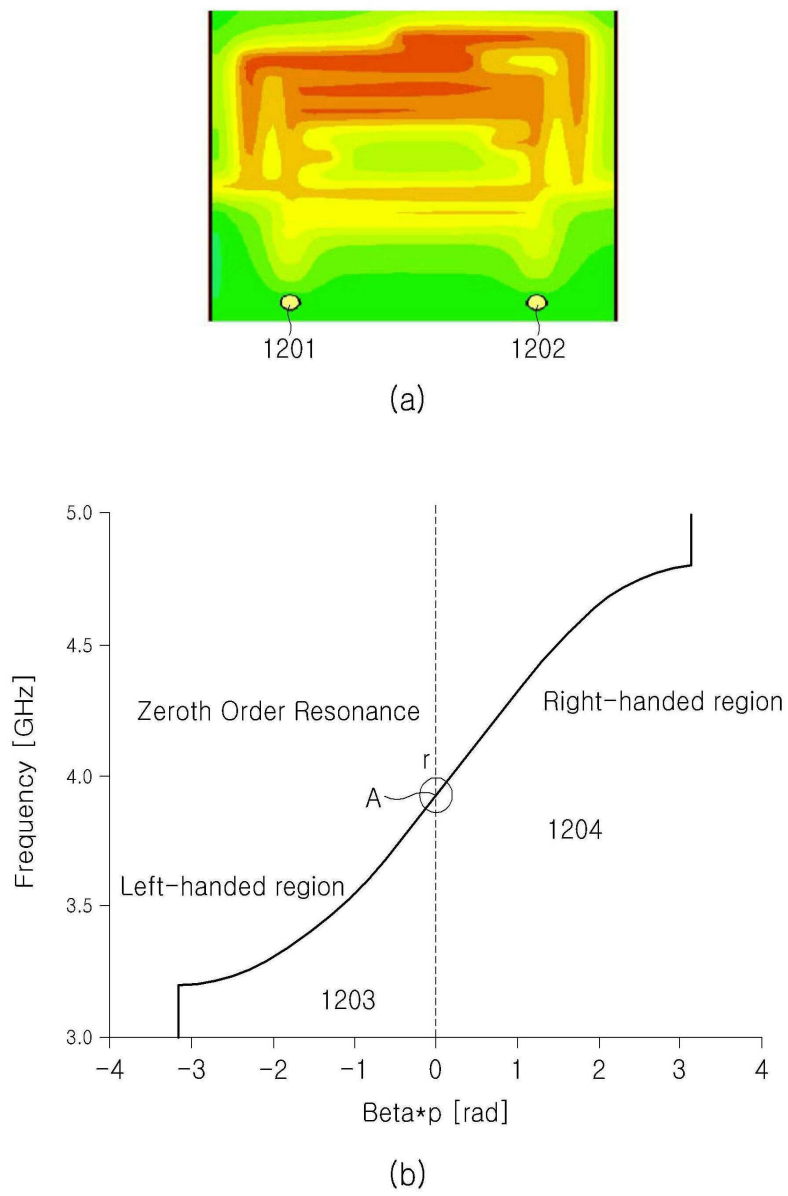


(a)

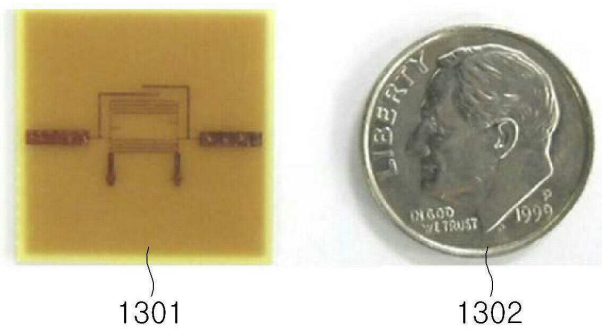


(b)

도면12



도면13



도면14

		본 발명	비교1	비교2	비교3	비교4
1401	Basis of design	ZOR (CRLH)	Phase canceling (RH)	HPF+ LPF (RH)	MMR (RH)	HPF+ LPF (RH)
1402	Overall size	$\ll 0.25 \lambda_g$	$\approx \lambda_g$	$\approx \lambda_g$	$\approx 0.68 \lambda_g$	$\approx 0.60 \lambda_g$
1403	Ground defect?	No	No	Yes	No	No
1404	Shape	Split IDC blocks	Loop	$0.5 \lambda_g$ TL coupled with slots	SIRs coupled with spur lines	Suspended strips
1405	Stop-band	2 GHz	< 100 MHz	< 2 GHz	≈ 4 GHz	≈ 6 GHz
1406	Optimized?	Yes	No	No	No	No

ZOR = zeroth-order resonance, CRLH = composite right- and left-handed, HPF = high-pass filter, LPF = low-pass filter, MMR = multi-mode resonator, IDC = interdigital coupled, SIR = stepped-impedance resonator, TL = transmission line.