

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5594546号  
(P5594546)

(45) 発行日 平成26年9月24日(2014.9.24)

(24) 登録日 平成26年8月15日(2014.8.15)

(51) Int. Cl. F I  
 HO 1 L 27/04 (2006.01) HO 1 L 27/04 H  
 HO 1 L 21/822 (2006.01) HO 3 F 1/52 Z  
 HO 3 F 1/52 (2006.01)

請求項の数 14 (全 23 頁)

(21) 出願番号	特願2012-274206 (P2012-274206)	(73) 特許権者	000006507
(22) 出願日	平成24年12月17日(2012.12.17)		横河電機株式会社
(65) 公開番号	特開2013-211522 (P2013-211522A)		東京都武蔵野市中町2丁目9番32号
(43) 公開日	平成25年10月10日(2013.10.10)	(72) 発明者	安田 和秀
審査請求日	平成25年4月10日(2013.4.10)		東京都武蔵野市中町2丁目9番32号 横河電機株式会社内
(31) 優先権主張番号	特願2012-46934 (P2012-46934)	(72) 発明者	萩原 宏章
(32) 優先日	平成24年3月2日(2012.3.2)		東京都武蔵野市中町2丁目9番32号 横河電機株式会社内
(33) 優先権主張国	日本国(JP)		審査官 櫻本 剛

最終頁に続く

(54) 【発明の名称】 入力保護回路

(57) 【特許請求の範囲】

【請求項1】

入力電圧が印加される入力端子と、当該入力端子への印加電圧が入力される電子回路との間に、電界効果型のトランジスタを少なくとも2つ直列に接続し、前記入力電圧が前記電子回路の電源電圧を超えた際に、前記トランジスタの1つをオフとして前記電子回路への過大電圧入力を阻止する入力保護回路において、

前記直列接続された各トランジスタのゲート・ソース間に接続されたダイオードと、

前記各トランジスタのゲート電位を前記入力電圧にトラッキングして与え、当該各トランジスタのゲート・ソース間電圧を一定且つ電源電圧未満の電圧値に保持する電圧シフト回路と

を備えることを特徴とする入力保護回路。

【請求項2】

入力電圧が印加される入力端子と、当該入力端子への印加電圧が入力される電子回路との間に、少なくとも2つの電界効果型の第1及び第2トランジスタを直列に接続し、前記入力電圧が前記電子回路の電源電圧を超えた際に、前記トランジスタの1つをオフとして前記電子回路への過大電圧入力を阻止する入力保護回路において、

前記入力端子側の第1トランジスタのゲート端にドレイン端が接続された第3トランジスタと、

前記第1及び第2トランジスタの接続間にドレイン端が接続されると共に、前記第2トランジスタのゲート端にソース端が接続された第4トランジスタと、

前記第 1 トランジスタのゲート・ソース間に接続された第 1 ダイオードと、  
前記第 2 トランジスタのゲート・ドレイン間に接続された第 2 ダイオードと、  
前記第 1 及び第 2 トランジスタのゲート・ソース間電圧が一定となると共に、前記第 3  
及び第 4 トランジスタのゲート・ソース間電圧が一定となるように、前記入力電圧にトラ  
ッキングした電圧を、前記第 3 及び第 4 トランジスタのゲート・ソース間に発生するゲ  
ートバイアス回路とを備え、

前記ゲートバイアス回路は、前記入力電圧が前記電子回路の電源電圧範囲を超えた際に  
、前記第 3 及び第 4 トランジスタをオフとするゲート・ソース間電圧を発生する  
ことを特徴とする入力保護回路。

【請求項 3】

前記第 1 及び第 2 ダイオードは、ツェナーダイオードであることを特徴とする請求項 1  
又は 2 に記載の入力保護回路。

【請求項 4】

前記第 1 及び第 2 ダイオードは、前記ゲート・ソース間又は前記ゲート・ドレイン間に  
逆方向に接続した P N 接合型ダイオードであることを特徴とする請求項 1 又は 2 に記載の  
入力保護回路。

【請求項 5】

前記第 1 及び第 2 ダイオードは、前記ゲート・ソース間又は前記ゲート・ドレイン間に  
順方向に接続した複数の P N 接合型ダイオードであることを特徴とする請求項 1 又は 2 に  
記載の入力保護回路。

【請求項 6】

入力電圧が印加される入力端子と、正電源電圧と負電源電圧とが印加される電子回路と  
の間に、直列接続された、極性が異なる第 1 及び第 2 トランジスタを挿入し、前記第 1 ト  
ランジスタのゲート端に前記正電源電圧を、前記第 2 トランジスタのゲート端に前記負電  
源電圧をそれぞれ印加し、前記入力電圧が前記正電源電圧より正電位側に大きくなり、ま  
たは前記負電源電圧より負電位側に大きくなり前記電子回路の電源電圧範囲を超えた場合  
に、前記第 1 又は第 2 トランジスタを高抵抗状態に保持して前記電子回路への過大電圧入  
力を阻止する入力保護回路において、

前記第 1 及び第 2 トランジスタのゲート・ソース間に接続された、それぞれ第 1 及び第  
2 ダイオードと、

前記第 1 及び第 2 トランジスタのゲート電位を前記入力電圧に追従して与え、前記第 1  
及び第 2 トランジスタのゲート・ソース間電圧を一定、且つ前記電子回路の電源電圧範囲  
未満の電圧値に保持するゲートバイアス回路と、

を備えることを特徴とする入力保護回路。

【請求項 7】

前記ゲートバイアス回路は、

前記第 1 及び第 2 トランジスタを介して前記電子回路に出力される電圧をモニタして第  
1 の電圧を出力する電圧バッファと、

前記第 1 の電圧から、前記正電源電圧より小さく、かつ前記第 1 ダイオードの逆バイ  
アス電圧分だけ正電位側にシフトした第 2 の電圧を前記第 1 トランジスタのゲート端に出力  
する第 1 レベルシフト回路と、

前記第 1 の電圧から、前記負電源電圧より大きく、かつ前記第 2 ダイオードの逆バイ  
アス電圧分一定電圧を負電位側にシフトした第 3 の電圧を前記第 2 トランジスタのゲート端  
に出力する第 2 レベルシフト回路と、

を有することを特徴とする請求項 6 記載の入力保護回路。

【請求項 8】

入力電圧が印加される入力端子と、正電源電圧と負電源電圧とが印加される電子回路と  
の間に、直列接続された、極性が異なる第 1 及び第 2 トランジスタを挿入し、前記第 1 ト  
ランジスタのゲート端に前記正電源電圧を、前記第 2 トランジスタのゲート端に前記負電  
源電圧をそれぞれ印加し、前記入力電圧が前記正電源電圧より正電位側に大きくなり、ま

10

20

30

40

50

たは前記負電源電圧より負電位側に大きくなる前記電子回路の電源電圧範囲を超えた場合に、前記第 1 又は第 2 トランジスタを高抵抗状態に保持して前記電子回路への過大電圧入力を阻止する入力保護回路において、

前記第 1 トランジスタのゲート端にドレイン端が接続された、前記第 2 トランジスタと同じ極性を有する第 3 トランジスタと、

前記第 1 及び第 2 トランジスタの接続間にドレイン端が接続され、かつ、前記第 2 トランジスタのゲート端にソース端が接続された、前記第 2 トランジスタと同じ極性を有する第 4 トランジスタと、

前記第 1 トランジスタのゲート・ソース間に接続された第 1 ダイオードと、

前記第 2 トランジスタのゲート・ドレイン間に前記第 4 トランジスタを介して接続された第 2 ダイオードと、

前記第 1 及び第 2 トランジスタのゲート・ソース間電圧が一定になると共に、前記第 3 及び第 4 トランジスタのゲート・ソース間電圧が一定になるように、前記入力電圧に追従した電圧を、前記第 1、第 2、第 3、及び第 4 トランジスタのゲート・ソース間にそれぞれ発生するゲートバイアス回路と

を備え、

前記ゲートバイアス回路は、前記入力電圧が前記電子回路の電源電圧範囲を超えた場合に、前記第 3 及び第 4 トランジスタを高抵抗状態に保持するゲート・ソース間電圧を発生することを特徴とする入力保護回路。

#### 【請求項 9】

前記ゲートバイアス回路は、

前記第 1 及び第 2 トランジスタを介して前記電子回路に出力される電圧をモニタして入力電圧を生成する第 1 電圧バッファと、

前記入力電圧から、前記正電源電圧より小さく、かつ前記第 1 ダイオードの逆バイアス電圧分だけ正電位側にシフトした第 1 の電圧を前記第 3 トランジスタを経由して前記第 1 トランジスタのゲート端に出力する第 1 レベルシフト回路と、

前記入力電圧から、前記負電源電圧より大きく、かつ前記第 2 ダイオードの逆バイアス電圧分だけ負電位側にシフトした第 2 の電圧を前記第 2 トランジスタのゲート端に出力する第 2 レベルシフト回路と、

前記入力電圧から、それぞれにおいて、前記負電源電圧より大きく、かつ前記第 2 ダイオードの逆バイアス電圧分だけ負電位側にシフトした第 4 の電圧を前記第 4 トランジスタのゲート端に出力する第 3 及び第 4 レベルシフト回路と、

前記入力電圧と前記第 2 の電圧との電位差をモニタして前記第 1 の電圧と前記第 3 の電圧との間に所定の電位差を発生させ、前記第 3 トランジスタのゲート端に出力する第 2 電圧バッファと、

を有することを特徴とする請求項 8 記載の入力保護回路。

#### 【請求項 10】

前記第 1 及び第 2 ダイオードは、

ツェナーダイオードであることを特徴とする請求項 6 又は 8 記載の入力保護回路。

#### 【請求項 11】

前記第 1 及び第 2 ダイオードは、

前記第 1 トランジスタのゲート・ソース間、又は前記第 2 トランジスタのゲート・ドレイン間に前記第 4 トランジスタを介して逆方向に接続された P N 接合型ダイオードであることを特徴とする請求項 8 記載の入力保護回路。

#### 【請求項 12】

前記第 1 及び第 2 ダイオードは、

前記第 1 トランジスタのゲート・ソース間、又は前記第 2 トランジスタのゲート・ドレイン間に前記第 4 トランジスタを介して順方向に接続された複数の P N 接合型ダイオードであることを特徴とする請求項 8 記載の入力保護回路。

#### 【請求項 13】

10

20

30

40

50

入力電圧が印加される入力端子と、正電源電圧と負電源電圧とが印加される電子回路との間に、直列接続された、極性が異なる第1及び第2トランジスタを挿入し、前記第1トランジスタのゲート端に前記正電源電圧を、前記第2トランジスタのゲート端に前記負電源電圧をそれぞれ印加し、前記入力電圧が前記正電源電圧より正電位側に大きくなり、または前記負電源電圧より負電位側に大きくなり前記電子回路の電源電圧範囲を超えた場合に、前記第1又は第2トランジスタを高抵抗状態に保持して前記電子回路への過大電圧入力を阻止する入力保護回路において、

前記第1トランジスタのゲート端にドレイン端が接続された、前記第2トランジスタと同じ極性を有する第3トランジスタと、

前記第1トランジスタのゲート・ソース間に接続された第1の順方向ダイオードと、  
前記第2トランジスタのゲート・ドレイン間に接続された第2の順方向ダイオードと、  
前記第1及び第2トランジスタのゲート・ソース間電圧が一定になると共に、前記第3トランジスタのゲート・ソース間電圧が一定になるように、前記入力電圧に追従した電圧を、前記第1、第2及び第3トランジスタのゲート・ソース間にそれぞれ発生するゲートバイアス回路と、を備え、

前記ゲートバイアス回路は、

前記入力電圧が前記電子回路の電源電圧範囲を超えた場合に、前記第1トランジスタを高抵抗状態に保持する、または前記第2および第3トランジスタを高抵抗状態に保持するゲート・ソース間電圧を発生することを特徴とする入力保護回路。

#### 【請求項14】

前記ゲートバイアス回路は、

極性が異なるトランジスタで構成される第1及び第2のソースフォロワ回路と、

前記第1のソースフォロワ回路に第1の抵抗を介して接続され、バイアス電流源により供給される第1の電流を入力とし、前記第1のソースフォロワ回路、及び前記第1の抵抗に第2の電流を出力する、前記第1のソースフォロワ回路と同じ極性のトランジスタで構成される第1のカレントミラー回路と、

前記第2のソースフォロワ回路に、第2及び第3の抵抗からなる直列回路を介して接続され、前記第2の電流を入力とし、前記第2のソースフォロワ回路、及び前記第2及び第3の抵抗に第3の電流を出力する、前記第2のソースフォロワ回路と同じ極性のトランジスタで構成される第2のカレントミラー回路とを備え、

前記第1及び第2トランジスタを介して前記電子回路に出力される電圧から、前記第2のソースフォロワ回路のゲート・ソース間電圧と、前記第2及び第3の抵抗と前記第3の電流による電圧降下分とにより、前記正電源電圧より小さく、かつ前記第1の順方向ダイオードの逆バイアス電圧分だけ正電位側にシフトした第1の電圧を、前記第3トランジスタを経由して前記第1トランジスタのゲート端に出力し、

前記第1及び第2トランジスタを介して前記電子回路に出力される電圧から、前記第1のソースフォロワ回路のゲート・ソース間電圧と、前記第1の抵抗と前記第2の電流による電圧降下分とにより、前記負電源電圧より大きく、かつ前記第2の順方向ダイオードの逆バイアス電圧分だけ負電位側にシフトした第2の電圧を前記第2トランジスタのゲート端に出力し、

前記第1及び第2トランジスタを介して前記電子回路に出力される電圧から、前記第2のソースフォロワ回路のゲート・ソース間電圧と、前記第2の抵抗と前記第3の電流による電圧降下分とにより、前記正電源電圧より小さく、かつ前記第1の順方向ダイオードの逆バイアス電圧分だけ正電位側にシフトした第3の電圧を前記第3トランジスタのゲート端に出力することを特徴とする請求項13記載の入力保護回路。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明は、入力電圧を高精度に測定する電圧測定装置等の電子装置において、入力端子に過大な電圧が印加された際に内部回路を保護する、入力保護回路に関する。

## 【背景技術】

## 【0002】

従来、電子装置における入力保護回路として、例えば図8に示すように過大な入力電圧  $V_{in}$  を抑制して電圧測定回路1を保護する入力保護回路2がある。電圧測定回路1は、正極側の電源電圧である正電源電圧  $V_{DD}$  と、負極側の電源電圧である負電源電圧  $V_{SS}$  とが供給されており、高精度にアナログ電圧測定を行う。

## 【0003】

入力保護回路2は、入力電圧  $V_{in}$  が印加される入力端子3と電圧測定回路1との間に、NMOSFET (Negative channel Metal-Oxide-Semiconductor Field-Effect Transistor) 4とPMOSFET (Positive channel Metal-Oxide-Semiconductor Field-Effect Transistor) 5とが直列接続され、NMOSFET 4のゲート端子に正電源電圧  $V_{DD}$  が印加され、PMOSFET 5のゲート端子に負電源電圧  $V_{SS}$  が印加されるように構成されている。

10

## 【0004】

即ち、NMOSFET 4のドレインは入力端子3に接続され、ソースはPMOSFET 5のドレインに接続され、PMOSFET 5のソースは電圧測定回路1に接続されている。

## 【0005】

このような構成において、入力電圧  $V_{in}$  が電圧測定回路1の電源電圧範囲内 ( $V_{DD} \sim V_{SS}$ ) の場合、NMOSFET 4及びPMOSFET 5のゲート・ソース間電圧は、入力電圧  $V_{in}$  の値に応じて  $0V \sim V_{DD} + V_{SS}$  の範囲で変化する。このとき、NMOSFET 4及びPMOSFET 5は共にオン状態となり、入力電圧  $V_{in}$  がNMOSFET 4及びPMOSFET 5を介して  $V_{ic}$  として電圧測定回路1に入力される。但し、簡単のため各MOSFET 4, 5のスレッショルド電圧は  $0V$  とする。

20

## 【0006】

入力電圧  $V_{in}$  が電圧測定回路1の正電源電圧  $V_{DD}$  よりも大きくなった場合、NMOSFET 4がオフ状態となり、入力電圧  $V_{in}$  は電圧測定回路1に入力されない。入力電圧  $V_{in}$  が電圧測定回路1の負電源電圧  $V_{SS}$  よりも負電位側に大きくなった場合、PMOSFET 5がオフ状態となり、入力電圧  $V_{in}$  は電圧測定回路1に入力されない。このスイッチング動作により、電圧測定回路1を過大な入力電圧から保護するようになっている。この種の従来技術として特許文献1に記載のものが有る。

30

## 【先行技術文献】

## 【特許文献】

## 【0007】

【特許文献1】米国特許第5389811号明細書

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0008】

しかしながら、図8に示した入力保護回路2においては、一般的にMOSFETのゲート・ソース間の耐圧はドレイン・ソース間の耐圧よりもずっと低く、最大でも  $30V$  位迄しかない。ゲート・ソース間の印加電圧が耐圧を越えるとMOSFETは破損する。このため、過大な入力電圧  $V_{in}$  に対しての保護を実現するために、各MOSFET 4, 5のゲート・ソース間の耐圧が制約になる。

40

## 【0009】

そこで、図9に示すように、各MOSFET 4, 5のゲート・ソース間にツェナーダイオード7, 8を接続し、ゲート・ソース間の電圧を耐圧以内にクランプして過大な入力電圧  $V_{in}$  から保護する構成がある。

## 【0010】

この構成の場合、入力電圧  $V_{in}$  が印加されると、ツェナーダイオード7又は8に矢印  $i$  で示すように、ゲート側からソース側に向かってリーク電流が流れる。このリーク電流

50

i は、入力電圧  $V_{in}$  が高くなってゲート・ソース間の印加電圧が高くなる程に大きくなって指数関数的に増加するので、入力電圧  $V_{in}$  が少しでも高くなれば、リーク電流はより増大する。このようなリーク電流の増大は、電圧測定回路 1 のように高精度にアナログ電圧測定を行う用途の回路にとっては、許容できない、つまり悪影響を及ぼすという問題がある。

【0011】

本発明は上記した課題を解決するためになされたものであり、過大な入力電圧から内部回路を保護する電界効果トランジスタのゲート・ソース間を保護すると共に、ゲート・ソース間にダイオードを介して流れるリーク電流を内部回路に悪影響を与えないように抑制することができる、入力保護回路を提供することを目的とする。

10

【課題を解決するための手段】

【0012】

上記した課題を解決するために本発明は、入力電圧が印加される入力端子と、当該入力端子への印加電圧が入力される電子回路との間に、電界効果型のトランジスタを少なくとも2つ直列に接続し、前記入力電圧が前記電子回路の電源電圧を超えた際に、前記トランジスタの1つをオフとして前記電子回路への過大電圧入力を阻止する入力保護回路において、前記直列接続された各トランジスタのゲート・ソース間に接続されたダイオードと、前記各トランジスタのゲート電位を前記入力電圧にトラッキングして与え、当該各トランジスタのゲート・ソース間電圧を一定且つ電源電圧未満の電圧値に保持する電圧シフト回路とを備えることを特徴とする。

20

【0013】

この構成によれば、ダイオードが後述のようにツェナーダイオードである場合、ツェナーダイオードの逆バイアス電圧が各トランジスタのゲート・ソース間の電圧となり、この電圧が、電源電圧未満の電圧となる。このため、従来のようにトランジスタのゲート端に電源電圧を印加した場合に比べ、逆バイアス電圧が小さくなるので、ツェナーダイオードを流れるリーク電流を小さくすることができる。従って、従来のように入力電圧の増加に伴い指数関数的にリーク電流が大きくなり、このため、電子回路としての例えば高精度なアナログ電圧測定を行う回路に悪影響を及ぼすといったことを防止することが出来る。また、ツェナーダイオードによりトランジスタのゲート・ソース間を保護することができる。

30

【0014】

また、本発明は、入力電圧が印加される入力端子と、当該入力端子への印加電圧が入力される電子回路との間に、少なくとも2つの電界効果型の第1及び第2トランジスタを直列に接続し、前記入力電圧が前記電子回路の電源電圧を超えた際に、前記トランジスタの1つをオフとして前記電子回路への過大電圧入力を阻止する入力保護回路において、前記入力端子側の第1トランジスタのゲート端にドレイン端が接続された第3トランジスタと、前記第1及び第2トランジスタの接続間にドレイン端が接続されると共に、前記第2トランジスタのゲート端にソース端が接続された第4トランジスタと、前記第1トランジスタのゲート・ソース間に接続された第1ダイオードと、前記第2トランジスタのゲート・ドレイン間に接続された第2ダイオードと、前記第1及び第2トランジスタのゲート・ソース間電圧が一定となると共に、前記第3及び第4トランジスタのゲート・ソース間電圧が一定となるように、前記入力電圧にトラッキングした電圧を、前記第3及び第4トランジスタのゲート・ソース間に発生するゲートバイアス回路とを備え、前記ゲートバイアス回路は、前記入力電圧が前記電子回路の電源電圧範囲を超えた際に、前記第3及び第4トランジスタをオフとするゲート・ソース間電圧を発生することを特徴とする。

40

【0015】

本発明において、前記第1及び第2ダイオードは、ツェナーダイオードであることを特徴とする。

【0016】

50

これらの構成によれば、第1及び第2ダイオードがツェナーダイオードである場合、電流制限用の第3及び第4トランジスタが、入力電圧が電源電圧を越える過大入力時にのみ高抵抗になるので、入力電圧を電子回路に入力する経路に介挿された第1及び第2トランジスタを高抵抗として、過大入力電圧を制限することが出来る。これにより電子回路を保護することができる。

【0017】

また、過大入力時にのみ第3及び第4トランジスタが高抵抗となることを利用して、電流制限用の第4トランジスタのゲート・ドレイン間に第2ツェナーダイオードを接続可能となる。一般的には第2トランジスタのゲート・ソース間に第2ツェナーダイオードが接続される構成となっている。このように第4トランジスタのゲート・ドレイン間に第2ツェナーダイオードを接続した回路構成とすることにより、通常動作時における第1及び第2ツェナーダイオードの逆バイアス電圧を、上記一般的な第2トランジスタのゲート・ソース間への第2ツェナーダイオードの接続回路構成の場合よりも等しくすることができる。このように逆バイアス電圧を極力等しくすることによって、第1及び第2ツェナーダイオードのリーク電流のアンバランスによって生じる入力リーク電流を小さくすることができる。

10

【0018】

本発明において、前記第1及び第2ダイオードは、前記ゲート・ソース間又は前記ゲート・ドレイン間に逆方向に接続したPN接合型ダイオードであることを特徴とする。

【0019】

本発明において、前記第1及び第2ダイオードは、前記ゲート・ソース間又は前記ゲート・ドレイン間に順方向に接続した複数のPN接合型ダイオードであることを特徴とする。

20

【0020】

これらの構成によれば、第1及び第2ダイオードが、特殊なツェナーダイオードである場合に比べ、通常のPN接合型ダイオードである方がIC化し易いというメリットが得られる。

【0021】

上記した課題を解決するために本発明は、入力電圧が印加される入力端子と、正電源電圧と負電源電圧とが印加される電子回路との間に、直列接続された、極性が異なる第1及び第2トランジスタを挿入し、前記第1トランジスタのゲート端に前記正電源電圧を、前記第2トランジスタのゲート端に負電源電圧をそれぞれ印加し、前記入力電圧が前記正電源電圧より正電位側に大きくなり、または前記負電源電圧より負電位側に大きくなり前記電子回路の電源電圧範囲を超えた場合に、前記第1又は第2トランジスタを高抵抗状態に保持して前記電子回路への過大電圧入力を阻止する入力保護回路において、前記第1及び第2トランジスタのゲート・ソース間に接続された、それぞれ第1及び第2ダイオードと、前記第1及び第2トランジスタのゲート電位を前記入力電圧に追従して与え、前記第1及び第2トランジスタのゲート・ソース間電圧を一定、且つ前記電子回路の電源電圧範囲未満の電圧値に保持するゲートバイアス回路と、を備えることを特徴とする。

30

【0022】

本発明において、前記ゲートバイアス回路は、前記第1及び第2トランジスタを介して前記電子回路に出力される電圧をモニタして第1の電圧を出力する電圧バッファと、前記第1の電圧から、前記正電源電圧より小さく、かつ前記第1ダイオードの逆バイアス電圧分だけ正電位側にシフトした第2の電圧を前記第1トランジスタのゲート端に出力する第1レベルシフト回路と、前記第1の電圧から、前記負電源電圧より大きく、かつ前記第2ダイオードの逆バイアス電圧分一定電圧を負電位側にシフトした第3の電圧を前記第2トランジスタのゲート端に出力する第2レベルシフト回路と、を有することを特徴とする。

40

【0023】

本発明によれば、第1及び第2ダイオードが、例えば、ツェナーダイオードで構成され

50

る場合、ツェナーダイオードの逆バイアス電圧が各トランジスタのゲート・ソース間の電圧となり、この電圧が電源電圧未満の電圧になる。このため、従来のようにトランジスタのゲート端に電源電圧を印加した場合に比べて逆バイアス電圧が小さくなるため、ツェナーダイオードを流れるリーク電流を小さくすることができる。従って、入力電圧の増加に伴い指数関数的にリーク電流が大きくなり、例えば高精度なアナログ電圧測定を行う電圧測定回路等の電子回路に悪影響を及ぼすといった従来の不都合を回避することが出来る。また、ツェナーダイオードにより電界効果型トランジスタのゲート・ソース間の耐圧を保護することができる。

#### 【0024】

また、本発明は、入力電圧が印加される入力端子と、正電源電圧と負電源電圧とが印加される電子回路との間に、直列接続された、極性が異なる第1及び第2トランジスタを挿入し、前記第1トランジスタのゲート端に前記正電源電圧を、前記第2トランジスタのゲート端に前記負電源電圧をそれぞれ印加し、前記入力電圧が前記正電源電圧より正電位側に大きくなり、または前記負電源電圧より負電位側に大きくなる前記電子回路の電源電圧範囲を超えた場合に、前記第1又は第2トランジスタを高抵抗状態に保持して前記電子回路への過大電圧入力を阻止する入力保護回路において、前記第1トランジスタのゲート端にドレイン端が接続された、前記第2トランジスタと同じ極性を有する第3トランジスタと、前記第1及び第2トランジスタの接続間にドレイン端が接続され、かつ、前記第2トランジスタのゲート端にソース端が接続された、前記第2トランジスタと同じ極性を有する第4トランジスタと、前記第1トランジスタのゲート・ソース間に接続された第1ダイオードと、前記第2トランジスタのゲート・ドレイン間に前記第4トランジスタを介して接続された第2ダイオードと、前記第1及び第2トランジスタのゲート・ソース間電圧が一定になると共に、前記第3及び第4トランジスタのゲート・ソース間電圧が一定になるように、前記入力電圧に追従した電圧を、前記第1、第2、第3、及び第4トランジスタのゲート・ソース間にそれぞれ発生するゲートバイアス回路とを備え、前記ゲートバイアス回路は、前記入力電圧が前記電子回路の電源電圧範囲を超えた場合に、前記第3及び第4トランジスタを高抵抗状態に保持するゲート・ソース間電圧を発生することを特徴とする。

#### 【0025】

本発明において、前記ゲートバイアス回路は、前記第1及び第2トランジスタを介して前記電子回路に出力される電圧をモニタして入力電圧を生成する第1電圧バッファと、前記入力電圧から、前記正電源電圧より小さく、かつ前記第1ダイオードの逆バイアス電圧分だけ正電位側にシフトした第1の電圧を前記第3トランジスタを経由して前記第1トランジスタのゲート端に出力する第1レベルシフト回路と、前記入力電圧から、前記負電源電圧より大きく、かつ前記第2ダイオードの逆バイアス電圧分だけ負電位側にシフトした第2の電圧を前記第2トランジスタのゲート端に出力する第2レベルシフト回路と、前記入力電圧から、それぞれにおいて、前記負電源電圧より大きく、かつ前記第2ダイオードの逆バイアス電圧分だけ負電位側にシフトした第4の電圧を前記第4トランジスタのゲート端に出力する第3及び第4レベルシフト回路と、前記入力電圧と前記第2の電圧との電位差をモニタして前記第1の電圧と前記第3の電圧との間に所定の電位差を発生させ、前記第3トランジスタのゲート端に出力する第2電圧バッファと、を有することを特徴とする。

#### 【0026】

本発明において、前記第1及び第2ダイオードは、ツェナーダイオードであることを特徴とする。

#### 【0027】

本発明によれば、第1及び第2ダイオードが例えばツェナーダイオードで構成される場合、電流制限用の第3及び第4トランジスタが、入力電圧が電源電圧を越える過大入力時にのみ高抵抗状態になるため、入力電圧を電子回路に入力する経路に挿入された第1及び第2トランジスタを高抵抗状態にして過大入力電圧を制限することが出来る。従って、電

10

20

30

40

50

子回路を保護することができる。また、過大電圧入力時にのみ第3及び第4トランジスタが高抵抗状態になることを利用して、電流制限用の第2トランジスタのゲート・ドレイン間に第4トランジスタを介して第2ダイオード(ツェナーダイオード)が接続可能になる。一般的には第2トランジスタのゲート・ソース間に第2ダイオード(ツェナーダイオード)が接続される構成となっている。このように第2トランジスタのゲート・ドレイン間に第4トランジスタを介して第2ダイオード(ツェナーダイオード)を接続した回路構成とすることにより、通常動作時における第1及び第2ダイオード(ツェナーダイオード)の逆バイアス電圧を、一般的な第2トランジスタのゲート・ソース間への第2ダイオード(ツェナーダイオード)の接続回路構成の場合よりも等しくすることができる。このように逆バイアス電圧を極力等しくすることによって、第1及び第2ダイオード(ツェナーダイオード)のリーク電流のアンバランスによって生じる入力リーク電流を小さくすることができる。

10

**【0028】**

本発明において、前記第1及び第2ダイオードは、前記第1トランジスタのゲート・ソース間、又は前記第2トランジスタのゲート・ドレイン間に前記第4トランジスタを介して逆方向に接続されたPN接合型ダイオードであることを特徴とする。

**【0029】**

本発明において、前記第1及び第2ダイオードは、前記第1トランジスタのゲート・ソース間、又は前記第2トランジスタのゲート・ドレイン間に前記第4トランジスタを介して順方向に接続された複数のPN接合型ダイオードであることを特徴とする。

20

**【0030】**

本発明によれば、第1及び第2ダイオードが、特殊なツェナーダイオードである場合に比べ、通常のPN接合型ダイオードである方がIC化し易いという効果が得られる。

**【0031】**

また、本発明は、入力電圧が印加される入力端子と、正電源電圧と負電源電圧とが印加される電子回路との間に、直列接続された、極性が異なる第1及び第2トランジスタを挿入し、前記第1トランジスタのゲート端に前記正電源電圧を、前記第2トランジスタのゲート端に前記負電源電圧をそれぞれ印加し、前記入力電圧が前記正電源電圧より正電位側に大きくなり、または前記負電源電圧より負電位側に大きくなり前記電子回路の電源電圧範囲を超えた場合に、前記第1又は第2トランジスタを高抵抗状態に保持して前記電子回路への過大電圧入力を阻止する入力保護回路において、前記第1トランジスタのゲート端にドレイン端が接続された、前記第2トランジスタと同じ極性を有する第3トランジスタと、前記第1トランジスタのゲート・ソース間に接続された第1の順方向ダイオードと、前記第2トランジスタのゲート・ドレイン間に接続された第2の順方向ダイオードと、前記第1及び第2トランジスタのゲート・ソース間電圧が一定になると共に、前記第3トランジスタのゲート・ソース間電圧が一定になるように、前記入力電圧に追従した電圧を、前記第1、第2及び第3トランジスタのゲート・ソース間にそれぞれ発生するゲートバイアス回路と、を備え、前記ゲートバイアス回路は、前記入力電圧が前記電子回路の電源電圧範囲を超えた場合に、前記第1トランジスタを高抵抗状態に保持する、または前記第2および第3トランジスタを高抵抗状態に保持するゲート・ソース間電圧を発生することを特徴とする。

30

40

**【0032】**

本発明において、前記ゲートバイアス回路は、極性が異なるトランジスタで構成される第1及び第2のソースフォロワ回路と、前記第1のソースフォロワ回路に第1の抵抗を介して接続され、バイアス電流源により供給される第1の電流を入力とし、前記第1のソースフォロワ回路、及び前記第1の抵抗に第3の電流を出力する、前記第1のソースフォロワ回路と同じ極性のトランジスタで構成される第1のカレントミラー回路と、前記第2のソースフォロワ回路に、第2及び第3の抵抗からなる直列回路を介して接続され、前記第2の電流を入力とし、前記第2のソースフォロワ回路、及び前記第2及び第3の抵抗に第3の電流を出力する、前記第2のソースフォロワ回路と同じ極性のトランジスタで構成さ

50

れる第2のカレントミラー回路と、を備え、前記第1及び第2トランジスタを介して前記電子回路に出力される電圧から、前記第2のソースフォロワ回路のゲート・ソース間電圧と、前記第2及び第3の抵抗と前記第3の電流による電圧降下分とにより、前記正電源電圧より小さく、かつ前記第1の順方向ダイオードの逆バイアス電圧分だけ正電位側にシフトした第1の電圧を、前記第3トランジスタを経由して前記第1トランジスタのゲート端に出力し、前記第1及び第2トランジスタを介して前記電子回路に出力される電圧から、前記第1のソースフォロワ回路のゲート・ソース間電圧と、前記第1の抵抗と前記第2の電流による電圧降下分とにより、前記負電源電圧より大きく、かつ前記第2の順方向ダイオードの逆バイアス電圧分だけ負電位側にシフトした第2の電圧を前記第2トランジスタのゲート端に出力し、前記第1及び第2トランジスタを介して前記電子回路に出力される電圧から、前記第2のソースフォロワ回路のゲート・ソース間電圧と、前記第2の抵抗と前記第3の電流による電圧降下分とにより、前記正電源電圧より小さく、かつ前記第1の順方向ダイオードの逆バイアス電圧分だけ正電位側にシフトした第3の電圧を前記第3トランジスタのゲート端に出力することを特徴とする。

10

#### 【0033】

本発明によれば、電流制限用の第3トランジスタが、入力電圧が電源電圧範囲を超える過大入力時にのみ高抵抗状態になるため、入力電圧を電子回路に入力する経路に挿入された第1及び第2トランジスタを高抵抗状態に保持し、過大入力電圧を制限して電子回路を保護することができる。また、過大電圧入力時にのみ第3トランジスタが高抵抗状態になることを利用して、第2トランジスタゲート・ドレイン間に第2の順方向ダイオードを接続することが可能になり、第1の順方向ダイオードに流れるリーク電流を第2の順方向ダイオードに流すことにより、入力端子側から見た入力リーク電流を小さくすることができる。

20

#### 【0034】

また、本発明によれば、第1及び第2トランジスタのゲート・ソース間電圧が一定になると共に、第3トランジスタのゲート・ソース間電圧も一定になるように、入力電圧に追従した電圧を、第1、第2、第3トランジスタのゲート・ソース間にそれぞれ発生するゲートバイアス回路を、第1及び第2のソースフォロワ回路と、第1及び第2のカレントミラー回路を構成する電界効果型トランジスタ素子と、抵抗素子とから成る少ない部品点数で実現することができる。また、素子サイズが大きな高耐压の電界効果型トランジスタ素子の個数を削減してゲートバイアス機能を実現できるため、回路規模の小さな入力保護回路を提供することができる。

30

#### 【発明の効果】

#### 【0035】

本発明によれば、過大な入力電圧から内部回路を保護するMOSFETのゲート・ソース間を保護すると共に、ゲート・ソース間にダイオードを介して流れるリーク電流を内部回路に悪影響を与えないように抑制することが可能な入力保護回路を提供することができる。

#### 【図面の簡単な説明】

#### 【0036】

【図1】第1実施形態に係る入力保護回路が接続された電圧測定回路を備える電圧測定装置の回路構成を示す図である。

【図2】第2実施形態に係る入力保護回路が接続された電圧測定回路を備える電圧測定装置の回路構成を示す図である。

【図3】第2実施形態に係る入力保護回路におけるゲート駆動回路の構成を示す図である。

【図4】第2実施形態に係る入力保護回路に対応する一般的な入力保護回路を有する電圧測定装置の回路構成を示す図である。

【図5】ツェナーダイオードに代え適用可能なPN接合型ダイオードを示し、(a)は1つの逆方向接続されるダイオード、(b)は順方向接続される複数のダイオードを示す図

40

50

である。

【図6】第3実施形態に係る入力保護回路が接続された電圧測定回路を備える電圧測定装置の回路構成を示す図である。

【図7】第3実施形態に係る入力保護回路のゲートバイアス回路の構成を示す図である。

【図8】従来の入力保護回路が接続された電圧測定回路を備える電圧測定装置の構成を示す回路図である。

【図9】従来の他の入力保護回路が接続された電圧測定回路を備える電圧測定装置の構成を示す回路図である。

【発明を実施するための形態】

【0037】

以下、添付図面を参照して本発明を実施するための実施の形態（以下、単に実施形態という）について詳細に説明する。

【0038】

（第1実施形態の構成）

図1は、第1実施形態に係る入力保護回路10が接続された電圧測定回路1を備える電圧測定装置の回路構成を示す図である。電圧測定回路1は、正極側の電源電圧である正電源電圧VDDと、負極側の電源電圧である負電源電圧VSSとが印加され、高精度にアナログ電圧測定を行う。

【0039】

入力保護回路10は、入力電圧Vinが印加される入力端子3と電圧測定回路1との間に、NMOSFET4とPMOSFET5とが直列接続され、NMOSFET4のゲート・ソース間にツェナーダイオード12が接続され、PMOSFET5のゲート・ソース間にツェナーダイオード13が接続され、更に、PMOSFET5のソース端及び電圧測定回路1の接続間と、各MOSFET4,5のゲート端との間に、電圧シフト回路11が接続されて構成されている。

【0040】

電圧シフト回路11は、オペアンプによる電圧バッファ14と、レベルシフト回路15,16とを備えて構成されている。電圧バッファ14は、非反転入力端子(+)がPMOSFET5のソース端及び電圧測定回路1の接続間に接続され、反転入力端子(-)が出力端子に接続され、電圧測定回路1への入力電圧Vicをモニタする。電圧バッファ14の出力電圧をVmとすると、 $V_m = V_{ic}$ となる。

【0041】

レベルシフト回路15は、電圧バッファ14の出力端子とNMOSFET4のゲート端との間に接続され、一定電圧Vsが正電位側にシフトされるレベルシフト電圧+Vsを発生する。従って、レベルシフト回路15からは、電圧バッファ14の出力電圧Vmとレベルシフト電圧+Vsとの加算電圧 $V_m + V_s$  ( $V_{in} + V_s$ )が出力されて、NMOSFET4のゲート端に印加される。

【0042】

レベルシフト回路16は、電圧バッファ14の出力端子とPMOSFET5のゲート端との間に接続され、一定電圧Vsが負電位側にシフトされるレベルシフト電圧-Vsを発生する。従って、レベルシフト回路16からは、電圧バッファ14の出力電圧Vmとレベルシフト電圧-Vsとの加算電圧 $V_m - V_s$  ( $V_{in} - V_s$ )が出力されて、PMOSFET5のゲート端に印加される構成となっている。

【0043】

更に、この構成において、ツェナーダイオード12の逆バイアス電圧であるNMOSFET4のゲート・ソース間電圧をレベルシフト電圧+Vsとし、レベルシフト電圧+Vsの大きさを、正電源電圧VDDよりも小さい電圧値とする。同様に、ツェナーダイオード13の逆バイアス電圧であるPMOSFET5のゲート・ソース間電圧をレベルシフト電圧-Vsとし、レベルシフト電圧-Vsの大きさを、負電源電圧VSSよりも大きい電圧値とする。つまり、各MOSFET4,5のゲート・ドレイン間電圧 $+V_s \sim -V_s$ は、

10

20

30

40

50

電源電圧範囲 ( $V_{DD} \sim V_{SS}$ ) 未満の電圧値となっている。

【0044】

つまり、電圧シフト回路11によって、各MOSFET4, 5のゲート電位を入力電圧  $V_{in}$  である  $V_{ic}$  にトラッキングして与え、各MOSFET4, 5のゲート・ソース間電圧を一定且つ電源電圧範囲 ( $V_{DD} \sim V_{SS}$ ) 未満の電圧値に保持するようになっている。

【0045】

(第1実施形態の動作)

以下、図1に示す第1実施形態に係る入力保護回路10の動作について、詳細に説明する。まず、入力電圧  $V_{in}$  が電圧測定回路1の電源電圧範囲 ( $V_{DD} \sim V_{SS}$ ) 内にある場合、NMOSFET4及びPMOSFET5のゲート・ソース間電圧は入力電圧  $V_{in}$  に依らず一定電圧  $V_s$  となる。但し、一定電圧  $V_s$  の大きさは、NMOSFET4及びPMOSFET5をオンするために必要な最低限の大きさに設定されている。従って、電源電圧範囲 ( $V_{DD} \sim V_{SS}$ ) 内の入力電圧  $V_{in}$  の場合、NMOSFET4及びPMOSFET5はオン状態であり、これらMOSFET4, 5を介した電圧  $V_{ic}$  が電圧測定回路1に入力される。これによって、電圧測定回路1は、入力電圧  $V_{in}$  の高精度な測定を行う。

10

【0046】

ここで、入力電圧  $V_{in}$  が電圧測定回路1の正電源電圧  $V_{DD}$  よりも大きくなった場合、NMOSFET4がオフ状態となり、入力電圧  $V_{in}$  は電圧測定回路1に入力されない。また、入力電圧  $V_{in}$  が電圧測定回路1の負電源電圧  $V_{SS}$  よりも負電位側に大きくなった場合、PMOSFET5がオフ状態となり、入力電圧  $V_{in}$  は電圧測定回路1に入力されない。このスイッチング動作により、電圧測定回路1が過大な入力電圧から保護される。

20

【0047】

入力電圧  $V_{in}$  を、電圧測定回路1の電源電圧範囲 ( $V_{DD} \sim V_{SS}$ ) を超えて正電位側及び負電位側に更に大きくしていった場合、NMOSFET4又はPMOSFET5のゲート・ソース間電圧が大きくなっていくが、この時、それらゲート・ソース間電圧は、ゲート・ソース間の耐圧を越える前にツェナーダイオード12, 13でクランプされる。

30

【0048】

この際、ツェナーダイオード12, 13の逆バイアス電圧である各MOSFET4, 5のゲート・ソース間電圧が、電源電圧範囲 ( $V_{DD} \sim V_{SS}$ ) 未満の電圧とされているため、従来のようにMOSFETのゲート端に電源電圧  $V_{DD}$  又は  $V_{SS}$  を印加した場合に比べ、逆バイアス電圧が小さくなって、ツェナーダイオード12, 13を流れるリーク電流が小さくなる。

【0049】

(第1実施形態の効果)

以上説明のように第1実施形態に係る入力保護回路10は、入力電圧  $V_{in}$  が印加される入力端子3と、入力端子3への印加電圧  $V_{ic}$  が入力される電圧測定回路1との間に、電界効果型のトランジスタとしてのNMOSFET4及びPMOSFET5を少なくとも2つ直列に接続し、入力電圧  $V_{in}$  が電圧測定回路1の電源電圧  $V_{DD} \sim V_{SS}$  を超えた際に、各MOSFET4, 5の1つをオフとして電圧測定回路1への過大電圧入力を阻止する。

40

【0050】

第1実施形態の特徴は、直列接続された各MOSFET4, 5のゲート・ソース間に接続されたツェナーダイオード12, 13と、各MOSFET4, 5のゲート電位を入力電圧  $V_{in}$  である  $V_{ic}$  にトラッキングして与え、各MOSFET4, 5のゲート・ソース間電圧を一定且つ電源電圧範囲 ( $V_{DD} \sim V_{SS}$ ) 未満の電圧値に保持する電圧シフト回路11とを備えて構成したことにある。

50

## 【0051】

この構成によれば、ツェナーダイオード12, 13の逆バイアス電圧が各MOSFET 4, 5のゲート・ソース間の電圧となり、この電圧が、電源電圧未満の電圧 $V_s$ となる。このため、従来のように各MOSFET 4, 5のゲート端に電源電圧( $V_{DD} \sim V_{SS}$ )を印加した場合に比べ、逆バイアス電圧が小さくなるので、ツェナーダイオード12, 13を流れるリーク電流を小さくすることができる。従って、従来のように入力電圧 $V_{in}$ の増加に伴い指数関数的にリーク電流が大きくなり、このため、電圧測定回路1としての例えば高精度なアナログ電圧測定を行う電圧測定回路1に悪影響を及ぼすといったことを防止することが出来る。また、ツェナーダイオード12, 13により各MOSFET 4, 5のゲート・ソース間を保護することができる。

10

## 【0052】

(第2実施形態の構成)

図2は、第2実施形態に係る入力保護回路20が接続された電圧測定回路1を備える電圧測定装置の回路構成を示す図である。入力保護回路20は、入力電圧 $V_{in}$ が印加される入力端子3と電圧測定回路1との間に、NMOSFET 4とPMOSFET 5とが直列接続され、PMOSFET 5のソース端及び電圧測定回路1の接続間と、各MOSFET 4, 5のゲート端との間に、ゲートバイアス回路24と、PMOSFET 25, 26とが接続され、NMOSFET 4のゲート・ソース間にツェナーダイオード22が接続され、PMOSFET 26のゲート・ドレイン間にツェナーダイオード23が接続されて構成されている。

20

## 【0053】

ゲートバイアス回路24は、図3に示すように、電圧バッファ241, 242と、レベルシフト回路244, 245, 246, 247とを備えて構成され、各電圧 $V_1, V_2, V_3, V_4$ の出力側が電源・アース間にダイオードを介して接続されている。

## 【0054】

電圧バッファ241は、各MOSFET 4, 5を経由した入力電圧 $V_{in}$ に対応する電圧 $V_{ic}$ をモニタして電圧 $V_o$ として出力する。

## 【0055】

レベルシフト回路244は、電圧バッファ14から出力された電圧 $V_o$ を一定電圧 $V_s$ だけ正電位側にシフト( $V_{ic} + V_s$ )し、これを電圧 $V_1$ としてPMOSFET 25のソース端へ出力する。レベルシフト回路245は、電圧 $V_o$ を一定電圧 $V_s$ だけ負電位側にシフト( $V_{ic} - V_s$ )し、これを電圧 $V_2$ としてPMOSFET 26のソース端子へ出力する。

30

## 【0056】

電圧バッファ242は、2つの入力側の一方が電圧バッファ241の出力端に、他方がレベルシフト回路245の出力端に接続され、2つの出力側の一方がレベルシフト回路244の出力端に接続され、他方が電圧 $V_3$ の出力端となっている。このような電圧バッファ242は、入力側においてレベルシフト回路245の出力電圧 $V_2$ を電位 $V_a$ シフトして電圧バッファ241の出力電圧 $V_o$ とし、これにより出力側において出力電圧 $V_3$ が電位 $V_b$ (但し、 $V_b > V_a$ )シフトされて出力電圧 $V_1$ となる動作を行う。

40

## 【0057】

この動作により、PMOSFET 5のソース端の電圧 $V_{ic}$ とゲート端に供給される電圧 $V_2$ との電位差 $V_{ic} - V_2$ が $V_a$ となり、PMOSFET 25のゲート端に供給される電圧 $V_3$ と、ソース端に供給される電圧 $V_1$ との電位差 $V_1 - V_3$ が $V_b$ となる。

## 【0058】

レベルシフト回路246, 247は、電圧バッファ241から出力された電圧 $V_o$ を、各々において一定電圧 $V_s$ だけ負電位側にシフト( $V_{ic} - 2 \times V_s$ )し、これを電圧 $V_4$ としてPMOSFET 26のゲート端へ出力する。

## 【0059】

従って、ゲートバイアス回路24は、各MOSFET 4, 5と、各PMOSFET 25

50

、26のゲート・ソース間電圧が $V_s$ 一定となるように、入力電圧 $V_{ic}$ （入力電圧 $V_{in}$ ）にトラックした電圧 $V_1 \sim V_4$ を発生する。但し、ゲートバイアス回路24から出力される各電圧 $V_1 \sim V_4$ は、電源電圧 $V_{DD} \sim V_{SS}$ を超えることはできないようになっており、 $V_1 - V_3 = V_{ic} - V_2$ の関係となっている。つまり、電圧 $V_1, V_3$ が印加されるPMOSFET25のゲート・ソース間電圧（ $V_1 - V_3$ ）と、PMOSFET5のゲート・ソース間電圧（ $V_{ic} - V_2$ ）とは、常時等しく保持されるようになっている。

【0060】

また、各電圧 $V_1 \sim V_4$ は、入力電圧 $V_{in}$ が電源電圧 $V_{DD} - V_s \sim V_{SS} + 2V_s$ の範囲内にある場合、上述した $V_1 = V_{ic} + V_s$ 、 $V_2 = V_{ic} - V_s$ 、 $V_3 = V_{ic}$ 、 $V_4 = V_{ic} - 2V_s$ の関係となる。

10

【0061】

一方、各電圧 $V_1 \sim V_4$ が、入力電圧 $V_{in}$ が電源電圧 $V_{DD} - V_s \sim V_{SS} + 2V_s$ の範囲外となった場合、入力電圧 $V_{in}$ が $V_{DD} - V_s$ 以上（電圧が正電位側に高い状態）の時、 $V_1 = V_{DD}$ となる。入力電圧 $V_{in}$ が $V_{SS} + 2V_s$ 以下（電圧が負電位側に低い状態）の時、 $V_4 = V_{SS}$ となる。入力電圧 $V_{in}$ が $V_{SS} + V_s$ 以下（電圧が負電位側に低い状態）の時、 $V_2 = V_{SS}$ 、 $V_3 = V_1$ となる。

【0062】

（第2実施形態の動作）

以下、図2に示す第1実施形態に係る入力保護回路20の動作について、詳細に説明する。まず、入力電圧 $V_{in}$ が電源電圧範囲 $V_{DD} - V_s \sim V_{SS} + 2V_s$ の範囲内にある場合、PMOSFET25、26のゲート・ソース間電圧は、 $V_s$ 一定に保持され、PMOSFET25、26はオンとなり低抵抗状態を保持する。この場合、PMOSFET25、26の電圧降下は小さく、ゲートバイアス回路24の出力電圧 $V_1, V_2$ は、そのままのレベルで各MOSFET4、5のゲート端に印加される。これにより、各MOSFET4、5のゲート・ソース間電圧も $V_s$ 一定に保持され、各MOSFET4、5もオンとなり低抵抗状態を保持する。この各MOSFET4、5のオン状態によって、入力電圧 $V_{in}$ が電圧測定回路1に入力され、電圧測定回路1により高精度なアナログ電圧測定が行われる。

20

【0063】

次に、入力電圧 $V_{in}$ が $V_{DD} - V_s$ 以上の時、NMOSFET4がオフとなり、入力電圧 $V_{in}$ が電圧測定回路1へは入力されない。一方、入力電圧 $V_{in}$ が $V_{SS} + 2V_s$ 以下のとき、NMOSFET4はドレイン・バルク間寄生ダイオードが順方向になるため低抵抗のままであるが、PMOSFET5はオフとなり、入力電圧 $V_{in}$ は電圧測定回路1へは入力されない。つまり、電圧測定回路1が過大な入力電圧から保護される。

30

【0064】

次に、入力電圧 $V_{in}$ を、 $V_{SS} + 2V_s$ より負電位側に低くして行った時、NMOSFET4のゲート・ソース間電圧が高くなって行く。この際、NMOSFET4のゲート・ソース間電圧が耐圧を超えないように、ツェナーダイオード22がNMOSFET4のゲート・ソース間電圧をクランプする。また、入力電圧 $V_{in}$ が $V_{SS} + 2V_s$ 以下のとき、PMOSFET25、26は、PMOSFET5と同様に、オフ状態になる。この場合、ツェナーダイオード22によるクランプが働いても、PMOSFET25がオフの高抵抗となってゲートバイアス回路24の出力電流を制限し、ゲートバイアス回路24に過大な電流を流さないように保護する。

40

【0065】

つまり、入力電圧 $V_{in}$ が負の過大入力の時、ゲートバイアス回路24への入力電圧 $V_{ic}$ と、出力電圧 $V_2$ 及び $V_4$ とが下がり、 $V_2 = V_4 = V_{ic} = V_{SS}$ となる。更にこの時、 $V_3 = V_1$ となる。この結果、PMOSFET5ゲート・ソース間電圧は0Vになって高抵抗のオフ状態となる。同様に各PMOSFET25、26のゲート・ソース間電圧も0Vになって高抵抗のオフ状態となる。

50

## 【 0 0 6 6 】

このように、ツェナーダイオード 2 2 , 2 3 に直列に挿入した電流制限用の P M O S F E T 2 5 , 2 6 が、入力電圧  $V_{in}$  の過大入力時にのみ高抵抗になる点が特徴となっている。従って、電圧測定回路 1 は、過大な入力電圧  $V_{in}$  から保護されると共に、その過大入力時にも高い入力抵抗を保持する。

## 【 0 0 6 7 】

更に、図 2 には電流制限用の P M O S F E T 2 6 のゲート・ドレイン間にツェナーダイオード 2 3 が接続された構成となっているが、一般的には、図 4 に示すように、P M O S F E T 5 のゲート・ソース間にツェナーダイオード 2 3 が接続される。但し、図 4 の回路は、ゲートバイアス回路 2 4 a が入力電圧  $V_{ic}$  にトラッキングした電圧  $V_1$  ,  $V_2$  を発生し、この電圧  $V_1$  が抵抗器 2 7 を介して N M O S E F T 4 のゲート端に印加され、電圧  $V_2$  が抵抗器 2 8 を介して P M O S F E T 5 のゲート端に印加されるようになっている。

10

## 【 0 0 6 8 】

本実施形態のように P M O S F E T 2 6 のゲート・ドレイン間にツェナーダイオード 2 3 を接続可能としたのは、電流制限用の P M O S F E T 2 6 が入力電圧  $V_{in}$  の過大入力時にのみ高抵抗になることを利用したためである。

## 【 0 0 6 9 】

このように P M O S F E T 2 6 のゲート・ドレイン間にツェナーダイオード 2 3 を接続した回路構成とすることにより、通常動作時におけるツェナーダイオード 2 2 , 2 3 の逆バイアス電圧を、上記一般的な P M O S F E T 5 のゲート・ソース間へのツェナーダイオード 2 3 の接続回路構成の場合よりも等しくすることができる。このようにツェナーダイオード 2 2 , 2 3 の逆バイアス電圧を極力等しくすることによって、ツェナーダイオード 2 2 , 2 3 のリーク電流のアンバランスによって生じる入力リーク電流が小さくなる。

20

## 【 0 0 7 0 】

( 第 2 実施形態の効果 )

以上説明のように第 2 実施形態に係る入力保護回路 2 0 は、入力電圧  $V_{in}$  が印加される入力端子 3 と、当該入力端子 3 への印加電圧が入力される電圧測定回路 1 との間に、少なくとも 2 つの M O S F E T 4 , 5 を直列に接続し、入力電圧  $V_{in}$  が電圧測定回路 1 の電源電圧を超えた際に、トランジスタの 1 つをオフとして電圧測定回路 1 への過大電圧入力を阻止する。

30

## 【 0 0 7 1 】

第 2 実施形態の特徴は、入力端子 3 側の N M O S E F T 4 のゲート端にドレイン端が接続された P M O S F E T 2 5 と、各 M O S F E T 4 , 5 の接続間にドレイン端が接続されると共に、P M O S F E T 5 のゲート端にソース端が接続された P M O S F E T 2 6 と、N M O S E F T 4 のゲート・ソース間に接続されたツェナーダイオード 2 2 と、P M O S F E T 2 6 のゲート・ドレイン間に接続されたツェナーダイオード 2 3 と、各 M O S F E T 4 , 5 のゲート・ソース間電圧が一定となると共に、P M O S F E T 2 5 , 2 6 のゲート・ソース間電圧が一定となるように、入力電圧  $V_{in}$  にトラッキングした電圧を、P M O S F E T 2 5 , 2 6 のゲート・ソース間に発生するゲートバイアス回路 2 4 とを備え、ゲートバイアス回路 2 4 が、入力電圧  $V_{in}$  が電圧測定回路 1 の電源電圧範囲  $V_{DD} - V_s \sim V_{SS} + 2 V_s$  を超えた際に、P M O S F E T 2 5 , 2 6 をオフとするゲート・ソース間電圧  $V_1$  ,  $V_3$  及び  $V_2$  ,  $V_4$  を発生する構成とした。

40

## 【 0 0 7 2 】

この構成によれば、電流制限用の P M O S F E T 2 5 , 2 6 が、入力電圧  $V_{in}$  が電源電圧  $V_{DD} - V_s \sim V_{SS} + 2 V_s$  を越える過大入力時にのみ高抵抗になるので、入力電圧  $V_{in}$  を電圧測定回路 1 に入力する経路に介挿された各 M O S F E T 4 , 5 を高抵抗として、過大入力電圧  $V_{in}$  を制限することが出来る。これにより電圧測定回路 1 を保護することができる。

## 【 0 0 7 3 】

また、過大入力時にのみ P M O S F E T 2 5 , 2 6 が高抵抗となることを利用して、電

50

流制限用のPMOSFET 26のゲート・ドレイン間にツェナーダイオード23を接続可能となる。一般的にはPMOSFET 5のゲート・ソース間にツェナーダイオード23が接続される構成となっている。このようにPMOSFET 26のゲート・ドレイン間にツェナーダイオード23を接続した回路構成とすることにより、通常動作時における第1及びツェナーダイオード23の逆バイアス電圧を、上記一般的なPMOSFET 5のゲート・ソース間へのツェナーダイオード23の接続回路構成の場合よりも等しくすることができる。このように逆バイアス電圧を極力等しくすることによって、第1及びツェナーダイオード23のリーク電流のアンバランスによって生じる入力リーク電流を小さくすることができる。

#### 【0074】

10

この他、上述した第1及び第2実施形態において、ツェナーダイオード12, 13, 22, 23は、NMOSFET 4のゲート・ソース間電圧を耐圧内に抑えることができればよく、図5(a)に示す一般的なPN接合型ダイオード71をゲート・ソース間又はゲート・ドレイン間に逆方向に接続し、その逆方向特性を利用した回路構成としてもよい。また、図5(b)に示すように、ゲート・ソース間又はゲート・ドレイン間に複数のPN接合型ダイオード72を順方向に直列接続してもよい。これら構成によって、特殊なツェナーダイオード22, 23よりも通常ダイオード71又は72の方がIC化し易いというメリットが得られる。

#### 【0075】

ところで、上記した第2実施形態によれば、ゲートバイアス回路24が、入力電圧Viに追従したゲートバイアス電圧を発生させるために複数の電圧バッファ(図3の241, 242)を用いる必要がある。この電圧バッファ241, 242は共に数個のトランジスタから構成されるため回路規模が比較的大きくなる。また、NMOSFET 4、及びPMOSFET 5, 25, 26には比較的高い入力電圧が印加されるため、素子サイズが大きな高耐圧のMOSFETを使用する必要がある。したがって、回路規模が一段と大きくなる。以下に、第2実施形態に比較して回路規模を縮小した入力保護回路30を第3実施形態として説明する。

20

#### 【0076】

(第3実施形態の構成)

図6は、第3実施形態に係る入力保護回路30が接続された電圧測定回路1を備える電圧測定装置の回路構成を示す図である。

30

#### 【0077】

以下に説明する第3実施形態に係る入力保護回路30において、図2に示す第2実施形態との構成上の主な差異は、第2実施形態におけるツェナーダイオード22が、第3実施形態における、複数個直列接続された順方向ダイオード32に置き換わり、第2実施形態におけるツェナーダイオード23が、複数個直列に接続された順方向ダイオード33に置き換わったことにある。また、第3実施形態では、第2実施形態におけるPMOSFET 26の存在を不要にした。その他は図2に示す実施形態と同様の構成を有する。このため、図2に示す第2実施形態と同じ番号が付されたブロックは、特に断りがない限り、図2に示すそれと、同じ名称及び機能を有するものとする。

40

#### 【0078】

上記した回路構成の変更に伴い、第3実施形態におけるゲートバイアス回路34は、NMOSFET 4、及びPMOSFET 5, 25のゲートバイアス電圧V1, 及びV2, V3を出力し、そして第2実施形態におけるPMOSFET 26のゲートバイアス電圧V4(第4の電圧)の出力を不要とした。以下に第3実施形態において使用されるゲートバイアス回路34の詳細な回路構成について説明する。

#### 【0079】

図7に示すように、ゲートバイアス回路34は、バイアス電流源340と、NMOSFETで構成されるソースフォロワ回路341(第1のソースフォロワ回路)と、PMOSFETで構成されるソースフォロワ回路342(第2のソースフォロワ回路)と、2個の

50

NMOSFETで構成されるカレントミラー回路343(第1のカレントミラー回路)と、2個のPMOSFETで構成されるカレントミラー回路344(第2のカレントミラー回路)と、からなる。すなわち、カレントミラー回路343は、ソースフォロワ回路341を構成するMOSFETと同じ極性を有するMOSFETで構成され、カレントミラー回路344は、ソースフォロワ回路342を構成するMOSFETと同じ極性を有するMOSFETで構成される。

【0080】

ゲートバイアス回路34から出力される電圧V1(第1の電圧)は、NMOSFET4及びPMOSFET5経由で出力される入力電圧Vicを、ソースフォロワ回路342および抵抗Rb(第2の抵抗)、Ra(第3の抵抗)を介し、正電位側にレベルシフトした電圧であり、PMOSFET25経由でNMOSFET4のゲート端に出力される。

10

ゲートバイアス回路34から出力される電圧V2(第2の電圧)は、入力電圧Vicを、ソースフォロワ回路341および抵抗Rc(第1の抵抗)を介して負電位側にレベルシフトした電圧であり、PMOSFET5のゲート端に出力される。ゲートバイアス回路34から出力される電圧V3(第3の電圧)は、入力電圧Vicを、ソースフォロワ回路342および抵抗Rbを介して正電位側にレベルシフトした電圧であり、PMOSFET25のゲート端に出力される。

【0081】

なお、バイアス電流源340から供給される電流I3(第1の電流)は、カレントミラー回路343を介し、電流I2(第2の電流)としてソースフォロワ回路341、及び抵抗Rcに出力される。電流I2は更に、カレントミラー回路344を介し、電流I1(第3の電流)として抵抗Ra、Rb及びソースフォロワ回路342に供給される。

20

【0082】

ゲートバイアス回路34の出力V1及びV2、V3は、NMOSFET4及びPMOSFET5のゲート・ソース間電圧をVs一定になるように、かつ、PMOSFET25のゲート・ソース間電圧をVa一定になるように、入力電圧Vicに追従した電圧を発生する。但し、ゲートバイアス回路34から出力される各電圧V1~V3は、電源電圧VDD~VSSを超えることはできないようになっている。つまり、ゲートバイアス回路34は、入力電圧VinがVDD-Vs~VSS+Vsの範囲にあるとき、以下の電圧が出力されるように設計される。

30

【0083】

電圧V1は、ソースフォロワ回路342のゲート・ソース間電圧Vpと、抵抗Rbおよび抵抗Raと電流I1による電圧降下分とにより、以下の演算式(1)で示される。

$$V1 = Vic + Vp + (Ra + Rb) \cdot I1 \dots (1)$$

【0084】

電圧V2は、ソースフォロワ回路341のゲート・ソース間電圧Vnと、抵抗Rcと電流I2の電圧降下分とにより、以下の演算式(2)で示される。

$$V2 = Vic - (Vn + Rc \cdot I2) \dots (2)$$

【0085】

ここで、カレントミラー回路343、344により出力される電流値I1(I2、I3)から、Vs-Vp+(Ra+Rb)・I1、Vn+Rc・I2になるようにすれば、電圧V1とV2は、以下の演算式(3)(4)に置換することができる。

40

$$V1 = Vic + Vs \dots (3)$$

$$V2 = Vic - Vs \dots (4)$$

【0086】

電圧V3は、ソースフォロワ回路342のゲート・ソース間電圧Vpと、抵抗Rbと電流I1による電圧降下分とにより、以下の演算式(5)で示される。

$$V3 = Vic + Vp + Rb \cdot I1 = Vic + Vp + (Ra + Rb) \cdot I1 - Ra \cdot I1 \dots (5)$$

【0087】

50

ここで、 $V_a = R_a \cdot I_1$ とすれば、 $V_3$ は、以下の演算式(6)に置換することができる。

$$V_3 = V_1 - V_a \dots (6)$$

【0088】

一方、入力電圧 $V_{in}$ が電源電圧 $V_{DD} - V_s \sim V_{SS} + V_s$ の範囲外になった場合、例えば、入力電圧 $V_{in}$ が $V_{DD} - V_s$ 以上になった場合、 $V_1$ の電圧値が上昇し、カレントミラー回路344を構成する一方のPMOSFETが線形領域に入ってカレントミラーとして動作しなくなり、 $I_1 = 0$ になるため、 $V_1 = V_{DD}$ になる。また、入力電圧 $V_{in}$ が $V_{SS} + V_s$ 以下の場合、 $V_2$ の電圧値が低下し、カレントミラー回路343を構成する一方のNMOSFETが線形領域に入ってカレントミラーとして動作しなくなり、 $I_2 = 0$ となるため、 $V_2 = V_{SS}$ になる。 $I_2 = 0$ になれば、カレントミラー回路344を通して、 $I_1 = 0$ になる。このとき、 $V_1 = V_{ic} + V_p$ 、 $V_3 = V_{ic} + V_p$ になって、 $V_3 = V_1$ になる。

10

【0089】

但し、 $V_s$ は、NMOSFET4およびPMOSFET5の閾値よりも大きい値とし、 $V_a$ は、PMOSFET25の閾値よりも大きい値とする。

【0090】

(第3実施形態の動作)

以下、図6、図7に示す第3実施形態に係る入力保護回路30の動作について、詳細に説明する。

20

【0091】

まず、通常動作から説明する。入力電圧 $V_{in}$ が電圧測定回路1の電源電圧範囲内 $V_{DD} - V_s \sim V_{SS} + V_s$ の範囲内にある場合、PMOSFET25のゲート・ソース間電圧は、 $V_a$ が一定に保たれ、PMOSFET25はオンになって低抵抗状態を保つ。このため、PMOSFET25の電圧降下は小さく、ゲートバイアス回路34の出力 $V_1$ は、そのままNMOSFET4のゲート端に印加される。従って、NMOSFET4のゲート・ソース間電圧も $V_s$ 一定に保持され、NMOSFET4もオンになって低抵抗状態を保つ。

【0092】

このとき、PMOSFET5のゲート・ソース間電圧も $V_s$ 一定に保たれ、PMOSFET5もオンになって低抵抗状態を保つ。この各MOSFET4,5が低抵抗状態になることで、入力電圧 $V_{in}$ が低抵抗で電圧測定回路1に入力され、電圧測定回路1による高精度なアナログ電圧測定が行われる。

30

【0093】

次に、過大電圧入力時の保護動作について説明する。入力電圧 $V_{in}$ が $V_{DD} - V_s$ 以上の場合、NMOSFET4はオフの高抵抗状態になり、このとき、入力電圧 $V_{in}$ はアナログ測定回路1に入力されない。入力電圧 $V_{in}$ が $V_{SS} + V_s$ 以下の場合、NMOSFET4はドレイン・バルク間寄生ダイオードが順方向になるため低抵抗状態のままであるが、PMOSFET5はオフの高抵抗状態になり、入力電圧 $V_{in}$ は電圧測定回路1へ入力されない。つまり、電圧測定回路1は、過大な入力電圧から保護される。

40

【0094】

次に、入力電圧 $V_{in}$ を、 $V_{SS} + V_s$ より負電位側に低くしていった場合、NMOSFET4のゲート・ソース間電圧が大きくなっていく。このとき、NMOSFET4のゲート・ソース間電圧が耐圧を超えないように、順方向ダイオード32がNMOSFET4のゲート・ソース間電圧をクランプする。また、入力電圧 $V_{in}$ が $V_{SS} + V_s$ 以下の場合、PMOSFET25は、PMOSFET5と同様に、オフの高抵抗状態になる。従って、複数個直列に接続した順方向ダイオード32によるクランプが働いても、PMOSFET25がゲートバイアス回路34の出力電流を制限し、ゲートバイアス回路34に過大な電流を流さないように保護する。

【0095】

50

入力電圧  $V_{in}$  が  $V_{SS} + V_s$  以下の場合、PMOSFET 5 のゲート・ドレイン間電圧は、複数個直列に接続した順方向ダイオード 33 によって分圧される。ここで、順方向ダイオード 33 が直列接続される数を、PMOSFET 5 のゲート・ソース間耐圧を超えないように設定することで、第 2 実施形態に示した PMOSFET 36 は不要にすることができる。このようにすることで、電圧測定回路 1 は過大な入力電圧から保護されると共に、過大電圧入力時にも高い入力抵抗を保つことができる。

【0096】

なお、順方向ダイオード 33 が、順方向ダイオード 32 に流れるリーク電流をキャンセルする機能は第 2 実施形態と同様である。通常動作時に、順方向ダイオード 32 に流れるリーク電流を順方向ダイオード 33 に流すことにより、入力端子  $V_{in}$  側から見た入力リーク電流が小さくなる。

10

【0097】

(第 3 実施形態の効果)

以上説明のように第 3 実施形態に係る入力保護回路 30 は、入力電圧  $V_{in}$  が印加される入力端子 3 と、正電源電圧  $V_{DD}$  と負電源電圧  $V_{SS}$  が印加される電圧測定回路 1 との間に、極性が異なる直列接続された MOSFET 4, 5 を挿入し、入力電圧  $V_{in}$  が電圧測定回路 1 の電源電圧範囲を超えた際に、MOSFET の 1 つをオフの高抵抗状態にして電圧測定回路 1 への過大電圧入力を阻止する。

【0098】

第 3 実施形態の特徴は、入力端子 3 側の NMOSFET 4 のゲート端にドレイン端が接続された PMOSFET 25 と、NMOSFET 4 のゲート・ソース間に接続された順方向ダイオード 32 と、PMOSFET 5 のゲート・ドレイン間に接続された順方向ダイオード 33 と、各 MOSFET 4, 5 のゲート・ソース間電圧が一定となると共に、PMOSFET 25 のゲート・ソース間電圧が一定となるように、入力電圧  $V_{in}$  に追従した電圧を、NMOSFET 4, PMOSFET 5, PMOSFET 25 の各ゲート・ソース間に発生するゲートバイアス回路 34 と、を備えたことにある、そして、ゲートバイアス回路 34 は、入力電圧  $V_{in}$  が電圧測定回路 1 の電源電圧範囲  $V_{DD} - V_s \sim V_{SS} + V_s$  を超えた際に、PMOSFET 25 をオフの高抵抗状態にするゲート・ソース間電圧  $V_1$ ,  $V_2$ , 及び  $V_3$  を発生する構成とした。

20

【0099】

この構成によれば、電流制限用の PMOSFET 25 が、入力電圧  $V_{in}$  が電源電圧  $V_{DD} - V_s \sim V_{SS} + V_s$  を越える過大入力時にのみオフの高抵抗状態になるため、入力電圧  $V_{in}$  を電圧測定回路 1 に入力する経路に挿入された各 MOSFET 4, 5 を高抵抗状態とし、過大入力電圧  $V_{in}$  を制限することが出来る。これにより電圧測定回路 1 を保護することができる。また、過大入力時にのみ PMOSFET 25 が高抵抗状態になることを利用して、電流制限用の PMOSFET 5 のゲート・ドレイン間に順方向ダイオード 33 を接続することが可能になり、順方向ダイオード 32 に流れるリーク電流を順方向ダイオード 33 に流すことにより、入力端子  $V_{in}$  側から見た入力リーク電流を小さくすることができる。

30

【0100】

また、第 3 実施形態では、NMOSFET 4 及び PMOSFET 5 の各ゲート・ソース間電圧が一定となると共に、電流制限用の PMOSFET 25 のゲート・ソース間電圧も一定となるように、入力電圧  $V_{in}$  に追従した電圧を、各 MOSFET 4, 5, 25 のゲート・ソース間にそれぞれ発生するゲートバイアス回路 34 を、ソースフォロワ回路 341, 342 と、ソースフォロワ回路 341 に抵抗  $R_c$  を介して接続され、バイアス電流源 340 により供給される電流  $I_3$  を入力とし、ソースフォロワ回路 341、及び抵抗  $R_c$  に電流  $I_2$  を出力するカレントミラー回路 343 と、ソースフォロワ回路 342 に、抵抗  $R_a$ ,  $R_b$  からなる直列回路を介して接続され、電流  $I_2$  を入力とし、ソースフォロワ回路 342、及び抵抗  $R_a$ ,  $R_b$  に電流  $I_1$  を出力するカレントミラー回路 344 と、により構成した。

40

50

## 【0101】

そして、直列接続されたNMOSFET4, PMOSFET5を介して電圧測定回路1に出力される入力電圧 $V_{ic}$ から、ソースフォロワ回路342のゲート・ソース間電圧 $V_p$ と、抵抗 $R_a$ ,  $R_b$ と電流 $I_1$ による電圧降下分とにより、一定、かつ電圧測定回路1の電源電圧範囲未満( $V_{DD} - V_s \sim V_{SS} + V_s$ )の電圧分だけ正電位側にレベルシフトした電圧( $V_1 = V_{ic} + V_p + (R_a + R_b) \cdot I_1$ )を、PMOSFET25を経由してNMOSFET4のゲート端に出力し、また、入力電圧 $V_{ic}$ から、ソースフォロワ回路341のゲート・ソース間電圧 $V_n$ と、抵抗 $R_c$ と電流 $I_2$ による電圧降下分とにより、一定、かつ電源電圧範囲未満の電圧分だけ負電位側にレベルシフトした電圧( $V_2 = V_{ic} - (V_n + R_c \cdot I_2)$ )をPMOSFET5のゲート端に出力し、更に、入力電圧 $V_{ic}$ から、ソースフォロワ回路342のゲート・ソース間電圧 $V_p$ と、抵抗 $R_b$ と電流 $I_1$ による電圧降下分とにより、一定、かつ電源電圧範囲未満の電圧分だけ正電位側にレベルシフトした電圧( $V_3 = V_{ic} + V_p + R_b \cdot I_1 = V_{ic} + V_p + (R_a + R_b) \cdot I_1 - R_a \cdot I_1$ )をPMOSFET25のゲート端に出力する構成とした。

10

## 【0102】

この構成によれば、ゲートバイアス回路34を、ソースフォロワ回路341, 342と、カレントミラー回路343, 344を構成する6個のMOSFETと、3個の抵抗( $R_a$ ,  $R_b$ ,  $R_c$ )とから成る少ない素子数で実現することができ、また、素子サイズが大きな高耐圧MOSFETを第2実施形態に比較して1個削減できるため、回路規模の小さな入力保護回路を提供することができる。

20

## 【0103】

以上、本発明の好ましい実施形態について詳述したが、本発明の技術的範囲は上記実施形態に記載の範囲には限定されないことは言うまでもない。上記実施形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。またその様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、特許請求の範囲予測の記載から明らかである。

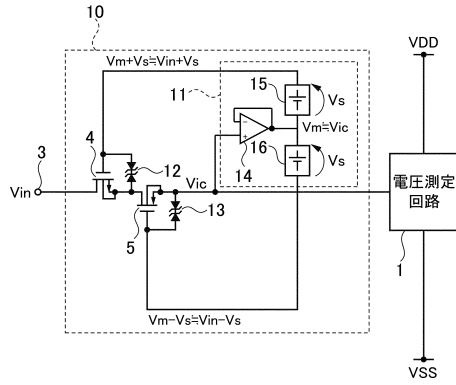
## 【符号の説明】

## 【0104】

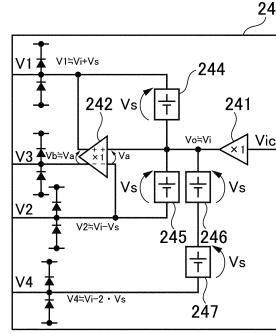
1...電圧測定回路、3...入力端子、4...NMOSFET、5, 25, 26...PMOSFET、12, 13, 22, 23...ツェナーダイオード、10, 20, 30...入力保護回路、11...電圧シフト回路、24, 34...ゲートバイアス回路、14, 241, 242...電圧バッファ、15, 16, 244, 245, 246, 247...レベルシフト回路、340...バイアス電流源、341, 342...ソースフォロワ回路、343, 344...カレントミラー回路。

30

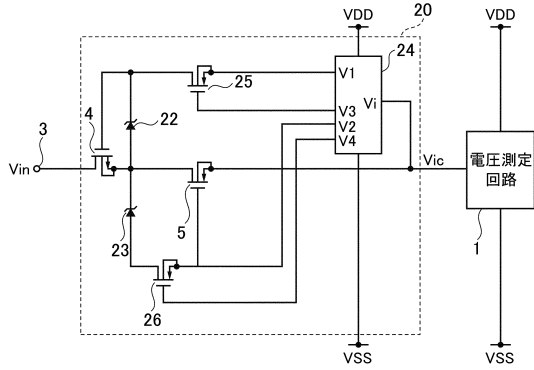
【図1】



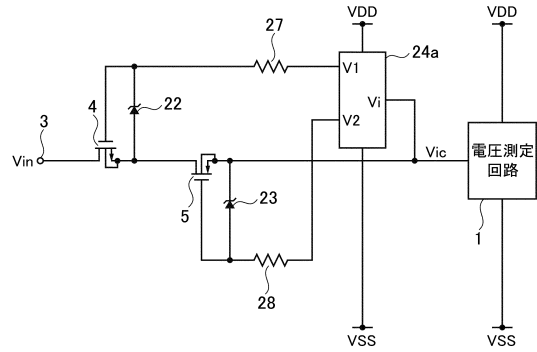
【図3】



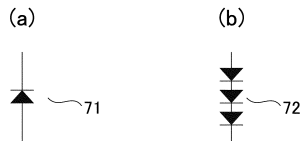
【図2】



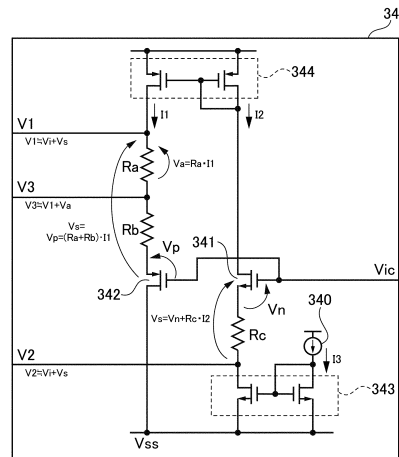
【図4】



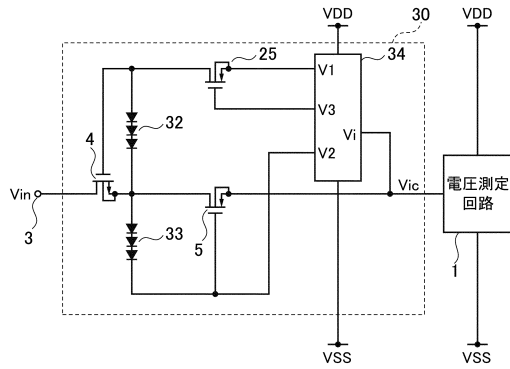
【図5】



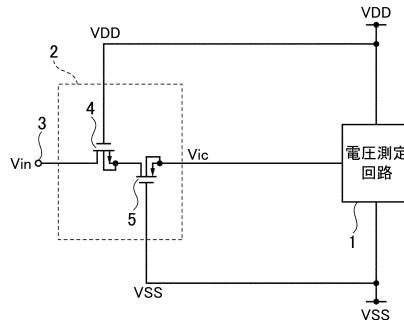
【図7】



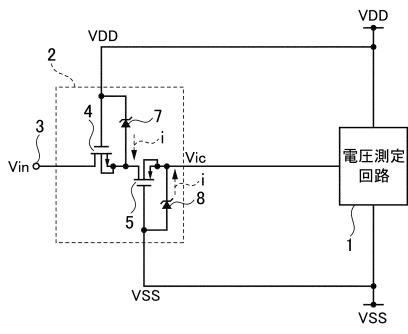
【図6】



【図8】



【図9】



---

フロントページの続き

- (56)参考文献 特開平06 - 314783 (JP, A)  
特開平05 - 048021 (JP, A)  
特開平08 - 227976 (JP, A)  
特開2001 - 127172 (JP, A)  
特開平11 - 135723 (JP, A)  
特開平11 - 150236 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/04  
H01L 21/822  
H03F 1/52