

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 12 月 22 日 (22.12.2005)

PCT

(10) 国際公開番号
WO 2005/122274 A1

(51) 国際特許分類: H01L 29/78, 21/28, 21/336, 29/417

[JP/JP]; 〒3528666 埼玉県新座市北野 3 丁目 6 番 3 号
Saitama (JP).

(21) 国際出願番号: PCT/JP2005/006674

(72) 発明者: および

(22) 国際出願日: 2005 年 4 月 5 日 (05.04.2005)

(75) 発明者/出願人 (米国についてのみ): 河野 好伸 (KONO, Yoshinobu) [JP/JP]; 〒3528666 埼玉県新座市北野 3 丁目 6 番 3 号 サンケン電気株式会社内 Saitama (JP).

(25) 国際出願の言語: 日本語

(74) 代理人: 木村 満 (KIMURA, Mitsuru); 〒1010054 東京都千代田区神田錦町二丁目 7 番地 協阪ビル 2 階 Tokyo (JP).

(26) 国際公開の言語: 日本語

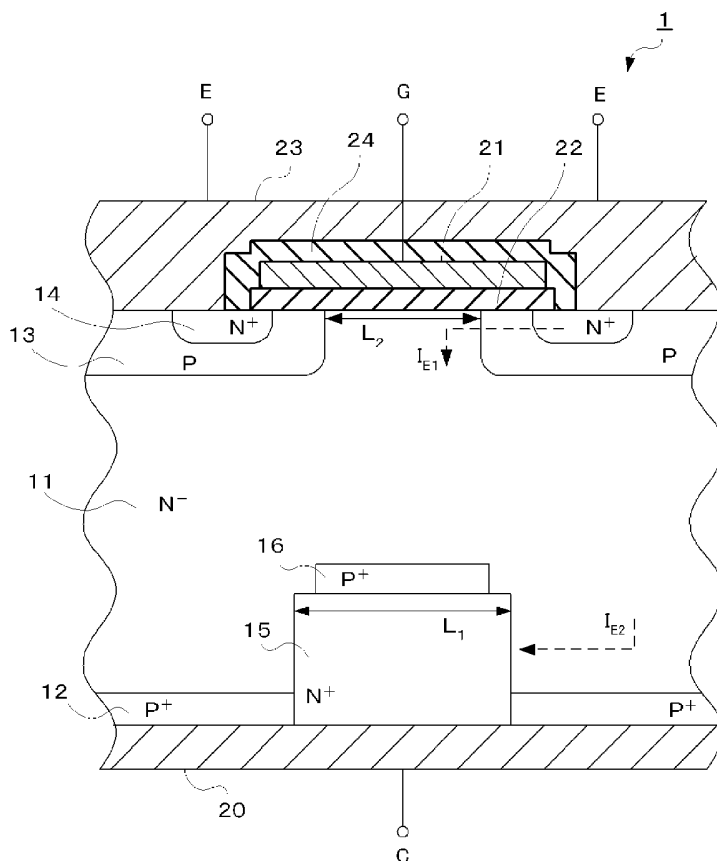
(30) 優先権データ:
特願2004-176019 2004 年 6 月 14 日 (14.06.2004) JP

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA,

[続葉有]

(54) Title: INSULATED GATE SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 絶縁ゲート型半導体素子及びその製造方法



(57) Abstract: Disclosed is an insulated gate semiconductor device (1) comprising an N-type base region (11), a P⁺-type collector region (12), a P-type base region (13) and an N⁺-type emitter region (14). In this insulated gate semiconductor device (1), an N⁺-type collector-short region (15) is formed at the lower surface of the N-type base region (11) so that it extends toward the N-type base region (11) rather than toward the P⁺-type collector region (12), and a P⁺-type semiconductor region (16) is formed between the N⁺-type collector-short region (15) and the N-type base region (11).

(57) 要約: N⁻型ベース領域 (11) と、P⁺型コレクタ領域 (12) と、P 型ベース領域 (13) と、N⁺型エミッタ領域 (14) とを備える絶縁ゲート型半導体素子 (1) において、N⁻型ベース領域 (11) の下面に、P⁺コレクタ領域 (12) よりもN⁻型ベース領域 (11) 側に延伸するN⁺型コレクタショート領域 (15) と、N⁺型コレクタショート領域 (15)

とN⁻型ベース領域 (11) との間にP⁺型半導体領域 (16) とを形成する。



NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

絶縁ゲート型半導体素子及びその製造方法

技術分野

[0001] 本発明は、絶縁ゲート型半導体素子及びその製造方法に関する。

背景技術

[0002] 絶縁ゲート型バイポーラトランジスタ(Insulated Gate Bipolar Transistor; IGBT)は、電界効果トランジスタの高い入力インピーダンスと、バイポーラトランジスタの高い電流ドライブ能力とを備え、特に、電力用スイッチング素子として好適に用いられている。

[0003] 従来、IGBTは、 N^- 型ベース領域と、 N^- 型ベース領域の所定の表面領域に形成されたP型ベース領域と、P型ベース領域の所定の表面領域に形成された N^+ 型エミッタ領域と、 N^+ 型バッファ領域を介して N^- 型ベース領域の下面に形成された P^+ 型コレクタ領域と、 P^+ 型コレクタ領域に電氣的に接続されたコレクタ電極と、 N^- 型ベース領域の所定の表面領域上に形成されたゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極と、 N^+ 型エミッタ領域に電氣的に接続されたエミッタ電極と、を備えている。

[0004] このように構成されたIGBTでは、 P^+ 型コレクタ領域が N^+ 型バッファ領域を介して N^- 型ベース領域の下面に形成されているので、オフ時には、 N^+ 型バッファ領域内又は N^+ 型バッファ領域近傍の N^- 型ベース領域内にキャリアが蓄積される。蓄積されたキャリアには排出経路がないため、再結合消滅するまでテール電流が流れ続け、結果として、オフスピードが遅くなってしまうという問題がある。

[0005] オフスピードを速くするためには、キャリア再結合を促すライフタイムキラーを導入する方法もあるが、これでは、順方向電圧が増加してしまうという問題がある。

[0006] そこで、 N^+ 型バッファ領域内、又はその近傍の N^- 型ベース領域内のキャリアを速やかに排出するように、 P^+ 型コレクタ領域内に、 N^+ 型コレクタショート領域を形成したIGBTが開発されている(例えば、特許文献1)。

[0007] この特許文献1に開示されているIGBTでは、オフ時に N^+ 型バッファ領域又はその

近傍の N^- 型ベース領域内に蓄積されたキャリアを、 N^+ 型コレクタショート領域を通じて排出することができるため、オフスピードを速くすることができる。また、ライフタイムキラーを用いないため、順方向電圧特性を損なうこともない。

特許文献1:特開平5-3205号公報

発明の開示

発明が解決しようとする課題

[0008] しかし、特許文献1に開示された技術では、 N^+ 型コレクタショート領域の横幅が広くなると、伝導度変調の程度が弱まり、MOS動作が顕著に現れ、デバイスがIGBT動作しにくくなるという問題がある。これは、以下の理由に基づくと考えられる。

[0009] N^+ 型コレクタショート領域は、 N^- 型ベース領域の下面から N 型不純物を拡散して形成される。通常は、 N^+ 型コレクタショート領域を形成した後、 N^- 型ベース領域の上面に P 型ベース領域及び N^+ 型エミッタ領域を拡散形成するため、これらの拡散形成時の熱処理によって、 N^+ 型コレクタショート領域の横幅が広がることもある。このように、 N^+ 型コレクタショート領域の横幅が広がると、 P^+ 型コレクタ領域の面積が減少する。このため、 P^+ 型コレクタ領域から N^- 型ベース領域に注入されるホールの総量が減少し、結果として、デバイスの伝導度変調の程度が弱まり、MOS動作が顕著に現れる。

[0010] 本発明は、上記実情に鑑みてなされたものであり、オフスピードが速く、且つ良好な動作をする絶縁ゲート型半導体素子を提供することを目的とする。

また、本発明は、オフスピードが速く、且つ良好な動作をする絶縁ゲート型半導体素子の製造方法を提供することを目的とする。

課題を解決するための手段

[0011] 上記目的を達成するため、本発明の第1の観点に係る絶縁ゲート型半導体素子は、
、
第1導電型の第1半導体領域と、
前記第1半導体領域の一方の主面に形成された、第2導電型の第2半導体領域と
、
前記第1半導体領域の他方の主面の表面領域に形成された、第2導電型の第3半

導体領域と、

前記第3半導体領域の表面領域内に形成された、第1導電型の第4半導体領域と

、

前記第4半導体領域に電氣的に接続された第1電極と、

前記第1半導体領域と前記第4半導体領域との間の他方の主面側に絶縁膜を介して配置された制御電極と、

前記第2半導体領域に電氣的に接続された第2電極と、

を備える絶縁ゲート型半導体素子であって、

前記第1半導体領域の一方の主面に、前記第2半導体領域に隣接して形成された、第1導電型の第5半導体領域と、

前記第5半導体領域と前記第1半導体領域との間に形成された、第2導電型の第6半導体領域と、を備える、ことを特徴とする。

[0012] 前記第6半導体領域は、前記第5半導体領域の前記他方の主面側と前記第1半導体領域との間に形成されてもよい。

[0013] 前記第5半導体領域は、前記第2の半導体領域よりも突出するように形成されてもよい。

[0014] 前記第6半導体領域の幅は、前記第5半導体領域の幅より小さくてもよい。

[0015] 前記第6半導体領域は、前記第5半導体領域の少なくとも一部が、前記第1半導体領域と接するように形成されてもよい。

[0016] 前記第6半導体領域の第2導電型の不純物濃度は、 $1 \times 10^{15} \sim 5 \times 10^{18} \text{ cm}^{-3}$ でもよい。

[0017] 前記第5半導体領域は、前記第3半導体領域と対向しないように形成されてもよい。

[0018] 前記第1半導体領域は、第1の領域と、該第1の領域よりも不純物濃度の高い第2の領域とを備え、前記第2の領域は、前記第5半導体領域と隣接してもよい。

[0019] 上記目的を達成するため、本発明の第2の観点に係る絶縁ゲート型半導体素子の製造方法は、

第1導電型の第1半導体領域と、前記第1半導体領域の一方の主面に形成された

、第2導電型の第2半導体領域と、前記第1半導体領域の他方の主面の表面領域に形成された、第2導電型の第3半導体領域と、前記第3半導体領域の表面領域内に形成された、第1導電型の第4半導体領域と、前記第4半導体領域に電氣的に接続された第1電極と、前記第1半導体領域と、前記第4半導体領域との間の他方の主面側に絶縁膜を介して配置された制御電極と、前記第2半導体領域に電氣的に接続された第2電極と、を備える絶縁ゲート型半導体素子の製造方法であって、

前記第1半導体領域の一方の主面に、前記第2半導体領域に隣接するように、第1導電型の第5半導体領域を形成するステップと、

前記第5半導体領域と前記第1半導体領域との間に、第2導電型の第6半導体領域を形成するステップと、

を備える、ことを特徴とする。

発明の効果

[0020] 本発明は、オフスピードが速く、且つ良好な動作をする絶縁ゲート型半導体素子を提供することができる。

また、本発明は、オフスピードが速く、且つ良好な動作をする絶縁ゲート型半導体素子の製造方法を提供することができる。

図面の簡単な説明

[0021] [図1]本発明の実施の形態に係る絶縁ゲート型半導体素子の断面構成を示す図である。

[図2]本発明の実施の形態に係る絶縁ゲート型半導体素子の製造プロセスを示す図である。

[図3]他の実施の形態に係る絶縁ゲート型半導体素子の断面構成を示す図である。

[図4]他の実施の形態に係る絶縁ゲート型半導体素子の断面構成を示す図である。

符号の説明

- [0022] 1 IGBT
11 N⁻型ベース領域
12 P⁺型コレクタ領域
13 P型ベース領域

- 14 N⁺型エミッタ領域
- 15 N⁺型コレクタショート領域
- 16 P⁺型半導体領域
- 20 コレクタ電極
- 21 ゲート電極
- 22 ゲート絶縁膜
- 23 エミッタ電極
- 24 絶縁膜

発明を実施するための最良の形態

- [0023] 本発明の実施の形態に係る絶縁ゲート型半導体素子について図を参照して説明する。本実施の形態では、絶縁ゲート型半導体素子として絶縁ゲート型バイポーラトランジスタ (Insulated Gate Bipolar Transistor; IGBT) の場合を例に説明する。
- [0024] 本発明の実施の形態に係るIGBT1の断面構成を図1に示す。
- 図1に示すように、IGBT1は、第1半導体領域としてのN⁻型ベース領域11と、第2半導体領域としてのP⁺型コレクタ領域12と、第3半導体領域としてのP型ベース領域13と、第4半導体領域としてのN⁺型エミッタ領域14と、第5半導体領域としてのN⁺型コレクタショート領域15と、第6半導体領域としてのP⁺型半導体領域16と、第1電極としてのコレクタ電極20と、制御電極としてのゲート電極21と、ゲート絶縁膜22と、第2電極としてのエミッタ電極23と、絶縁膜24とを備えている。
- [0025] N⁻型ベース領域11は、第1導電型、例えば、リン等のN型の不純物が拡散されたN型半導体領域から構成されている。N⁻型ベース領域11は、例えば、40～120 μ m程度の厚さで、 $5 \times 10^{12} \sim 3 \times 10^{15} \text{ cm}^{-3}$ 程度の不純物濃度に形成されている。
- [0026] P⁺型コレクタ領域12は、第2導電型、例えば、ボロン等のP型の不純物が拡散されたP型半導体領域から構成されている。P⁺型コレクタ領域12は、N⁻型ベース領域11の一方の主面(下面)の所定領域に形成されている。P⁺型コレクタ領域12は、その下面に形成されたコレクタ電極20に電氣的に接続されており、IGBT1の動作時にN⁻型ベース領域11内にホールを注入し、伝導度変調をもたらす。
- [0027] P⁺型コレクタ領域12は、例えば、2～10 μ m程度の厚さに形成されている。P⁺型

コレクタ領域12のP型不純物濃度は、例えば、 $1 \times 10^{15} \sim 5 \times 10^{18} \text{ cm}^{-3}$ 程度の不純物濃度に形成されている。

[0028] P型ベース領域13は、P型の不純物が拡散されたP型半導体領域から構成されている。P型ベース領域13は、N⁻型ベース領域11の他方の主面(上面)の所定の表面領域に形成されている。P型ベース領域13は、その間隔、すなわち、P型ベース領域13間のN⁻型ベース領域11の幅 L_2 が、例えば、 $5 \sim 30 \mu\text{m}$ 程度となるように形成されている。

[0029] 本実施の形態では、P型ベース領域13は、P⁺型コレクタ領域12と対向する位置に形成されている。このため、後述するように、P⁺型コレクタ領域12間に形成されるN⁺型コレクタショート領域15と、P型ベース領域13間のN⁻型ベース領域11とが対向する。

[0030] P型ベース領域13は、例えば、 $2.5 \sim 4.5 \mu\text{m}$ 程度の厚さに形成されている。P型ベース領域13のP型不純物濃度は、P⁺型コレクタ領域12の不純物濃度より低く、例えば、 $1 \times 10^{16} \sim 3 \times 10^{18} \text{ cm}^{-3}$ 程度の不純物濃度に形成されている。

[0031] N⁺型エミッタ領域14は、N型の不純物が拡散されたN型半導体領域から構成されている。N⁺型エミッタ領域14は、P型ベース領域13の所定の表面領域に形成される。このN⁺型エミッタ領域14は、その上面に形成されたエミッタ電極23に電氣的に接続されている。

[0032] N⁺型エミッタ領域14は、例えば、 $0.4 \sim 0.8 \mu\text{m}$ 程度の厚さに形成されている。N⁺型エミッタ領域14のN型不純物濃度は、N⁻型ベース領域11より高く、例えば、 $5 \times 10^{18} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度の不純物濃度に形成されている。

[0033] N⁺型コレクタショート領域15は、N型不純物が拡散されたN型半導体領域から構成されている。N⁺型コレクタショート領域15は、N⁻型ベース領域11の下面のP⁺型コレクタ領域12間に形成されている。ここで、P型ベース領域13とP⁺型コレクタ領域12とが対向するように形成されているので、P⁺型コレクタ領域12間に形成されたN⁺型コレクタショート領域15は、P型ベース領域13間のN⁻型ベース領域11と対向する。

[0034] N⁺型コレクタショート領域15は、その上面が、P⁺型コレクタ領域12よりも突出する

ように形成されている。また、 N^+ 型コレクタショート領域15の幅 L_1 は、 N^- 型ベース領域11の幅 L_2 より大きく、例えば、 $10\sim 100\ \mu\text{m}$ 程度に形成されている。

[0035] N^+ 型コレクタショート領域15は、例えば、 $5\sim 30\ \mu\text{m}$ 程度の厚さに形成されている。 N^+ 型コレクタショート領域15の N 型不純物濃度は、 N^- 型ベース領域11より高く、例えば、 $1\times 10^{17}\sim 1\times 10^{20}\text{cm}^{-3}$ 程度の不純物濃度に形成されている。

[0036] また、 N^+ 型コレクタショート領域15は、その下面に形成されたコレクタ電極20に電氣的に接続されており、デバイスのオフ時に N^- 型ベース領域11内に蓄積されたキャリアをコレクタ電極20に排出し、デバイスのオフスピードを速めるように機能する。

[0037] P^+ 型半導体領域16は、 P 型の不純物が拡散された P 型半導体領域から構成されている。 P^+ 型半導体領域16は、 N^+ 型コレクタショート領域15の上面に、例えば、 $7\sim 40\ \mu\text{m}$ 程度の厚さで形成されている。この P^+ 型半導体領域16は、半導体基板の下面に露出しておらず、コレクタ電極20に直接には電氣的に接続されていない。このため、 P^+ 型半導体領域16は、電氣的にフローティング状態となっている。この P^+ 型半導体領域16は、 N^- 型ベース領域11に流れる電流をブロックする電流ブロック領域として機能する。

[0038] P^+ 型半導体領域16の不純物濃度は、コレクタ電極20とエミッタ電極23との間に逆方向電圧が印加されたときに P 型ベース領域13と N^- 型ベース領域11との界面に形成されたPN接合から延伸する空乏層が P^+ 型半導体領域16の厚み方向のほぼ全体に広がるような濃度に設定されており、好ましくは $5\times 10^{15}\sim 1\times 10^{18}\text{cm}^{-3}$ 程度である。このため、本実施の形態に係るIGBT1は、比較的大きな逆方向耐圧を得ることができる。

[0039] コレクタ電極20は、アルミニウム等から構成されている。コレクタ電極20は、 P^+ 型コレクタ領域12及び N^+ 型コレクタショート領域15の下面全体に形成され、 P^+ 型コレクタ領域12及び N^+ 型コレクタショート領域15に電氣的に接続されている。

[0040] ゲート電極21は、ポリシリコン等から構成されている。ゲート電極21は、 N^- 型ベース領域11と N^+ 型エミッタ領域14との間の P 型ベース領域13(チャネル形成領域)上に、シリコン系膜等のゲート絶縁膜22を介して配置されている。ゲート電極21に電圧が印加されると、 P 型ベース領域13内にはチャネルが形成される。

[0041] エミッタ電極23は、アルミニウム等から構成されている。エミッタ電極23は、 N^+ 型エミッタ領域14等の上面に形成されている。

エミッタ電極23と、ゲート電極21との間には、シリコン系膜等の絶縁膜24が形成されている。

[0042] 以上のように構成されたIGBT1では、ゲート電極21に所定の電圧を印加してP型ベース領域13内にチャネルが形成されると、図1に示すように、電子電流 I_{E1} が N^+ 型コレクタショート領域15に向かって流れる。

ここで、 N^+ 型コレクタショート領域15が P^+ 型コレクタ領域12よりも突出するように形成されるとともに N^+ 型コレクタショート領域15の上面に P^+ 型半導体領域16が形成されている。このため、 N^+ 型コレクタショート領域15の上面に向かって流れる電子電流 I_{E1} の多くが P^+ 型半導体領域16にブロックされ、 P^+ コレクタ領域12と N^- 型ベース領域11とから形成されるPN接合に沿って流れる。すなわち、図1に示す電子電流 I_{E2} のように流れる。

[0043] このように、電子電流 I_{E1} が N^+ 型コレクタショート領域15に上面から流れ込む量が減少し、結果として、 P^+ コレクタ領域12と N^- 型ベース領域11とから形成されるPN接合に沿って流れる電子電流 I_{E2} が相対的に増加する。このように、電子電流 I_{E2} が増加することによって、 P^+ コレクタ領域12と N^- 型ベース領域11とから形成されるPN接合が順方向に深くバイアスされ、 N^- 型ベース領域11にホールが注入され、良好に伝導度変調が起きる。

[0044] 従って、本実施の形態のIGBT1によれば、 N^+ 型コレクタショート領域15の横幅 L_1 が、P型ベース領域13間の N^- 型ベース領域11の幅 L_2 よりも大きく形成され、 P^+ 型コレクタ領域12の面積が減っているにも関わらず、良好に伝導度変調が生じ、良好なIGBT動作が得られる。

[0045] また、本実施の形態のIGBT1によれば、 P^+ 型半導体領域16の不純物濃度が、コレクタ電極20とエミッタ電極23との間に逆方向電圧が印加されたときに、P型ベース領域13と N^- 型ベース領域11との界面に形成されたPN接合から延伸する空乏層が P^+ 型半導体領域16の厚み方向のほぼ全体に広がる濃度に設定されているため、比較的大きな逆方向耐圧が得られる。

- [0046] さらに、本実施の形態のIGBT1によれば、電子電流をブロックする P^+ 型半導体領域16が電氣的にフローティング状態となっているため、 P^+ 型半導体領域16を半導体領域の一部として含む、例えば、寄生トランジスタ、寄生サイリスタ等の寄生素子が形成されることがない。
- [0047] このように、本実施の形態のIGBT1において、電子電流 I_{E1} が P^+ 型半導体領域16にブロックされることで、従来技術と比較して電子電流 I_{E2} が増加し、 P^+ 型コレクタ領域12と、 N^- 型ベース領域11とから形成されるPN接合が順方向に深くバイアスされる。従って、 P^+ 型コレクタ領域12から N^- 型ベース領域11に供給されるホール量が、伝導度変調が良好に得られ、良好なIGBT動作を得ることが可能となる。
- [0048] 次に、構成されたIGBT1の場合を例に、本発明の半導体素子の製造方法について図を参照して説明する。図2(a)乃至(d)に、本実施の形態に係るIGBT1の製造プロセスを示す。なお、図に示すプロセスは一例であり、同様の結果物が得られるのであれば、このプロセスに限定されるものではない。
- [0049] まず、ヒ素等のN型不純物が導入されたN型の半導体基板30を用意する。
- [0050] 次に、図2(a)に示すように、N型の半導体基板30の下側の表面領域に、イオン注入法、熱拡散法等により、 P^+ 型半導体領域16を形成する。
- [0051] 続いて、図2(b)に示すように、 P^+ 型半導体領域16の両側の、 N^- 型ベース領域11の下側の表面領域全体に、イオン注入法等により P^+ 型コレクタ領域12を形成する。
- [0052] 次に、図2(c)に示すように、図2(a)で形成した P^+ 半導体領域16の位置に、イオン注入法等により、N型不純物を P^+ 型半導体領域16の深さより浅く、かつ、 P^+ 型半導体領域16より広く拡散させ、 N^+ 型コレクタショート領域15を形成する。
- [0053] 次に、 N^- 型ベース領域11の表面領域にP型不純物およびN型不純物を連続的に選択的に拡散させて、図2(d)に示すように、P型ベース領域13および N^+ 型エミッタ領域14を順次形成する。
- [0054] その後、コレクタ電極20、ゲート絶縁膜22、ゲート電極21、絶縁膜24、及び、エミッタ電極23を形成することにより、図1に示すようなIGBT1が得られる。
- [0055] なお、本発明は上述した実施の形態に限られず、様々な変形及び応用が可能である。例えば、上述した実施の形態では、 P^+ 型半導体領域16の幅は、 N^+ 型コレクタシ

ョート領域15の幅 L_1 よりやや狭く形成されているが、これを N^+ 型コレクタショート領域15の上面全体に形成してもよい。

[0056] また、 P^+ 型半導体領域16は、 N^+ 型コレクタショート領域15の上面全体だけに限られず、側面に形成してもよい。この場合、 N^- 型ベース領域11が、 N^+ 型コレクタショート領域15の側面の少なくとも一部に接触するように、 P^+ 型半導体領域16を形成する必要がある。

[0057] なお、上述した実施の形態では、 N^+ コレクタショート領域15の幅 L_1 は、 N^- 型ベース領域11の幅 L_2 より大きい場合を例に挙げて説明しているが、本発明はこれに限られず、 N^+ コレクタショート領域15の幅 L_1 は、 N^- 型ベース領域11の幅 L_2 より小さくてもよい。

もっとも、幅 L_1 が、幅 L_2 より小さい場合、 N^+ コレクタショート領域15を形成したことによる伝導度変調の低下の影響が比較的少ないため、本発明は、特に N^+ コレクタショート領域15の幅 L_1 が N^- 型ベース領域11の幅 L_2 より大きい場合に有効である。

[0058] 上述した実施の形態では、 N^+ コレクタショート領域15は、 N^- 型ベース領域11と P^+ コレクタ領域12とから形成されるPN接合を順方向に深くバイアスさせるため、 P^+ 型コレクタ領域12よりも突出するように形成されているが、これに限られず、 P^+ 型コレクタ領域12と同一平面となるよう、 N^+ コレクタショート領域15を形成してもよい。また、 N^+ コレクタショート領域15よりも、 P^+ 型コレクタ領域12が突出するように形成してもよい。この場合、 P^+ 型コレクタ領域12に空乏層が当接しない、ノンパンチスルー型MOSFETにするのが好ましい。

[0059] また、上述した実施の形態では、 N^+ 型コレクタショート領域15は、P型ベース領域13間の N^- 型ベース領域11に対向するように形成され、P型ベース領域13とは対向しないように形成されている。これを、例えば、図3に示すようにP型ベース領域13と対向するように形成してもよい。この構成を採用する場合、 N^+ 型コレクタショート領域15とP型ベース領域13との間でアバランシェブレークダウンを起こさせて、デバイスの逆方向耐圧を決定することができる。

[0060] さらに、図4に示すようにN型の不純物が拡散されたN型半導体領域から構成される N^+ 型バッファ領域17を、 N^+ 型コレクタショート領域15と隣接するように形成しても

よい。この場合、 N^+ 型バッファ領域17は、例えば、 N^- 型ベース領域11のN型不純物濃度より高い、 $1 \times 10^{15} \sim 1 \times 10^{17} \text{ cm}^{-3}$ 程度の不純物濃度で、 $5 \sim 30 \mu\text{m}$ 程度の厚さに形成される。

[0061] 本発明は、2004年6月14日に出願された日本国特願2004-176019号に基づき、その明細書、特許請求の範囲、図面および要約書を含む。上記出願における開示は、本明細書中にその全体が参照として含まれる。

産業上の利用の可能性

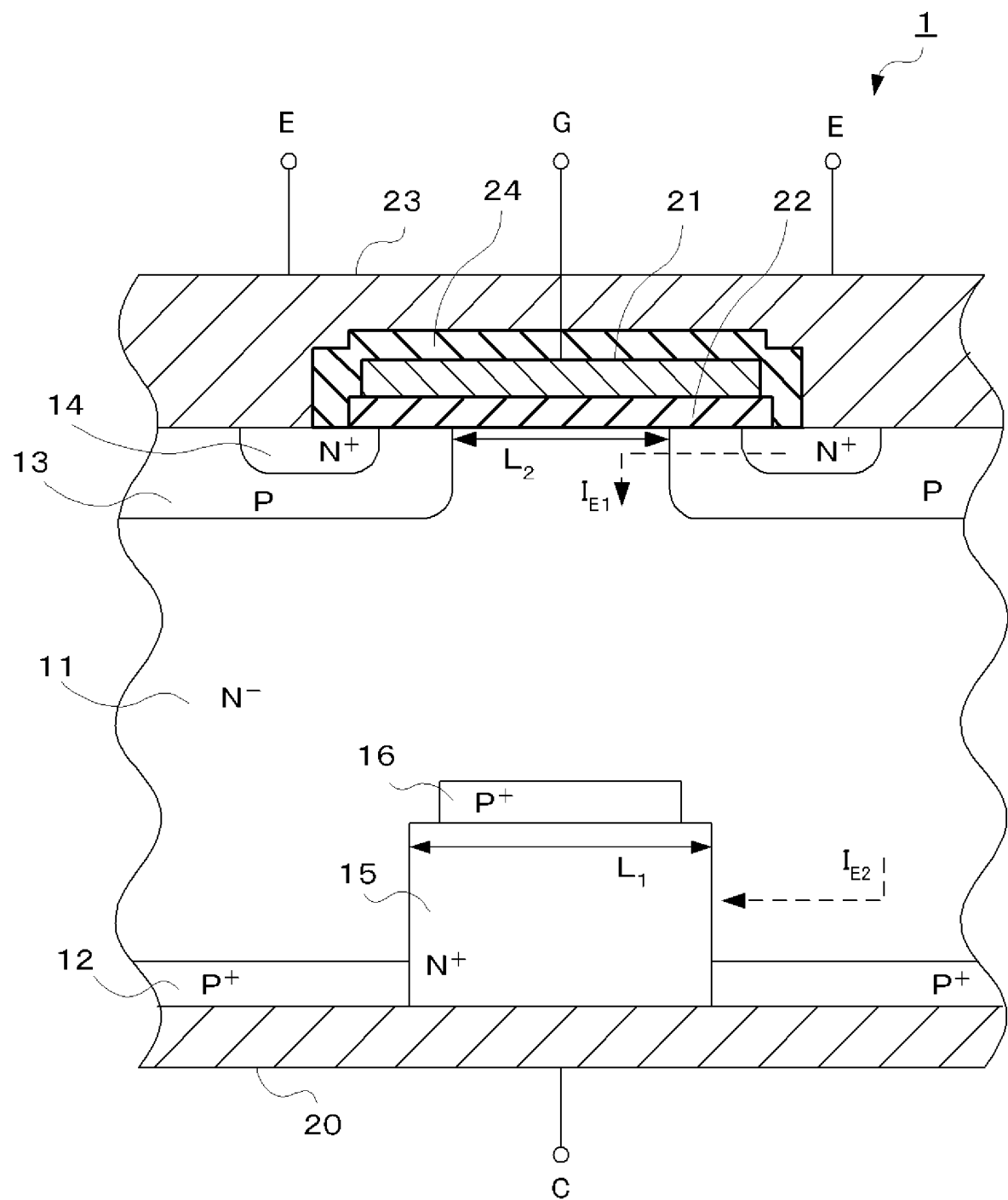
[0062] 本発明は、絶縁ゲート型半導体素子、特に、絶縁ゲート型バイポーラトランジスタに有用である。

請求の範囲

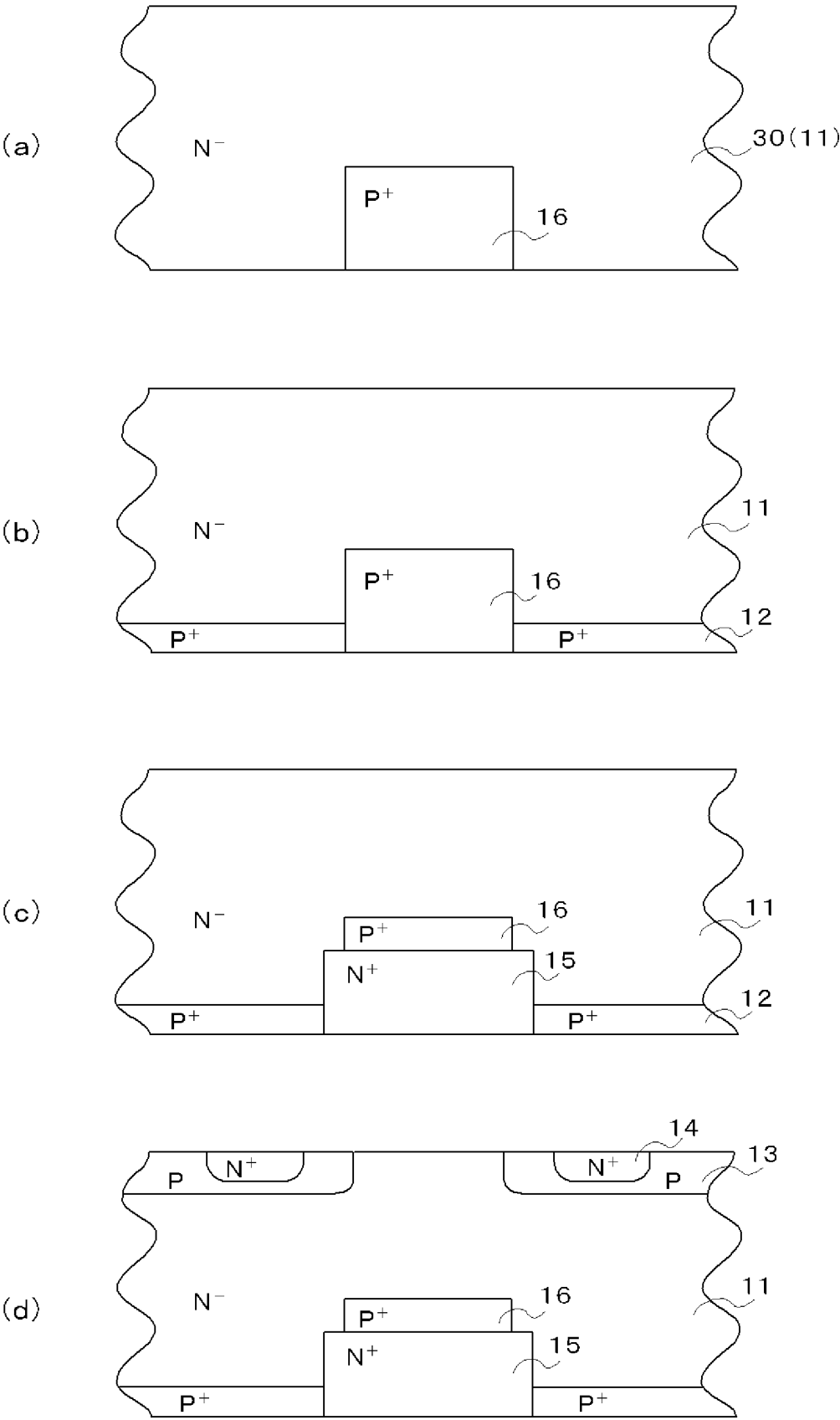
- [1] 第1導電型の第1半導体領域(11)と、
前記第1半導体領域(11)の一方の主面に形成された、第2導電型の第2半導体領域(12)と、
前記第1半導体領域(11)の他方の主面の表面領域に形成された、第2導電型の第3半導体領域(13)と、
前記第3半導体領域(13)の表面領域内に形成された、第1導電型の第4半導体領域(14)と、
前記第4半導体領域(14)に電氣的に接続された第1電極(23)と、
前記第1半導体領域(11)と前記第4半導体領域(14)との間の他方の主面側に絶縁膜(22)を介して配置された制御電極(21)と、
前記第2半導体領域(12)に電氣的に接続された第2電極(20)と、
を備える絶縁ゲート型半導体素子(1)であって、
前記第1半導体領域(11)の一方の主面に、前記第2半導体領域(12)に隣接して形成された、第1導電型の第5半導体領域(15)と、
前記第5半導体領域(15)と前記第1半導体領域(11)との間に形成された、第2導電型の第6半導体領域(16)と、を備える、ことを特徴とする絶縁ゲート型半導体素子。
- [2] 前記第6半導体領域(16)は、前記第5半導体領域(15)の前記他方の主面側と前記第1半導体領域(11)との間に形成される、ことを特徴とする請求項1に記載の絶縁ゲート型半導体素子。
- [3] 前記第5半導体領域(15)は、前記第2の半導体領域(12)よりも突出するように形成される、ことを特徴とする請求項1に記載の絶縁ゲート型半導体素子。
- [4] 前記第6半導体領域(16)の幅は、前記第5半導体領域(15)の幅より小さい、ことを特徴とする請求項1に記載の絶縁ゲート型半導体素子。
- [5] 前記第6半導体領域(16)は、前記第5半導体領域(15)の少なくとも一部が、前記第1半導体領域(11)と接するように形成される、ことを特徴とする請求項1に記載の絶縁ゲート型半導体素子。

- [6] 前記第6半導体領域(16)の第2導電型の不純物濃度は、 $1 \times 10^{15} \sim 5 \times 10^{18} \text{ cm}^{-3}$ である、ことを特徴とする請求項1に記載の絶縁ゲート型半導体素子。
- [7] 前記第5半導体領域(15)は、前記第3半導体領域(13)と対向しないように形成されることを特徴とする請求項1に記載の絶縁ゲート型半導体素子。
- [8] 前記第1半導体領域は、第1の領域(11)と、該第1の領域(11)よりも不純物濃度の高い第2の領域(17)とを備え、前記第2の領域(17)は、前記第5半導体領域(15)と隣接することを特徴とする請求項1に記載の絶縁ゲート型半導体素子。
- [9] 第1導電型の第1半導体領域(11)と、前記第1半導体領域(11)の一方の主面に形成された、第2導電型の第2半導体領域(12)と、前記第1半導体領域(11)の他方の主面の表面領域に形成された、第2導電型の第3半導体領域(13)と、前記第3半導体領域(13)の表面領域内に形成された、第1導電型の第4半導体領域(14)と、前記第4半導体領域(14)に電気的に接続された第1電極(23)と、前記第1半導体領域(11)と、前記第4半導体領域(14)との間の他方の主面側に絶縁膜(22)を介して配置された制御電極(21)と、前記第2半導体領域(12)に電気的に接続された第2電極(20)と、を備える絶縁ゲート型半導体素子の製造方法であって、
前記第1半導体領域(11)の一方の主面に、前記第2半導体領域(12)に隣接するように、第1導電型の第5半導体領域(15)を形成するステップと、
前記第5半導体領域(15)と前記第1半導体領域(11)との間に、第2導電型の第6半導体領域(16)を形成するステップと、
を備える、ことを特徴とする絶縁ゲート型半導体素子の製造方法。

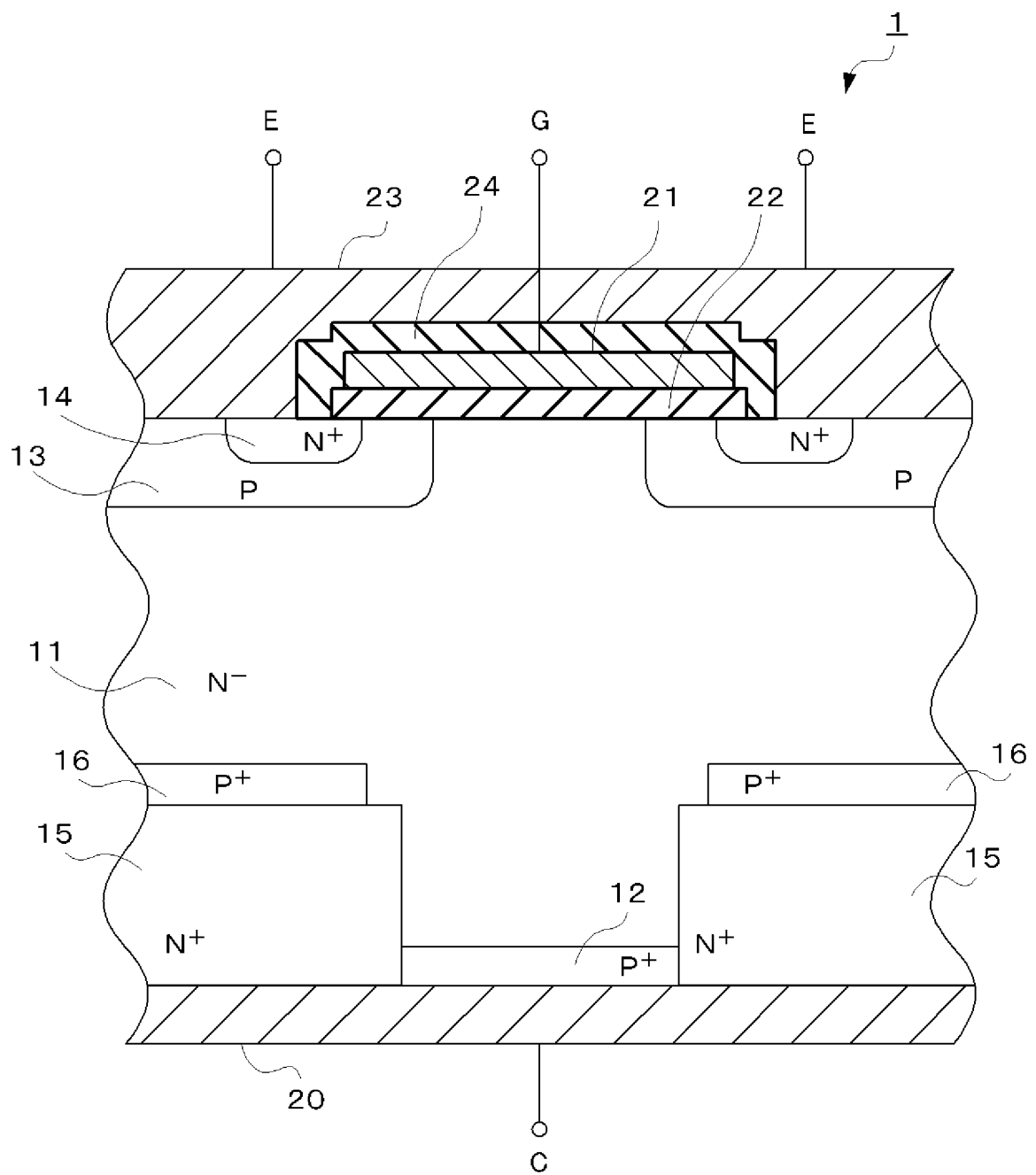
[図1]



[図2]



[図3]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/006674

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H01L29/78, 21/28, 21/336, 29/417

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L29/78, 21/28, 21/336, 29/417

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2000-004017 A (Sanken Electric Co., Ltd.), 07 January, 2000 (07.01.00), Full text; all drawings (Family: none)	1-3, 6, 9 4, 5, 7, 8
X A	JP 05-152574 A (Fuji Electric Co., Ltd.), 18 June, 1993 (18.06.93), Full text; all drawings & US 5360984 A & GB 2261990 A & DE 4235175 A1	1-3, 6, 9 4, 5, 7, 8

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

24 June, 2005 (24.06.05)

Date of mailing of the international search report

12 July, 2005 (12.07.05)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ H01L29/78, 21/28, 21/336, 29/417

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ H01L29/78, 21/28, 21/336, 29/417

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	J P 2000-004017 A (サンケン電気株式会社) 2000.01.07, 全文, 全図 (ファミリーなし)	1-3, 6, 9 4, 5, 7, 8 ₂
X A	J P 05-152574 A (富士電機株式会社) 1993.06.18, 全文, 全図 & US 5360984 A & GB 2261990 A & DE 4235175 A1	1-3, 6, 9 4, 5, 7, 8

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

24.06.2005

国際調査報告の発送日

12.07.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小野田 誠

電話番号 03-3581-1101 内線 3498

4 L

8 4 2 7