

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-244180

(P2012-244180A)

(43) 公開日 平成24年12月10日(2012.12.10)

| (51) Int.Cl. | F I | テーマコード (参考) |
|---------------------------------------|---------------------|-------------|
| H O 1 L 21/768 (2006.01) | H O 1 L 21/90 B | 5 F 0 3 3 |
| H O 1 L 23/522 (2006.01) | H O 1 L 27/10 4 9 5 | 5 F 0 4 8 |
| H O 1 L 27/10 (2006.01) | H O 1 L 27/10 4 3 4 | 5 F 0 8 3 |
| H O 1 L 21/8247 (2006.01) | H O 1 L 29/78 3 7 1 | 5 F 1 0 1 |
| H O 1 L 27/115 (2006.01) | H O 1 L 27/10 4 8 1 | |
| 審査請求 未請求 請求項の数 16 O L (全 44 頁) 最終頁に続く | | |

(21) 出願番号 特願2012-115192 (P2012-115192)
 (22) 出願日 平成24年5月21日 (2012.5.21)
 (31) 優先権主張番号 13/114, 931
 (32) 優先日 平成23年5月24日 (2011.5.24)
 (33) 優先権主張国 米国 (US)

(71) 出願人 507187204
 マクロニクス インターナショナル カ
 ンパニー リミテッド
 台湾 シンーチュ サイエンス パーク
 リーシン ロード 1 6
 (74) 代理人 100107766
 弁理士 伊東 忠重
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (74) 代理人 100091214
 弁理士 大貫 進介

最終頁に続く

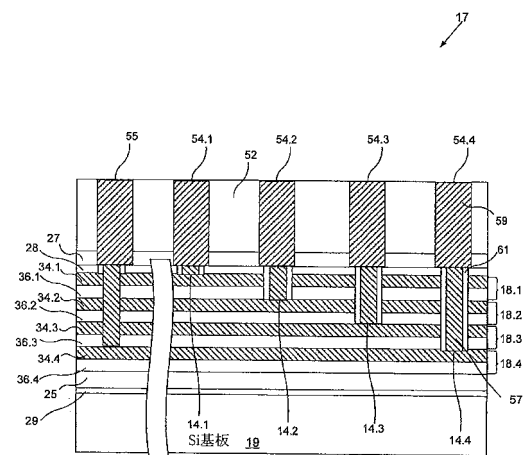
(54) 【発明の名称】 多層接続構造及びその製造方法

(57) 【要約】 (修正有)

【課題】 3次元積層ICデバイスにおいて、相互接続領域のコンタクトレベルのスタックへの電気接続形成工程を簡略化する製造方法を提供する。

【解決手段】 各コンタクトレベルは導電層と絶縁層とを有する。コンタクト開口を作り出すために、第1のコンタクトレベルを露出させるように上部層の一部が除去される。N個のマスクを用いて、最大 2^N 個のコンタクトレベルまでコンタクト開口がエッチングされる。各マスクは、コンタクト開口のうちの実効的に半数をエッチングするために使用される。Nが3であるとき、第1のマスクにより1つのコンタクトレベルがエッチングされ、第2のマスクにより2つのコンタクトレベルがエッチングされ、第3のマスクにより4つのコンタクトレベルがエッチングされる。コンタクト開口の側壁に誘電体層が形成され得る。コンタクト開口内に導電体が形成され、前記誘電体層が該導電体を前記側壁から電氣的に絶縁する。

【選択図】 図17



【特許請求の範囲】**【請求項 1】**

相互接続領域に少なくとも 4 つのコンタクトレベルのスタックを有する 3 次元積層 IC デバイスで使用され、前記コンタクトレベルのランドエリアにアライメントされ且つ該ランドエリアを露出させる相互接続コンタクト領域を形成する方法であって、各コンタクトレベルは導電層と絶縁層とを有し、当該方法は：

各コンタクトレベルのためのコンタクト開口を作り出すために、第 1 のコンタクトレベルを露出させるように、前記相互接続領域の上に位置する上部層の少なくとも一部を除去するステップと、

N は 2 以上の整数として、前記コンタクトレベルの前記スタックに複数レベルの相互接続コンタクト領域を作り出すための N 個のエッチングマスクの組を選定するステップと、

前記 N 個のマスクを使用して、前記コンタクト開口を最大 2^N 個のコンタクトレベルまでエッチングするステップであり：

第 1 のマスクを使用して、前記コンタクト開口のうちの実効的に半数で、1 つのコンタクトレベルをエッチングするステップ；

第 2 のマスクを使用して、前記コンタクト開口のうちの実効的に半数で、2 つのコンタクトレベルをエッチングするステップ；及び

前記コンタクト開口が前記 2^N 個のコンタクトレベルまで延在するよう、前記除去するステップ、前記選定するステップ及び前記使用するステップを実行するステップ；

を有するステップと、

を有し、

それにより、前記コンタクト開口を通して前記コンタクトレベルの前記ランドエリアに接触する導電体を形成することが可能にされる、

方法。

【請求項 2】

前記除去するステップは、更なるマスクを用いて実行される、請求項 1 に記載の方法。

【請求項 3】

前記第 1 のマスクを使用するステップは、前記第 1 のマスクを用いて 1 つおきのコンタクト開口で、1 つのコンタクトレベルをエッチングすることを有し、

前記第 2 のマスクを使用するステップは、前記第 2 のマスクを用いて、少なくとも一組の第 1 乃至第 4 のコンタクト開口のうちの第 3 及び第 4 のコンタクト開口で、2 つのコンタクトレベルをエッチングすることを有する、

請求項 1 に記載の方法。

【請求項 4】

前記 N 個のマスクを使用するステップは更に：

第 3 のマスクを使用して、前記コンタクト開口のうちの実効的に半数で、4 つのコンタクトレベルをエッチングするステップ；及び

第 4 のマスクを使用して、前記コンタクト開口のうちの実効的に半数で、8 つのコンタクトレベルをエッチングするステップ；

を有する、請求項 1 に記載の方法。

【請求項 5】

前記第 3 のマスクを使用するステップは、前記第 3 のマスクを用いて、少なくとも一組の第 1 乃至第 8 のコンタクト開口のうちの第 5 乃至第 8 のコンタクト開口で、4 つのコンタクトレベルをエッチングすることを有し、

前記第 4 のマスクを使用するステップは、前記第 4 のマスクを用いて、少なくとも一組の第 1 乃至第 16 のコンタクト開口のうちの第 9 乃至第 16 のコンタクト開口で、8 つのコンタクトレベルをエッチングすることを有する、

請求項 4 に記載の方法。

【請求項 6】

前記第 1 のマスクを使用するステップは、コンタクト開口 2、4、6、8、10、12

10

20

30

40

50

、 14、16で1つのコンタクトレベルをエッチングするように実行され、
 前記第2のマスクを使用するステップは、コンタクト開口3、4、7、8、11、12
 、 15、16で2つのコンタクトレベルをエッチングするように実行され、
 前記第3のマスクを使用するステップは、コンタクト開口5 - 8、13 - 16で4つの
 コンタクトレベルをエッチングするように実行され、
 前記第4のマスクを使用するステップは、コンタクト開口9 - 16で8つのコンタクト
 レベルをエッチングするように実行される、
 請求項4に記載の方法。

【請求項7】

前記第1のマスクを使用するステップは、コンタクト開口2、4、6、8、10、12 10
 、 14、16で8つのコンタクトレベルをエッチングするように実行され、
 前記第2のマスクを使用するステップは、コンタクト開口5、6、7、8、13、14
 、 15、16で2つのコンタクトレベルをエッチングするように実行され、
 前記第3のマスクを使用するステップは、コンタクト開口3、4、7、8、11、12
 、 15、16で4つのコンタクトレベルをエッチングするように実行され、
 前記第4のマスクを使用するステップは、コンタクト開口9 - 16で1つのコンタクト
 レベルをエッチングするように実行される、
 請求項4に記載の方法。

【請求項8】

前記コンタクトレベルを貫通するランドコンタクト開口を作り出すステップと、 20
 前記コンタクトレベルの複数の前記導電層と電氣的に接触するように、前記ランドコ
 ンタクト開口内にランド導電体を形成するステップと、
 を更に有する請求項1に記載の方法。

【請求項9】

前記ランドコンタクト開口はランドコンタクト開口側壁を有し、当該方法は更に：
 前記ランド導電体が前記ランド導電体と前記コンタクトレベルの前記複数の前記導
 電層との間に強化された電気接触を生成するように、前記ランド導電体を形成するステ
 ップに先立って、前記ランドコンタクト開口側壁において前記絶縁層の一部を除去する
 ステップ、
 を更に有する請求項8に記載の方法。 30

【請求項10】

前記使用するステップは、エッチングされるコンタクトレベルの数順とは異なる順序で
 実行される、請求項1に記載の方法。

【請求項11】

前記コンタクト開口は側壁を有し、当該方法は更に、該側壁に誘電体層を形成するステ
 ップを有する、請求項1に記載の方法。

【請求項12】

相互接続領域の、少なくとも第1、第2、第3及び第4のコンタクトレベルのスタック
 であり、各コンタクトレベルが導電層と絶縁層とを有する、スタックと、 40
 前記コンタクトレベルのスタックの一部を貫通する第1、第2、第3及び第4の導電体
 であり、それぞれ、前記第1、第2、第3及び第4のコンタクトレベルの前記導電層と電
 氣的に接触する第1、第2、第3及び第4の導電体と、
 前記第2、第3及び第4の導電体がそれぞれ前記第2、第3及び第4の導電層とのみ電
 氣的に接触するように、前記第2、第3及び第4の導電体の周囲を取り囲む誘電体側壁ス
 ペーサと、
 を有する3次元積層ICデバイス。

【請求項13】

前記第1、第2、第3及び第4の導電体は一定のピッチを有する、請求項12に記載の
 積層ICデバイス。

【請求項14】

前記第 1、第 2、第 3 及び第 4 の導電体の位置は、共通マスクによって決定可能である、請求項 1 2 又は 1 3 に記載の積層 IC デバイス。

【請求項 1 5】

前記コンタクトレベルのスタックの一部を貫通し且つ前記第 1、第 2、第 3 及び第 4 のコンタクトレベルの前記導電層の各々と電氣的に接触するグラウンド導電体、を更に有する請求項 1 2 に記載の積層 IC デバイス。

【請求項 1 6】

前記第 1、第 2、第 3 及び第 4 の導電体並びに前記グラウンド導電体の位置は、共通マスクによって決定可能である、請求項 1 5 に記載の積層 IC デバイス。

【発明の詳細な説明】

10

【技術分野】

【0 0 0 1】

本発明は、概して高密度集積回路デバイスに関し、より具体的には多階層 3 次元積層デバイスの相互接続構造に関する。

【背景技術】

【0 0 0 2】

高密度メモリデバイスの製造においては、集積回路の単位面積当たりのデータ量が重要な因子となり得る。故に、メモリデバイスの限界寸法（クリティカル・ディメンジョン）がリソグラフィ技術の限界に近づくにつれ、より高い記憶密度とより低いビット当たりコストとを達成するため、メモリセルを複数レベル（階層）に積層する技術が提案されてきた。

20

【0 0 0 3】

例えば、非特許文献 1 及び 2 においては、薄膜トランジスタ技術が電荷トラップメモリに適用されている。

【0 0 0 4】

また、非特許文献 3 においては、クロスポイント・アレイ技術がアンチヒューズメモリに適用されている（「Three-Dimensional Memory」なる発明名称の特許文献 1 も参照）。

【0 0 0 5】

非特許文献 4 には、電荷トラップメモリ技術において縦型 NAND セルを提供する別の構造が記載されている。

30

【0 0 0 6】

3 次元積層メモリデバイスにおいて、下側レベルのメモリセルを復号回路などに結合するために使用される導電性相互接続（インターコネクト）が、上側レベルを通過する。相互接続を実装するためのコストは、必要とされるリソグラフィ工程の数とともに増大する。リソグラフィ工程数を削減するための 1 つの取り組みが非特許文献 5 に記載されている。

【0 0 0 7】

しかしながら、従来の 3 D 積層メモリデバイスに伴う欠点の 1 つは、典型的にコンタクトレベルごとに別々のマスクが使用されることである。故に、例えば 2 0 個のコンタクトレベルが存在する場合、各コンタクトレベルがそのレベル用のマスクの制作とそのレベル用のエッチング工程とを必要とし、一般に 2 0 個の異なるマスクが必要とされる。

40

【先行技術文献】

【特許文献】

【0 0 0 8】

【特許文献 1】米国特許第 7 0 8 1 3 7 7 号明細書

【非特許文献】

【0 0 0 9】

【非特許文献 1】Lai 等、「A Multi-Layer Stackable Thin-Film Transistor (TFT) NAND-Type Flash Memory」、IEEE Int'l Electron Devices Meeting、2006 年

50

12月11-13日

【非特許文献2】Jung等、「Three Dimensionally Stacked NAND Flash Memory Technology Using Stacking Single Crystal Si Layers on ILD and TANOS Structure for Beyond 30nm Node」、IEEE Int'l Electron Devices Meeting、2006年12月11-13日

【非特許文献3】Johnson等、「512-Mb PROM With a Three-Dimensional Array of Diode/Anti-fuse Memory Cells」、IEEE J. of Solid-State Circuits、2003年1月、第38巻、第11号

【非特許文献4】Kim等、「Novel 3-D Structure for Ultra-High Density Flash Memory with VRAT and PIPE」、2008 Symposium on VLSI Technology Digest of Technical Papers、2008年6月17-19日、pp.122-123

【非特許文献5】Tanaka等、「Bit Cost Scalable Technology with Punch and Plug Process for Ultra High Density Flash Memory」、2007 Symposium on VLSI Technology Digest of Technical Papers、2007年6月12-14日、pp.14-15

【発明の概要】

【発明が解決しようとする課題】

【0010】

3次元積層ICデバイス及びその関連方法を提供する。

【課題を解決するための手段】

【0011】

相互接続領域に少なくとも4つのコンタクトレベルのスタックを有する3次元積層ICデバイスで使用される方法の一例は、コンタクトレベルのランドエリアにアライメントされ且つ該ランドエリアを露出させる相互接続コンタクト領域を作り出すために使用される。各コンタクトレベルは導電層と絶縁層とを有する。各コンタクトレベルのためのコンタクト開口を作り出すために、第1のコンタクトレベルを露出させるように、相互接続領域の上に位置する上部層の少なくとも一部が除去される。Nは2以上の整数として、コンタクトレベルのスタックに複数レベルの相互接続コンタクト領域を作り出すためのN個のエッチングマスクの組が選定される。N個のマスクを使用して、最大 2^N 個のコンタクトレベルまでコンタクト開口がエッチングされる。このN個のマスクを使用するステップは、第1のマスクを使用して、コンタクト開口のうちの実効的に半数で、1つのコンタクトレベルをエッチングするステップと、第2のマスクを使用して、コンタクト開口のうちの実効的に半数で、2つのコンタクトレベルをエッチングするステップとを有する。除去するステップ、選定するステップ及び使用するステップは、コンタクト開口が 2^N 個のコンタクトレベルまで延在するように実行される。コンタクト開口を通してコンタクトレベルのランドエリアに接触するように導電体が形成され得る。一部の例において、除去するステップは更なるマスクを用いて実行される。一部の例において、第1のマスクを使用するステップは、第1のマスクを用いて1つおきのコンタクト開口で、1つのコンタクトレベルをエッチングすることを有し、第2のマスクを使用するステップは、第2のマスクを用いて、少なくとも一組の第1乃至第4のコンタクト開口のうちの第3及び第4のコンタクト開口で、2つのコンタクトレベルをエッチングすることを有する。一部の例において、N個のマスクを使用するステップは更に、第3のマスクを使用して、コンタクト開口のうちの実効的に半数で、4つのコンタクトレベルをエッチングするステップと、第4のマスクを使用して、コンタクト開口のうちの実効的に半数で、8つのコンタクトレベルをエッチングするステップとを有する。一部の例において、第3のマスクを使用するステップは、第3のマスクを用いて、少なくとも一組の第1乃至第8のコンタクト開口のうちの第5乃至第8のコンタクト開口で、4つのコンタクトレベルをエッチングすることを有し、第4のマスクを使用するステップは、前記第4のマスクを用いて、少なくとも一組の第1乃至第16のコンタクト開口のうちの第9乃至第16のコンタクト開口で、8つのコンタクトレベルをエッチングすることを有する。一部の例において、コンタクトレベルを貫通するランドコンタクト開口が作り出され、コンタクトレベルの複数の導電層と電氣的に接触

10

20

30

40

50

するように、グランドコンタクト開口内にグランド導電体が形成される。一部の例において、グランドコンタクト開口はグランドコンタクト開口側壁を有し、グランド導電体が該グランド導電体とコンタクトレベルの複数の導電層との間に強化された電気接触を生成するように、グランド導電体を形成するステップに先立って、グランドコンタクト開口側壁において絶縁層の一部が除去される。

【0012】

方法の他の一例は、3次元積層ICデバイスの相互接続領域のコンタクトレベルのスタックにおいて、ランドエリアへの電気接続を提供する。該ICデバイスは、相互接続領域を有するタイプである。相互接続領域は、上部層と該上部層の下のコンタクトレベルのスタックとを含む。各コンタクトレベルは導電層と絶縁層とを有する。各コンタクトレベルのためのコンタクト開口を作り出すために、第1のコンタクトレベルを露出させるように、相互接続領域の上に位置する上部層の少なくとも一部が除去される。Nは2以上の整数として、コンタクトレベルのスタックに複数レベルの相互接続コンタクト領域を作り出すためのN個のエッチングマスクの組が選定される。N個のマスクを使用して、最大 2^N 個のコンタクトレベルまでコンタクト開口がエッチングされる。このN個のマスクを使用するステップは、第1のマスクを使用して、コンタクト開口のうちの実効的に半数で、1つのコンタクトレベルをエッチングするステップと、第2のマスクを使用して、コンタクト開口のうちの実効的に半数で、2つのコンタクトレベルをエッチングするステップとを有する。除去するステップ、選定するステップ及び使用するステップは、コンタクト開口が 2^N 個のコンタクトレベルまで延在するように実行される。側壁に誘電体層が形成される。コンタクト開口を通してコンタクトレベルのランドエリアに接触するように導電体が形成され、誘電体層が導電体を側壁から電氣的に絶縁する。一部の例において、コンタクトレベルを貫通するグランドコンタクト開口が作り出され、コンタクトレベルの複数の導電層と電氣的に接触するように、グランドコンタクト開口内にグランド導電体が形成される。一部の例において、グランドコンタクト開口はグランドコンタクト開口側壁を有し、グランド導電体が導電層と強化された電気接触を生成するようにグランドコンタクト開口に隣接する複数の導電層の部分が露出されるよう、グランド導電体を形成するステップに先立って、グランドコンタクト開口側壁において絶縁層の一部が除去される。

【0013】

3次元積層ICデバイスの第1の例は、相互接続領域の、少なくとも第1、第2、第3及び第4のコンタクトレベルのスタックを有する。各コンタクトレベルが導電層と絶縁層とを有する。第1、第2、第3及び第4の導電体がコンタクトレベルのスタックの一部を貫通している。第1、第2、第3及び第4の導電体は、それぞれ、第1、第2、第3及び第4の導電層と電氣的に接触する。第2、第3及び第4の導電体がそれぞれ第2、第3及び第4の導電層とのみ電氣的に接触するように、側壁スペーサが第2、第3及び第4の導電体の周囲を取り囲む。一部の例において、第1、第2、第3及び第4の導電体は一定のピッチを有する。一部の例において、第1、第2、第3及び第4の導電体の位置は、共通マスクによって決定可能である。一部の例において、積層ICデバイスは更に、コンタクトレベルのスタックの一部を貫通するグランド導電体を有し、グランド導電体は、第1、第2、第3及び第4のコンタクトレベルの導電層の各々と電氣的に接触する。

【0014】

3次元積層ICデバイスの第2の例は、相互接続領域の、少なくとも第1、第2、第3及び第4のコンタクトレベルのスタックを有する。各コンタクトレベルが導電層と絶縁層とを有する。第1、第2、第3及び第4の導電体がコンタクトレベルのスタックの一部を貫通している。第1、第2、第3及び第4の導電体は、それぞれ、第1、第2、第3及び第4の導電層と電氣的に接触する。第1、第2、第3及び第4の導電体は一定のピッチを有する。一部の例において、第1、第2、第3及び第4の導電体の位置は、共通マスクによって決定可能である。

【0015】

3次元積層ICデバイスの第3の例は、相互接続領域の、少なくとも第1、第2、第3

及び第４のコンタクトレベルのスタックを有する。各コンタクトレベルが導電層と絶縁層とを有する。第１、第２、第３及び第４の導電体がコンタクトレベルのスタックの一部を貫通している。第１、第２、第３及び第４の導電体は、それぞれ、第１、第２、第３及び第４の導電層と電氣的に接触する。第２、第３及び第４の導電体がそれぞれ第２、第３及び第４の導電層とのみ電氣的に接触するように、誘電体側壁スペーサが第２、第３及び第４の導電体の周囲を取り囲む。グランド導電体が、コンタクトレベルのスタックの一部を貫通し、第１、第２、第３及び第４の導電層の各々と電氣的に接触する。第１、第２、第３及び第４の導電体は一定のピッチを有する。第１、第２、第３及び第４の導電体並びにグランド導電体の位置は、共通マスクによって決定可能である。

【００１６】

10

以下の詳細な説明及びそれに続く特許請求の範囲、並びに図面を精査することにより、本発明のその他の態様及び利点が理解されることになる。

【図面の簡単な説明】

【００１７】

図１ - １６及び付随する記載は、本出願と同一の譲受人により２００９年１０月１４日に提出された「3D Integrated Circuit Layer Interconnect」なる発明名称の米国特許出願第１２／５７９１９２号から取ったものであり、その出願の開示内容をここに援用する。

【図１】デバイス内の様々なレベル１６０ - １乃至１６０ - ４まで導電体１８０が延在した小フットプリントの相互接続構造１９０を有する３次元構造を含んだデバイスを示す断面図である。

20

【図２Ａ】ランドエリアを示すレベル１６０ - １の平面図である。

【図２Ｂ】ランドエリアに隣接する開口を示すレベル１６０ - ２の平面図である。

【図２Ｃ】ランドエリアに隣接する開口を示すレベル１６０ - ３の平面図である。

【図２Ｄ】ランドエリアに隣接する開口を示すレベル１６０ - ４の平面図である。

【図３Ａ】小フットプリントの３Ｄ相互接続構造を含んだ３次元積層集積回路デバイスの一部を示す断面図である。

【図３Ｂ】小フットプリントの３Ｄ相互接続構造を含んだ３次元積層集積回路デバイスの一部を示す、図３Ａと直交する断面図である。

【図４】メモリの２辺の周辺部に相互接続構造を含むデバイスの一実施形態のレイアウトを示す上面図である。

30

【図５】メモリの４辺の周辺部に相互接続構造を含むデバイスの一実施形態のレイアウトを示す上面図である。

【図６】ここで説明される相互接続構造を含むメモリデバイスの一部を示す模式図である。

【図７】ここで説明される相互接続構造を有する３Ｄメモリアレイを含む集積回路デバイスを簡略化して示すブロック図である。

【図８Ａ】ここで説明される相互接続構造を製造するための製造シーケンスの工程を示す図である。

【図８Ｂ】ここで説明される相互接続構造を製造するための製造シーケンスの工程を示す図である。

40

【図８Ｃ】ここで説明される相互接続構造を製造するための製造シーケンスの工程を示す図である。

【図９Ａ】ここで説明される相互接続構造を製造するための製造シーケンスの工程を示す図である。

【図９Ｂ】ここで説明される相互接続構造を製造するための製造シーケンスの工程を示す図である。

【図１０Ａ】ここで説明される相互接続構造を製造するための製造シーケンスの工程を示す図である。

【図１０Ｂ】ここで説明される相互接続構造を製造するための製造シーケンスの工程を示す図である。

50

す図である。

【図 1 1 A】ここで説明される相互接続構造を製造するための製造シーケンスの工程を示す図である。

【図 1 1 B】ここで説明される相互接続構造を製造するための製造シーケンスの工程を示す図である。

【図 1 2 A】ここで説明される相互接続構造を製造するための製造シーケンスの工程を示す図である。

【図 1 2 B】ここで説明される相互接続構造を製造するための製造シーケンスの工程を示す図である。

【図 1 3 A】ここで説明される相互接続構造を製造するための製造シーケンスの工程を示す図である。

10

【図 1 3 B】ここで説明される相互接続構造を製造するための製造シーケンスの工程を示す図である。

【図 1 4 A】ここで説明される相互接続構造を製造するための製造シーケンスの工程を示す図である。

【図 1 4 B】ここで説明される相互接続構造を製造するための製造シーケンスの工程を示す図である。

【図 1 5】ここで説明される相互接続構造を製造するための製造シーケンスの工程を示す図である。

【図 1 6】複数レベルのランドエリアの変化する幅を収容するようにステップ状に縦方向に変化する幅を有するマスクの開口を示す平面図である。

20

【図 1 7】図 1 7 - 3 4 A は 3 次元積層 I C デバイスの他の一例の構造及び製造方法を示す図であり、図 1 7 は 3 次元積層 I C デバイスの他の一例の相互接続領域を簡略化して示す断面図である。

【図 1 7 A】3 次元積層 I C デバイスの他の一例の相互接続領域を簡略化して示す平面図である。

【図 1 8】上部層を貫通して第 1 コンタクトレベルの上側の導電層を露出させるコンタクト開口を形成後の相互接続領域を示す断面図である。

【図 1 8 A】上部層を貫通して第 1 コンタクトレベルの上側の導電層を露出させるコンタクト開口を形成後の相互接続領域を示す平面図である。

30

【図 1 9】コンタクト開口を 1 つおきに露出させる図 1 8 の構造上の第 1 のマスクを示す断面図である。

【図 1 9 A】コンタクト開口を 1 つおきに露出させる図 1 8 の構造上の第 1 のマスクを示す平面図である。

【図 2 0】露出されたコンタクト開口の単一のコンタクトレベルを貫通させるエッチングの結果を示す断面図である。

【図 2 0 A】露出されたコンタクト開口の単一のコンタクトレベルを貫通させるエッチングの結果を示す平面図である。

【図 2 1】第 1 のマスクの除去及び図 2 0 の構造上の第 2 のマスクの形成の結果を示す断面図であり、左から数えて 1 番目及び 2 番目のコンタクト開口が第 2 のマスクで覆われ、3 番目及び 4 番目のコンタクト開口が開放されている。

40

【図 2 1 A】第 1 のマスクの除去及び図 2 0 の構造上の第 2 のマスクの形成の結果を示す平面図であり、左から数えて 1 番目及び 2 番目のコンタクト開口が第 2 のマスクで覆われ、3 番目及び 4 番目のコンタクト開口が開放されている。

【図 2 2】3 番目及び 4 番目のコンタクト開口の 2 つのコンタクトレベルを貫通させるエッチングの結果を示す断面図である。

【図 2 2 A】3 番目及び 4 番目のコンタクト開口の 2 つのコンタクトレベルを貫通させるエッチングの結果を示す平面図である。

【図 2 3】図 2 2 の第 2 のマスクの除去後の図 2 2 の構造を示す断面図である。

【図 2 3 A】図 2 2 の第 2 のマスクの除去後の図 2 2 の構造を示す平面図である。

50

【図 2 4】コンタクトレベルをコンタクト開口の内部から電氣的に絶縁する開口の側壁の側壁スペーサの形成後の図 2 3 の構造を示す断面図である。

【図 2 4 A】コンタクトレベルをコンタクト開口の内部から電氣的に絶縁する開口の側壁の側壁スペーサの形成後の図 2 3 の構造を示す平面図である。

【図 2 5】図 2 5 にグランドコンタクト開口を通る断面図を追加した図 2 4 の構造を示す断面図であり、コンタクト開口はフォトレジストで覆われ、グランドコンタクト開口は露出されたままである。

【図 2 5 A】図 2 4 の構造を示す平面図であり、コンタクト開口はフォトレジストで覆われ、グランドコンタクト開口は露出されたままである。

【図 2 6】第 4 のコンタクトレベルの導電層を露出させるように 3 つのコンタクトレベルを貫通させるエッチング後の図 2 5 の構造を示す断面図である。

【図 2 6 A】第 4 のコンタクトレベルの導電層を露出させるように 3 つのコンタクトレベルを貫通させるエッチング後の図 2 5 の構造を示す平面図である。

【図 2 7】フォトレジストを除去した後の図 2 6 の構造を示す断面図である。

【図 2 7 A】フォトレジストを除去した後の図 2 6 の構造を示す平面図である。

【図 2 8】コンタクト開口及びグランドコンタクト開口を充填し且つ上側層を覆うポリシリコンの堆積後の図 2 7 の構造を示す断面図であり、コンタクト開口及びグランドコンタクト開口内のポリシリコンが、それぞれ、導電体及びグランド導電体を形成している。

【図 2 8 A】コンタクト開口及びグランドコンタクト開口を充填し且つ上側層を覆うポリシリコンの堆積後の図 2 7 の構造を示す平面図であり、コンタクト開口及びグランドコンタクト開口内のポリシリコンが、それぞれ、導電体及びグランド導電体を形成している。

【図 2 9】上部層を覆うポリシリコンをエッチング除去した後の図 2 8 の構造を示す断面図である。

【図 2 9 A】上部層を覆うポリシリコンをエッチング除去した後の図 2 8 の構造を示す平面図である。

【図 3 0】上表面の電荷トラップ層まで上表面を下方に化学機械研磨した結果を示す断面図である。

【図 3 0 A】上表面の電荷トラップ層まで上表面を下方に化学機械研磨した結果を示す平面図である。

【図 3 1】ストッパ層の堆積とそれに続くストッパ層上への層間誘電体酸化物の堆積との後の図 3 0 の構造を示す断面図である。

【図 3 1 A】ストッパ層の堆積とそれに続くストッパ層上への層間誘電体酸化物の堆積との後の図 3 0 の構造を示す平面図である。

【図 3 2】層間誘電体酸化物及びストッパ層を貫通して上記導電体及びグランド導電体に達するコンタクト開口延長部の形成と、それに続く導電体でのビア充填との後の図 3 1 の構造を示す断面図であり、コンタクトレベル内を延在する第 1 の部分と上部層内を延在する第 2 の部分とを有する導電体及びグランド導電体を作り出されている。

【図 3 2 A】層間誘電体酸化物及びストッパ層を貫通して上記導電体及びグランド導電体に達するコンタクト開口延長部の形成と、それに続く導電体でのビア充填との後の図 3 1 の構造を示す平面図であり、コンタクトレベル内を延在する第 1 の部分と上部層内を延在する第 2 の部分とを有する導電体及びグランド導電体を作り出されている。

【図 3 3】図 1 7 の構造を作り出すように 4 つの異なる深さまでエッチングされた異なるコンタクト開口セットを例示する、16 個のコンタクト開口の組を示す図である。

【図 3 4】3 次元積層 IC デバイスを示す断面図である。

【図 3 4 A】3 次元積層 IC デバイスを示す平面図である。

【図 3 5】図 3 3 のマスキング・エッチング手順を異なる様式で示す図である。

【図 3 6】エッチングシーケンスが変更された図 3 5 と同様の図である。

【図 3 7】マスクシーケンスが変更された図 3 5 と同様の図である。

【図 3 8】位置決めシーケンスが変更された図 3 5 と同様の図である。

【図 3 9】図 3 6 - 3 8 の変更を組み合わせた図 3 5 と同様の図である。

10

20

30

40

50

【発明を実施するための形態】

【0018】

図1は、3次元構造を含んだデバイスの断面図を示しており、該3次元構造は、デバイス内の様々なレベル（階層）160-1乃至160-4まで導電体180が延在した小さいフットプリント（設置面積）の相互接続構造190を有する。図示した例においては、4つのレベル160-1乃至160-4が示されている。より一般的には、ここで説明する小型相互接続構造190は、Nは少なくとも2として、レベル0乃至Nを有する構造で実現されることができる。

【0019】

導電体180は、相互接続構造190内で、様々なレベル160-1乃至160-4のランドエリアに接触するように配設されている。より詳細に後述するように、各特定レベルの導電体180は、上に位置するレベル内の開口中を延在して、ランドエリア161-1a、161-1b、161-2a、161-2b、161-3a、161-3b、161-4に接触している。導電体180は、この例において、コンタクトレベル160-1乃至160-4を、レベル160-1乃至160-4の上に位置する配線層の相互接続ライン185に結合させるために使用されている。

【0020】

ランドエリアは、導電体180との接触のために使用されるコンタクトレベル160-1乃至160-4の部分である。ランドエリアのサイズは、導電体180が様々なコンタクトレベル160-1乃至160-4のランドエリア内で導電性ランドエリアを上位置する相互接続ライン185に適切に結合するための場所を提供するように、且つ、例えば様々なレベルのランドエリアに関して導電体180と上に位置するレベル内の開口との間でのミスアライメントなどの問題を解決するように、十分な大きさにされる。

【0021】

ランドエリアのサイズは、故に、使用される導電体のサイズ及び個数を含む多数の要因に依存し、実施形態ごとに異なったものとなる。また、導電体180の数は、ランドエリアごとに異なってもよい。

【0022】

図示した例において、レベル160-1乃至160-4は、例えばドーフトポリシリコンなどの材料のそれぞれの平面状導電層で構成され、絶縁材料の層165がレベル160-1乃至160-4を分離している。他の例では、レベル160-1乃至160-4は平面状の積層材料層である必要はなく、それに代えて、材料層は縦方向寸法において変化してもよい。

【0023】

異なるレベル160-1乃至160-4に接触する複数の導電体180は、図1に示した断面に沿う方向に配列されている。この、異なるレベル160-1乃至160-4に接触する複数の導電体180の配列によって定められる方向を、ここでは、“長さ”方向と呼ぶ。“横断”方向は、長さ方向に垂直であり、図1に示した断面図に出入りする方向である。長さ方向及び横断方向は何れも、レベル160-1乃至160-4の平面図の2次元エリア内にある方向を意味し、“横方向の次元”であると見なされる。構造又は造形部の“長さ”は長さ方向におけるその長さであり、その“幅”は横断方向におけるその幅である。

【0024】

レベル160-1は、複数のレベル160-1乃至160-4のうちの最も下のレベルである。レベル160-1は絶縁層164上にある。

【0025】

レベル160-1は、導電体180との接触のための第1及び第2のランドエリア161-1a、161-1bを含んでいる。

【0026】

図1において、レベル160-1は、2つのランドエリア161-1a、161-1b

10

20

30

40

50

を、相互接続構造 190 の反対側の端部に含んでいる。一部の代替実施形態において、ランドエリア 161 - 1a、161 - 1b のうちの一方は省略される。

【0027】

図 2A は、相互接続構造 190 のフットプリント内の、ランドエリア 161 - 1a、161 - 1b を含むレベル 160 - 1 の部分の平面図である。相互接続構造 190 のフットプリントは、導電体のビアサイズの幅に近い幅とすることができ、且つ該幅より遙かに長いものとし得る長さを有することができる。図 2A に示すように、ランドエリア 161 - 1a は、横断方向に幅 200 を有し、長さ方向に長さ 201 を有する。ランドエリア 161 - 1b は、横断方向に幅 202 を有し、長さ方向に長さ 203 を有する。図 2A の実施形態において、ランドエリア 161 - 1a、161 - 1b は各々、長方形の横断面を有している。実施形態において、ランドエリア 161 - 1a、161 - 1b は各々、円形、楕円形、正方形、長方形、又は幾らか不規則な形状を有していてもよい。

10

【0028】

レベル 160 - 1 は最も下のレベルであるため、導電体 180 は、レベル 160 - 1 を貫通して下地の層に達する必要はない。故に、この例において、レベル 160 - 1 は相互接続構造 190 内に開口を有していない。

【0029】

再び図 1 を参照するに、レベル 160 - 2 はレベル 160 - 1 の上に位置する。レベル 160 - 2 は、レベル 160 - 1 のランドエリア 161 - 1a の上に位置する開口 250 を含んでいる。開口 250 は、開口 250 の長さ 252 を定める長さ方向の遠位の側壁 251a と長さ方向の近位の側壁 252 とを有する。開口 250 の長さ 252 は少なくとも、下に位置するランドエリア 161 - 1a の長さ 201 と同じ大きさであり、その結果、ランドエリア 161 - 1a のための導電体 180 はレベル 160 - 2 を通過することができる。

20

【0030】

レベル 160 - 2 はまた、ランドエリア 161 - 1b の上に位置する開口 255 を含んでいる。開口 255 は、開口 255 の長さ 257 を定める長さ方向の遠位及び近位の側壁 256a、256b を有する。開口 255 の長さ 257 は少なくとも、下に位置するランドエリア 161 - 1b の長さ 203 と同じ大きさであり、その結果、ランドエリア 161 - 1b のための導電体 180 はレベル 160 - 2 を通過することができる。

30

【0031】

レベル 160 - 2 はまた、開口 250、255 と隣接して、それぞれ、第 1 及び第 2 のランドエリア 161 - 2a、161 - 2b を含んでいる。第 1 及び第 2 のランドエリア 161 - 2a、161 - 2b は、導電体 180 との接触のために使用されるレベル 160 - 2 の部分である。

【0032】

図 2B は、相互接続構造 190 内の、第 1 及び第 2 のランドエリア 161 - 2a、161 - 2b 並びに開口 250、255 を含むレベル 160 - 2 の部分の平面図である。

【0033】

図 2B に示すように、開口 250 は、長さ 252 を定める長さ方向の側壁 251a、251b を有するとともに、開口 250 の幅 254 を定める横断方向の側壁 253a、253b を有する。幅 254 は少なくとも、下に位置するランドエリア 161 - 1a の幅 200 と同じ大きさであり、その結果、導電体 180 は開口 250 を通過することができる。

40

【0034】

開口 255 は、長さ 257 を定める長さ方向の側壁 256a、256b を有するとともに、幅 259 を定める横断方向の側壁 258a、258b を有する。幅 259 は少なくとも、下に位置するランドエリア 161 - 1b の幅 202 と同じ大きさであり、その結果、導電体 180 は開口 255 を通過することができる。

【0035】

図 2B の平面図において、開口 250、255 は各々、長方形の横断面を有している。

50

実施形態において、開口 2 5 0、2 5 5 は各々、それらを形成するために使用されるマスクの形状に応じて、円形、楕円形、正方形、長方形、又は幾らか不規則な形状の横断面を有していてもよい。

【0036】

図 2 B に示すように、ランドエリア 1 6 1 - 2 a は開口 2 5 0 に隣接するとともに、横断方向の幅 2 0 4 と長さ方向の長さ 2 0 5 とを有する。ランドエリア 1 6 1 - 2 b は開口 2 5 5 に隣接するとともに、横断方向の幅 2 0 6 と長さ方向の長さ 2 0 7 とを有する。

【0037】

再び図 1 を参照するに、レベル 1 6 0 - 3 はレベル 1 6 0 - 2 の上に位置する。レベル 1 6 0 - 3 は、レベル 1 6 0 - 1 のランドエリア 1 6 1 - 1 a 及びレベル 1 6 0 - 2 のランドエリア 1 6 1 - 2 a の上に位置する開口 2 6 0 を含んでいる。開口 2 6 0 は、開口 2 6 0 の長さ 2 6 2 を定める長さ方向の遠位及び近位の側壁 2 6 1 a、2 6 1 b を有する。開口 2 6 0 の長さ 2 6 2 は少なくとも、下に位置するランドエリア 1 6 1 - 1 a 及び 1 6 1 - 2 a の長さ 2 0 1 及び 2 0 5 の和と同じ大きさであり、その結果、ランドエリア 1 6 1 - 1 a 及び 1 6 1 - 2 a のための導電体 1 8 0 はレベル 1 6 0 - 3 を通過することができる。

10

【0038】

図 1 にて見て取れるように、開口 2 6 0 の長さ方向の遠位の側壁 2 6 1 a は、下に位置する開口 2 5 0 の長さ方向の遠位の側壁 2 5 1 a と縦方向に整列される。より詳細に後述する実施形態の製造において、これらの開口は、単一のエッチングマスクの開口及び該単一のエッチングマスクの開口上に形成される 1 つの追加マスクと、クリティカルなアライメント工程なしで該追加マスクをエッチングするプロセスとを用いて形成されることができ、該単一のエッチングマスクの周縁に沿って縦方向に整列された長さ方向の遠位側壁 (2 6 1 a、2 5 1 a、...) を有する開口群の形成がもたらされる。

20

【0039】

レベル 1 6 0 - 3 はまた、レベル 1 6 0 - 1 のランドエリア 1 6 1 - 1 b 及びレベル 1 6 0 - 2 のランドエリア 1 6 1 - 2 b の上に位置する開口 2 6 5 を含んでいる。開口 2 6 5 は、開口 2 6 5 の長さ 2 6 7 を定める長さ方向の外側及び内側の側壁 2 6 6 a、2 6 6 b を有する。開口 2 6 5 の長さ方向の外側の側壁 2 6 6 a は、下に位置する開口 2 5 5 の長さ方向の外側の側壁 2 5 6 a と縦方向に整列される。

30

【0040】

開口 2 6 5 の長さ 2 6 7 は少なくとも、下に位置するランドエリア 1 6 1 - 1 b 及び 1 6 1 - 2 b の長さ 2 0 3 及び 2 0 7 の和と同じ大きさであり、その結果、ランドエリア 1 6 1 - 1 b 及び 1 6 1 - 2 b のための導電体 1 8 0 はレベル 1 6 0 - 3 を通過することができる。

【0041】

レベル 1 6 0 - 3 はまた、開口 2 6 0、2 6 5 と隣接して、それぞれ、第 1 及び第 2 のランドエリア 1 6 1 - 3 a、1 6 1 - 3 b を含んでいる。第 1 及び第 2 のランドエリア 1 6 1 - 3 a、1 6 1 - 3 b は、導電体 1 8 0 との接触のために使用されるレベル 1 6 0 - 3 の部分である。

40

【0042】

図 2 C は、相互接続構造 1 9 0 内の、第 1 及び第 2 のランドエリア 1 6 1 - 3 a、1 6 1 - 3 b 並びに開口 2 6 0、2 6 5 を含むレベル 1 6 0 - 3 の部分の平面図である。

【0043】

図 2 C に示すように、開口 2 6 0 は、長さ 2 6 2 を定める長さ方向の外側及び内側の側壁 2 6 1 a、2 6 1 b を有するとともに、開口 2 6 0 の幅 2 6 4 a、2 6 4 b を定める横断方向の側壁 2 6 3 a、2 6 3 b を有する。幅 2 6 4 a は少なくとも、下に位置するランドエリア 1 6 1 - 1 a の幅 2 0 0 と同じ大きさであり、幅 2 6 4 b は少なくとも、下に位置するランドエリア 1 6 1 - 2 a の幅 2 0 4 と同じ大きさであり、その結果、導電体 1 8 0 は開口 2 6 0 を通過することができる。

50

【 0 0 4 4 】

図示した実施形態において、幅 2 6 4 a 及び 2 6 4 b は実質的に同一である。他の例では、幅 2 6 4 a 及び 2 6 4 b は、異なる幅を有するランドエリアに適合するように異なっている。

【 0 0 4 5 】

開口 2 6 5 は、長さ 2 6 7 を定める長さ方向の側壁 2 6 6 a、2 6 6 b を有するとともに、幅 2 6 9 a、2 6 9 b を定める横断方向の側壁 2 6 8 a、2 6 8 b を有する。幅 2 6 9 a は少なくとも、下に位置するランドエリア 1 6 1 - 1 b の幅 2 0 2 と同じ大きさであり、幅 2 6 9 b は少なくとも、下に位置するランドエリア 1 6 1 - 2 b の幅 2 0 6 と同じ大きさであり、その結果、導電体 1 8 0 は開口 2 6 5 を通過することができる。

10

【 0 0 4 6 】

図 2 C に示すように、ランドエリア 1 6 1 - 3 a は開口 2 6 0 に隣接するとともに、横断方向の幅 2 1 4 と長さ方向の長さ 2 1 5 とを有する。ランドエリア 1 6 1 - 3 b は開口 2 6 5 に隣接するとともに、横断方向の幅 2 1 6 と長さ方向の長さ 2 1 7 とを有する。

【 0 0 4 7 】

再び図 1 を参照するに、レベル 1 6 0 - 4 はレベル 1 6 0 - 3 の上に位置する。レベル 1 6 0 - 4 は、レベル 1 6 0 - 1 のランドエリア 1 6 1 - 1 a、レベル 1 6 0 - 2 のランドエリア 1 6 1 - 2 a 及びレベル 1 6 0 - 3 のランドエリア 1 6 1 - 3 a の上に位置する開口 2 7 0 を含んでいる。開口 2 7 0 は、開口 2 7 0 の長さ 2 7 2 を定める長さ方向の側壁 2 7 1 a、2 7 1 b を有する。開口 2 7 0 の長さ 2 7 2 は少なくとも、下に位置するランドエリア 1 6 1 - 1 a、1 6 1 - 2 a 及び 1 6 1 - 3 a の長さ 2 0 1、2 0 5 及び 2 1 5 の和と同じ大きさであり、その結果、ランドエリア 1 6 1 - 1 a、1 6 1 - 2 a 及び 1 6 1 - 3 a のための導電体 1 8 0 はレベル 1 6 0 - 4 を通過することができる。図 1 に示すように、開口 2 7 0 の長さ方向の側壁 2 7 1 a は、下に位置する開口 2 6 0 の長さ方向の側壁 2 6 1 a と縦方向に整列される。

20

【 0 0 4 8 】

レベル 1 6 0 - 4 はまた、レベル 1 6 0 - 1 のランドエリア 1 6 1 - 1 b、レベル 1 6 0 - 2 のランドエリア 1 6 1 - 2 b 及びレベル 1 6 0 - 3 のランドエリア 1 6 1 - 3 b の上に位置する開口 2 7 5 を含んでいる。開口 2 7 5 は、開口 2 7 5 の長さ 2 7 7 を定める長さ方向の側壁 2 7 6 a、2 7 6 b を有する。開口 2 7 5 の長さ方向の側壁 2 7 6 a は、下に位置する開口 2 6 5 の長さ方向の側壁 2 6 6 a と縦方向に整列される。

30

【 0 0 4 9 】

開口 2 7 5 の長さ 2 7 7 は少なくとも、下に位置するランドエリア 1 6 1 - 1 b、1 6 1 - 2 b 及び 1 6 1 - 3 b の長さ 2 0 3、2 0 7 及び 2 1 7 の和と同じ大きさであり、その結果、ランドエリア 1 6 1 - 1 b、1 6 1 - 2 b 及び 1 6 1 - 3 b のための導電体 1 8 0 はレベル 1 6 0 - 4 を通過することができる。

【 0 0 5 0 】

レベル 1 6 0 - 4 はまた、開口 2 7 0 と 2 7 5 との間にランドエリア 1 6 1 - 4 を含んでいる。ランドエリア 1 6 1 - 4 は、導電体 1 8 0 との接触のために使用されるレベル 1 6 0 - 4 の部分である。図 1 において、レベル 1 6 0 - 4 は 1 つのランドエリア 1 6 1 - 4 を有している。他の例では、レベル 1 6 0 - 4 は 2 つ以上のランドエリアを含んでいる。

40

【 0 0 5 1 】

図 2 D は、相互接続構造 1 9 0 内の、ランドエリア 1 6 1 - 4 及び開口 2 7 0、2 7 5 を含むレベル 1 6 0 - 4 の部分の平面図である。

【 0 0 5 2 】

図 2 D に示すように、開口 2 7 0 は、長さ 2 7 2 を定める長さ方向の側壁 2 7 1 a、2 7 1 b を有するとともに、開口 2 7 0 の幅 2 7 4 a、2 7 4 b、2 7 4 c を定める横断方向の側壁 2 7 3 a、2 7 3 b を有する。幅 2 7 4 a、2 7 4 b、2 7 4 c は少なくとも、下に位置するランドエリア 1 6 1 - 1 a、1 6 1 - 2 a、1 6 1 - 3 a の幅 2 0 0、2 0

50

4、214と同じ大きさであり、その結果、導電体180は開口270を通過することができる。

【0053】

開口275は、長さ277を定める長さ方向の側壁276a、276bを有するとともに、幅279a、279b、279cを定める横断方向の側壁278a、278bを有する。幅279a、279b、279cは少なくとも、下に位置するランドエリア161-1b、161-2b、161-3bの幅202、206、216と同じ大きさであり、その結果、導電体180は開口275を通過することができる。

【0054】

図2Dに示すように、ランドエリア161-4は開口270と275との間にあり、横断方向の幅224と長さ方向の長さ225とを有する。

10

【0055】

再び図1を参照するに、開口270、260及び250の長さ方向の遠位側壁271a、261a及び251aは縦方向にアライメントされており、故に、開口270、260及び250の長さの差は側壁271b、261b及び251bの横方向のオフセットによるものである。ここで使用される要素又は造形部が“縦方向にアライメントされる”は、横断方向及び長さ方向の双方に垂直な仮想平面と実質的に同一平面にあることを表す。ここでは、“実質的に同一平面にある”なる用語は、単一のエッチングマスク内の開口と側壁の平面性にバラつきを生じさせ得る複数のエッチングプロセスとを使用する開口の形成における製造公差を受け入れることを意図して使用される。

20

【0056】

図1に示すように、開口275、265及び255の長さ方向の側壁276a、266a及び256aも縦方向にアライメントされている。

【0057】

同様に、これらのレベルの開口の横断方向の側壁も縦方向にアライメントされる。図2A-2Dを参照するに、開口270、260及び250の横断方向の側壁273a、263a及び253aは縦方向にアライメントされる。さらに、横断方向の側壁273b、263b及び253bは縦方向にアライメントされる。開口275、265及び255では、長さ方向の側壁276a、276a及び256aが縦方向にアライメントされ、横断方向の側壁278b、268b及び258bは縦方向にアライメントされる。

30

【0058】

図示した実施形態において、様々なレベル160-1乃至160-4の開口は、横断方向において実質的に同じ幅を有している。他の例では、これらの開口の幅は、異なる幅を有するランドエリア群に適合するように、例えばステップ状など、長さ方向に沿って変化することができる。

【0059】

ここで説明する相互接続構造190のこの実装技術は、従来技術と比較して、複数のレベル160-1乃至160-4へのコンタクトを製造するのに必要な面積又はフットプリントを有意に削減する。結果として、より多くの空間が、様々なレベル160-1乃至160-4にメモリ回路を実装するために利用可能になる。これは、従来技術と比較して、上側のレベル群におけるより高いメモリ密度とより低いビット当たりコストとを可能にする。

40

【0060】

図1の断面図において、相互接続構造190内の開口は、レベル160-4のランドエリア161-4の両側に階段状パターンを有するレベル群を生じさせる。すなわち、各レベルの2つの開口は、長さ方向及び横断方向の双方に垂直な軸を中心にして対称であり、各レベルの2つのランドエリアも該軸を中心にして対称である。ここでは、“対称”なる用語は、単一のエッチングマスク内の開口と開口の寸法にバラつきを生じさせ得る複数のエッチングプロセスとを使用する開口の形成における製造公差を受け入れることを意図して使用される。

50

【 0 0 6 1 】

各レベルが単一の開口と単一のランドエリアとを含む代替的な実施形態においては、レベル群は一方側にのみ階段状パターンを有する。

【 0 0 6 2 】

図示した例においては、4つのレベル160-1乃至160-4が示されている。より一般的には、ここで説明する小型相互接続構造は、Nは少なくとも2として、レベル0乃至N内に実装されることができる。一般に、(i)は1乃至Nに等しいとして、レベル(i)はレベル(i-1)の上にあり、レベル(i)のランドエリア(i)に隣接した開口(i)を有する。開口(i)はレベル(i-1)のランドエリア(i-1)上に延在し、また、iが2以上では、レベル(i-1)の隣接する開口(i-1)上に延在する。開口(i)は、レベル(i-1)内の開口(i-1)の長さ方向の遠位側壁にアライメントされた長さ方向の遠位側壁と、開口(i)の長さを定める長さ方向の近位側壁とを有する。開口(i)の長さは少なくとも、存在する場合には開口(i-1)の長さを足し合わせた、ランドエリア(i-1)の長さと同じ大きさである。(i)が2以上の場合、開口(i)は、レベル(i-1)内の開口(i-1)の横断方向の側壁とアライメントされた横断方向の側壁を有し、ランドエリア(i-1)の幅と同じ大きさ以上の開口(i)の幅を画成する。

10

【 0 0 6 3 】

代替的な実施形態において、その他の種類のメモリセル及び構成も使用され得る。使用され得るその他の種類のメモリセルの例には、誘電体電荷トラップ・フローティングゲートメモリセルが含まれる。例えば、一代替例において、デバイスのレベル群は、薄膜トランジスタ又は関連技術を用いてアクセスデバイス及びアクセスライン(配線)が当該レベル群内に形成された、絶縁材料によって分離された複数の平面状メモリセルアレイとして実装されてもよい。また、ここで説明する相互接続構造は、デバイスの様々なレベルに延在する導電体を小さいフットプリント内に有することが有用なその他の種類の3次元積層集積回路デバイス内に実装されることができる。

20

【 0 0 6 4 】

図3Aは、メモリアレイ領域110とここで説明する相互接続構造190を有する周辺領域120とを含んだ3次元積層集積回路デバイス100の一部を示す断面図である。

【 0 0 6 5 】

図3Aにおいて、メモリアレイ領域110は、本願の譲受人によって所有されるL u n gによる米国特許出願第12/430290号に記載されるようなワンタイムプログラマブル・マルチレベルメモリセルとして実装されている。なお、該米国特許出願の内容をここに援用する。ここでは、それを、ここで説明する3D相互接続構造を実装可能な代表的な集積回路構造として説明する。

30

【 0 0 6 6 】

メモリアレイ領域110は、横型電界効果トランジスタアクセスデバイス131a、131bを含んだメモリアkses層112を含んでいる。デバイス131a、131bは、半導体基板130内にソース領域132a、132b及びドレイン領域134a、134bを有している。基板130は、バルクシリコン、絶縁層上のシリコン層、又は集積回路を支持するための技術的に知られたその他の構造を有し得る。トレンチアイソレーション構造135a、135bが基板130内の領域群を分離している。ワードライン140a、140bがアクセスデバイス131a、131bのゲートとして機能する。コンタクトプラグ142a、142bが層間誘電体144を貫いて延在して、ドレイン領域134a、134bをビットライン150a、150bに結合している。

40

【 0 0 6 7 】

コンタクトパッド152a、152bが、下に位置するコンタクト146a、146bに結合され、アクセストランジスタのソース領域132a、132bへの接続を提供している。コンタクトパッド152a、152b及びビットライン150a、150bは層間誘電体154内にある。

50

【 0 0 6 8 】

図示した例において、レベルは、例えばドーフトポリシリコンなどの材料のそれぞれの平面状導電層で構成される。他の例では、レベルは平面状の積層材料層である必要はなく、それに代えて、材料層は縦方向寸法において変化してもよい。

【 0 0 6 9 】

絶縁層 1 6 5 - 1 乃至 1 6 5 - 3 がレベル 1 6 0 - 1 乃至 1 6 0 - 4 を互いに分離している。絶縁層 1 6 6 がレベル 1 6 0 - 1 乃至 1 6 0 - 4 及び絶縁層 1 6 5 - 1 乃至 1 6 5 - 3 の上に位置している。

【 0 0 7 0 】

複数の電極ピラー 1 7 1 a、1 7 1 b が、メモリセルアクセス層 1 1 2 の頂部に配置され、レベル群を貫いて延在している。この図において、第 1 の電極ピラー 1 7 1 a は、例えばタングステン又はその他の好適電極材料からなる中心の導電性コア 1 7 0 a を含んでおり、導電性コア 1 7 0 a はポリシリコンのシース（覆い）1 7 2 a によって囲まれている。アンチヒューズ材料又はその他のプログラム可能メモリ材料の層 1 7 4 a が、ポリシリコンシース 1 7 2 a と複数のレベル 1 6 0 - 1 乃至 1 6 0 - 4 との間に形成されている。この例において、レベル 1 6 0 - 1 乃至 1 6 0 - 4 は比較的高濃度にドーブされた n 型ポリシリコンを有し、ポリシリコンシース 1 7 2 a は比較的低濃度にドーブされた p 型ポリシリコンを有する。好ましくは、ポリシリコンシース 1 7 2 a の厚さは、p - n 接合によって形成される空乏領域の深さより大きくされる。空乏領域の深さは、部分的に、p - n 接合を形成するために使用される n 型及び p 型のポリシリコンの相対的なドーピング濃度によって決定される。レベル 1 6 0 - 1 乃至 1 6 0 - 4 及びポリシリコンシース 1 7 2 a はまた、アモルファスシリコンを用いて実装されてもよい。また、その他の半導体材料も使用され得る。

【 0 0 7 1 】

第 1 の電極ピラー 1 7 1 a はパッド 1 5 2 a に結合されている。導電性コア 1 7 0 b、ポリシリコンシース 1 7 2 b 及びアンチヒューズ材料層 1 7 4 b を含んだ第 2 の電極ピラー 1 7 1 b は、パッド 1 5 2 b に結合されている。

【 0 0 7 2 】

複数のレベル 1 6 0 - 1 乃至 1 6 0 - 4 とピラー 1 7 1 a、1 7 1 b との間の界面領域は、より詳細に後述するように、整流器と直列にされたプログラム可能素子を有するメモリ素子を含んでいる。

【 0 0 7 3 】

ピラー 1 7 1 a のアンチヒューズ材料の層 1 7 4 a は、二酸化シリコン、酸窒化シリコン又はその他のシリコン酸化物とすることができ、生来状態において高い抵抗を有する。例えば窒化シリコンなどのその他のアンチヒューズ材料が使用されてもよい。ワードライン 1 4 0、ビットライン 1 5 0 及び複数のレベル 1 6 0 - 1 乃至 1 6 0 - 4 に適切な電圧を印加することによってプログラムした後、アンチヒューズ材料層 1 7 4 a は絶縁破壊し、対応するレベルに隣接するアンチヒューズ材料内のアクティブ領域が低い抵抗状態を担う。

【 0 0 7 4 】

図 3 A に示すように、レベル 1 6 0 - 1 乃至 1 6 0 - 4 の複数の導電層は周辺領域 1 2 0 内まで延在しており、そこには、複数のレベル 1 6 0 - 1 乃至 1 6 0 - 4 に対して支援回路及び導電体 1 8 0 が製造されている。周辺領域 1 2 0 には多様なデバイスが実装されて、集積回路 1 0 0 上の復号化ロジック及びその他の回路を支援する。

【 0 0 7 5 】

導電体 1 8 0 は相互接続構造 1 9 0 内に配置され、様々なレベル 1 6 0 - 1 乃至 1 6 0 - 4 のランドエリアに接触している。より詳細に後述するように、各特定レベル 1 6 0 - 1 乃至 1 6 0 - 4 への導電体 1 8 0 は、上に位置するレベル内の開口を通して、導電性の相互接続配線 1 8 5 を含む配線層まで延在している。相互接続配線 1 8 5 は、レベル 1 6 0 - 1 乃至 1 6 0 - 4 と周辺 1 2 0 内の復号回路との間の相互接続を提供する。

【 0 0 7 6 】

図 3 A の破線によって表されるように、相異なるレベル 1 6 0 - 1 乃至 1 6 0 - 4 に接触する複数の導電体 1 8 0 が、図 3 A に示した断面に出入りする方向である長さ方向に配列されている。

【 0 0 7 7 】

図 3 B は、図 3 A の相互接続構造 1 9 0 を通る直線 F i g . 3 B - F i g . 3 B に沿って取られた長さ方向の断面図であり、図 1 に示したものと同様の相互接続構造 1 9 0 の様子を示している。図 3 B にて見て取れるように、各特定のレベルのための導電体 1 8 0 は、上に位置するレベル内の開口を通して延在して、ランドエリアに接触している。

【 0 0 7 8 】

図示した例においては、4 つのレベル 1 6 0 - 1 乃至 1 6 0 - 4 が示されている。より一般的には、ここで説明する小型相互接続構造は、N は少なくとも 2 として、レベル 0 乃至 N 内に実装されることができる。

【 0 0 7 9 】

代替的な実施形態において、その他の種類のメモリセル及び構成も使用され得る。例えば、一代替例において、デバイスのレベル群は、薄膜トランジスタ又は関連技術を用いてアクセスデバイス及びアクセスラインが当該レベル群内に形成された、絶縁材料によって分離された複数の平面状メモリセルアレイとして実装されてもよい。また、ここで説明する相互接続構造は、デバイスの様々なレベルに延在する導電体を小さいフットプリント内に有することが有用なその他の種類の 3 次元積層集積回路デバイス内に実装されることができる。

【 0 0 8 0 】

図 3 A - 3 B においては、単一の相互接続構造 1 9 0 が示されている。より均一な電力分布を実現するように、例えばメモリアレイ領域 1 1 0 を取り囲んでなど、デバイス内の様々な位置に複数の相互接続構造が配設されてもよい。図 4 は、アレイのそれぞれの側の周辺部 1 2 0 内の領域のシリーズ 1 9 0 - 1 及び 1 9 0 - 2 を含む 2 組の一連の相互接続構造を含んだデバイス 1 0 0 の一実施形態の上面レイアウト図を示している。図 5 は、アレイの 4 辺全ての周辺部 1 2 0 内のシリーズ 1 9 0 - 1、1 9 0 - 2、1 9 0 - 3 及び 1 9 0 - 4 を含む 4 組の一連の相互接続構造を含んだ一実施形態の上面レイアウト図を示している。1 0 0 0 列 × 1 0 0 0 行のセルを含む一例に係るアレイサイズにおいて、1 0 レベルを有し、形状サイズ F がワードライン幅及びビットライン幅を規定し、レベル群のランドエリアのサイズがおよそ F である場合、1 つの相互接続構造によって占有される領域の長さはレベル数のおよそ 2 F 倍すなわち 2 0 F であり、ワードラインごとのピッチはおよそ 2 F 以上であり、アレイの幅がおよそ 2 0 0 0 F となることがわかる。故に、この例によれば、およそ 1 0 0 個の相互接続構造を、アレイ幅に沿った例えばシリーズ 1 9 0 - 3 などのシリーズにして形成することができ、同様の数をアレイ長さに沿って例えばシリーズ 1 9 0 - 1 などのシリーズにして形成することができる。

【 0 0 8 1 】

更なる他の代替実施形態において、周辺部 1 2 0 内に相互接続構造を有することに加えて、あるいは代えて、1 つ以上の相互接続構造をメモリアレイ領域 1 1 0 内に実装することができる。また、相互接続構造は、メモリアレイ領域 1 1 0 の辺に平行ではなく、対角線方向又は何らかのその他の方向に延在されてもよい。

【 0 0 8 2 】

図 6 は、ここで説明する相互接続構造を含むメモリデバイスの一部を示す模式図である。第 1 の電極ピラー 1 7 1 a が、ビットライン 1 5 0 a 及びワードライン 1 4 0 a を用いて選択されるアクセストランジスタ 1 3 1 a に結合されている。ピラー 1 7 1 a には複数のメモリ素子 5 4 4 - 1 乃至 5 4 4 - 4 が接続されている。各メモリ素子は、整流器 5 4 9 に直列のプログラム可能素子 5 4 8 を含んでいる。この直列構成は、アンチヒューズ材料の層が p - n 接合の位置に置かれてはいるが、図 3 A - 3 B に示した構造を表している。プログラム可能素子 5 4 8 は、アンチヒューズを指し示すためにしばしば使用される記

10

20

30

40

50

号によって表されている。しかしながら、理解されるように、その他の種類のプログラム可能な抵抗材料及び構造も使用され得る。

【0083】

また、導電面と電極ピラー内のポリシリコンとの間の p - n 接合によって実現される整流器 549 は、その他の整流器によって置き換えられることが可能である。例えば、整流器を提供するため、ゲルマニウムシリサイドのような固体電解質又はその他の好適材料に基づく整流器が使用され得る。その他の代表的な固体電解質材料については米国特許第 7382647 を参照することができる。

【0084】

メモリ素子 544 - 1 乃至 544 - 4 の各々は、対応する導電性レベル 160 - 1 乃至 160 - 4 に結合されている。レベル 160 - 1 乃至 160 - 4 は導電体 180 及び相互接続配線 185 を介してブレイン (plane) デコーダ 546 に結合されている。ブレインデコーダ 546 は、アドレスに応答して、選択されたレベルに、メモリ素子内の整流器が順バイアスされて導通するように例えばグラウンド 547 などの電圧を印加するとともに、選択されていないレベルに、メモリ素子内の整流器が逆バイアスされる、あるいは非導通となるように電圧を印加するかフローティングにするかする。

【0085】

図 7 は、ここで説明する相互接続構造を有する 3D メモリアレイ 360 を含む集積回路デバイス 300 の簡略化したブロック図である。ローデコーダ 361 が、メモリアレイ 360 のロー (行) 群に沿って配列された複数のワードライン 140 に結合されている。コラムデコーダ 363 が、アレイ 360 内のメモリセルに対するデータの読み出し及びプログラミングを行うために、メモリアレイ 360 のコラム (列) 群に沿って配列された複数のビットライン 150 に結合されている。ブレインデコーダ 546 が、導電体 180 及び相互接続配線 185 を介して、メモリアレイ 360 内の複数のレベル 160 - 1 乃至 160 - 4 に結合されている。バス 365 上で、アドレスがローデコーダ 361、コラムデコーダ 363 及びブレインデコーダ 546 に供給される。この例において、ブロック 366 内のセンス増幅器及びデータイン (data-in) 構造が、データバス 367 を介してコラムデコーダ 363 に結合されている。データは、集積回路 300 の入力 / 出力ポートからブロック 366 内のデータイン構造へ、データインライン 371 を介して供給される。図示した実施形態において、集積回路 300 には、例えば、汎用プロセッサ若しくは専用アプリケーション回路、又はシステム・オン・チップ機能を提供する複数のモジュールの組み合わせなどの、その他回路 374 が含まれている。データは、ブロック 366 のセンス増幅器から、集積回路 300 の入力 / 出力ポートへ、あるいは集積回路の内部又は外部のその他のデータ宛先へ、データアウトライン 372 を介して供給される。この例ではバイアス構成状態機械 369 を用いて実装されているコントローラが、ブロック 368 内の 1 つ又は複数の電源によって生成あるいは提供されるバイアス構成供給電圧、例えば読み出し電圧及びプログラム電圧など、の印加を制御する。コントローラは、技術的に知られた専用論理回路を用いて実装され得る。他の実施形態において、コントローラは、同一の集積回路上に実装され得る汎用プロセッサを有し、それがコンピュータプログラムを実行してデバイスの動作を制御する。更なる他の実施形態においては、コントローラの実装のために、専用論理回路と汎用プロセッサとの組み合わせが用いられてもよい。

【0086】

図 8A - 8C 乃至図 15 は、ここで説明する非常に小さいフットプリントを有する相互接続構造を製造するための製造シーケンスの一実施形態における工程群を示している。

【0087】

図 8A 及び C は、製造シーケンスの第 1 の工程の断面図を示しており、図 8B はその上面図を示している。この用途の目的のため、第 1 の工程は、配設されたメモリセルアクセス層 112 の上に複数のレベル 160 - 1 乃至 160 - 4 を形成することを含む。図示した実施形態において、図 8A - 8C に示した構造は、本願の譲受人によって共通に所有される L u n g による米国特許出願第 12 / 430290 号に記載されたプロセスを用いて

10

20

30

40

50

形成される。なお、その内容をここに援用する。

【0088】

他の実施形態において、レベル群は、技術的に知られた標準プロセスによって形成されることができ、ここで説明する相互接続構造が実装されるデバイスに応じて、例えばトランジスタ及びダイオード、ワードライン、ビットライン及びソースライン、導電性プラグ、並びに基板内のドーフト領域など、アクセスデバイスを含んでいてもよい。

【0089】

上述のように、他の実施形態において、その他の種類のメモリセル及びメモリアレイ領域110のその他の構成も用いられ得る。

【0090】

次に、図8A - 8Cに示した構造上に、開口810を有する第1のマスク800が形成され、図9Aの上面図及び図9Bの断面図に示す構造が得られる。第1のマスク800は、第1のマスク800の層を堆積し、リソグラフィ技術を用いて、開口810を形成するように該層をパターニングすることによって形成され得る。第1のマスク800は例えば、窒化シリコン、酸化シリコン又は酸窒化シリコンなどのハードマスク材料を有し得る。

【0091】

第1のマスク800内の開口810は、レベル160 - 1乃至160 - 4のランドエリアの組み合わせの周囲を取り囲む。故に、開口810の幅192は、後に形成される導電体180がレベル160 - 1乃至160 - 4の開口を通過することができるよう、少なくとも、レベル160 - 1乃至160 - 4のランドエリアの幅と同じ大きさである。開口810の長さ194は、後に形成される導電体180がレベル160 - 1乃至160 - 4の開口を通過することができるよう、少なくとも、レベル160 - 1乃至160 - 4のランドエリアの長さの和と同じ大きさである。

【0092】

次に、図9A - 9Bに示した構造上に、開口810内を含めて、第2のエッチングマスク900が形成され、図10Aの上面図及び図10Bの断面図に示す構造が得られる。図示のように、第2のエッチングマスク900は、開口810の長さ194より小さい長さ910を有するとともに、開口810の幅192と少なくとも同じ大きさの幅を有する。

【0093】

図示した実施形態において、第2のエッチングマスク900は、開口810内の第2のマスク900の長さが後述の後続プロセス工程にて選択的に短縮されることができるよう、第1のマスク800に対して選択的にエッチングされることが可能な材料を有する。換言すれば、第2のマスク900の材料は、第2のマスク900の長さを短縮するために使用されるプロセスに関して、第1のマスク800の材料のエッチングレートより高いエッチングレートを有する。例えば、第1のマスク800がハードマスク材料を有する実施形態において、第2のマスクはフォトレジストを有することができる。

【0094】

次に、図10A - 10Bに示した構造上で、第1及び第2のマスク800、900をエッチングマスクとして用いてエッチング処理が実行され、図11Aの上面図及び図11Bの断面図に示す構造が得られる。このエッチング処理は、例えばタイミングモードのエッチングを用いて、単一のエッチングケミストリを使用して実行され得る。他の例では、このエッチング処理は、絶縁層166、レベル160 - 4、絶縁材料165 - 3及びレベル160 - 3を個別にエッチングするように異なるエッチングケミストリを用いて実行され得る。

【0095】

このエッチングは、レベル160 - 4を貫通してレベル160 - 3の一部を露出させる開口1000を形成する。開口1000は、レベル160 - 1のランドエリア161 - 1aの上に位置する。開口1000は、ランドエリア161 - 1aの長さと同じ大きさの長さ1002を有するとともに、ランドエリア161 - 1aの幅と同じ大きさの幅1004を有する。

10

20

30

40

50

【 0 0 9 6 】

このエッチングはまた、レベル 1 6 0 - 4 を貫通してレベル 1 6 0 - 3 の一部を露出させる開口 1 0 1 0 を形成する。開口 1 0 1 0 は、レベル 1 6 0 - 1 のランドエリア 1 6 1 - 1 b の上に位置する。開口 1 0 1 0 は、ランドエリア 1 6 1 - 1 b の長さと同じ大きさの長さ 1 0 1 2 を有するとともに、ランドエリア 1 6 1 - 1 b の幅と同じ大きさの幅 1 0 0 4 を有する。

【 0 0 9 7 】

次に、マスク 9 0 0 の長さ 9 1 0 が短縮されて、長さ 1 1 1 0 を有する短縮長マスク 1 1 0 0 が形成され、図 1 2 A の上面図及び図 1 2 B の断面図に示す構造が得られる。図示した実施形態において、マスク 9 0 0 はフォトリソストを有しており、例えば C 1₂ ベースあるいは H B r ベースのケミストリを用いた反応性イオンエッチングを用いて、トリミングされることができる。

10

【 0 0 9 8 】

次に、図 1 2 A - 1 2 B に示した構造上で、第 1 のマスク 8 0 0 及び短縮長マスク 1 1 0 0 をエッチングマスクとして用いてエッチング処理が実行され、図 1 3 A の上面図及び図 1 3 B の断面図に示す構造が得られる。

【 0 0 9 9 】

このエッチング処理は、レベル 1 6 0 - 3 を貫通して下に位置するレベル 1 6 0 - 2 の部分を露出させるように、開口 1 0 0 0、1 0 1 0 を延長させる。

【 0 1 0 0 】

20

このエッチングはまた、開口 1 2 0 0、1 2 1 0 を形成する。開口 1 2 0 0、1 2 1 0 は、マスク 1 1 0 0 の長さの短縮によってもはやマスク 1 1 0 0 に覆われなくなったレベル 1 6 0 - 4 の部分を貫通し、それによってレベル 1 6 0 - 3 の部分を露出させる。開口 1 2 0 0 は、開口 1 0 0 0 に隣接して形成され、且つレベル 1 6 0 - 2 のランドエリア 1 6 1 - 2 a の上に位置する。開口 1 2 0 0 は、ランドエリア 1 6 1 - 2 a の長さと同じ大きさの長さ 1 2 0 2 を有するとともに、ランドエリア 1 6 1 - 2 a の幅と同じ大きさの幅 1 2 0 4 を有する。

【 0 1 0 1 】

開口 1 2 1 0 は、開口 1 0 1 0 に隣接して形成され、且つレベル 1 6 0 - 2 のランドエリア 1 6 1 - 2 b の上に位置する。開口 1 2 1 0 は、ランドエリア 1 6 1 - 2 b の長さと同じ大きさの長さ 1 2 1 2 を有するとともに、ランドエリア 1 6 1 - 2 b の幅と同じ大きさの幅 1 2 0 4 を有する。

30

【 0 1 0 2 】

次に、マスク 1 1 0 0 の長さ 1 1 1 0 が短縮されて、長さ 1 3 0 5 を有する短縮長マスク 1 3 0 0 が形成される。第 1 のマスク 8 0 0 及びマスク 1 3 0 0 をエッチングマスクとして用いたエッチング処理が実行され、図 1 4 A の上面図及び図 1 4 B の断面図に示す構造が得られる。

【 0 1 0 3 】

このエッチング処理は、レベル 1 6 0 - 2 を貫通してレベル 1 6 0 - 1 のランドエリア 1 6 1 - 1 a、1 6 1 - 1 b を露出させるように、開口 1 0 0 0、1 0 1 0 を延長させる。このエッチング処理はまた、レベル 1 6 0 - 3 を貫通してレベル 1 6 0 - 2 のランドエリア 1 6 1 - 2 a、1 6 1 - 2 b を露出させるように、開口 1 2 0 0、1 2 1 0 を延長させる。

40

【 0 1 0 4 】

このエッチングはまた、開口 1 3 1 0、1 3 2 0 を形成する。開口 1 3 1 0、1 3 2 0 は、マスク 1 3 0 0 の長さの短縮によってもはや覆われなくなったレベル 1 6 0 - 4 の部分を貫通し、それによってレベル 1 6 0 - 3 のランドエリア 1 6 1 - 3 a、1 6 1 - 3 b を露出させる。

【 0 1 0 5 】

開口 1 3 1 0 は、開口 1 2 0 0 に隣接して形成される。開口 1 3 1 0 は、ランドエリア

50

1 6 1 - 3 a の長さ少なくとも同じ大きさの長さ 1 3 1 2 を有するとともに、ランドエリア 1 6 1 - 3 a の幅少なくとも同じ大きさの幅 1 3 1 4 を有する。

【0 1 0 6】

開口 1 3 2 0 は、開口 1 2 1 0 に隣接して形成される。開口 1 3 2 0 は、ランドエリア 1 6 1 - 3 b の長さ少なくとも同じ大きさの長さ 1 3 2 2 を有するとともに、ランドエリア 1 6 1 - 3 b の幅少なくとも同じ大きさの幅 1 3 2 4 を有する。

【0 1 0 7】

次に、図 1 4 A - 1 4 B に示した構造上に絶縁充填材料 1 4 0 0 が堆積され、且つ例えば化学機械研磨 (CMP) などの平坦化プロセスが実行されてマスク 8 0 0、1 3 0 0 が除去され、図 1 5 の断面図に示す構造が得られる。

10

【0 1 0 8】

次に、導電体 1 8 0 のためのランドエリアへのビアを画成するようにリソグラフィパターンが形成される。反応性イオンエッチングを適用して、絶縁充填材料 1 4 0 0 を貫通する深い高アスペクト比のビアを形成することができ、それにより、導電体 1 8 0 用のビアが配設される。ビアを開口した後、ビアは、導電体 1 8 0 を形成するよう、タングステン又はその他の導電材料で充填される。その後、相互接続配線 1 8 5 を形成するようにメタライゼーションプロセスが適用され、導電体 1 8 0 とデバイスのブレインデコーダ回路との間の相互接続が提供される。最後に、バックエンドオブライン (BEOL) プロセスが適用されて集積回路が完成され、図 3 A - 3 B に示した構造が得られる。

【0 1 0 9】

20

下に位置するレベルのランドエリアまで導電体を通すために使用される様々なレベル内の開口群は、単一のエッチングマスク 8 0 0 内の開口 8 1 0 と、クリティカルなアライメント工程を用いない追加マスクをエッチングするプロセスとを用いて、それらレベル群をパターンングすることによって形成される。結果として、縦方向にアライメントされた側壁を有する様々なレベル内の開口群がセルフアライン的に形成される。

【0 1 1 0】

上述の例において、マスク 8 0 0 の開口 8 1 0 は、平面図において、長方形の断面を有する。その結果、様々なレベルの開口群は横断方向において実質的に同じ幅を有する。他の例では、マスク 8 0 0 の開口は、様々なレベルのランドエリアの形状に応じて、円形、楕円形、正方形、長方形、又は幾らか不規則な形状である断面を有していてもよい。

30

【0 1 1 1】

例えば、マスク 8 0 0 の開口の幅は、異なる幅を有するランドエリア群に適合するように、長さ方向に沿って変化することができる。図 1 6 は、長さ方向においてステップ状に変化する幅を有するマスク 8 0 0 の開口 1 5 1 0 の平面図を示している。開口 1 5 1 0 は、それに従って、レベル群の開口群の幅を変化させる。

【0 1 1 2】

続いて、主として図 1 7 - 3 4 A を参照して本発明を説明する。

【0 1 1 3】

以下の説明は典型的に、具体的な構造上の実施形態及び方法を参照してのものである。理解されるように、本発明は、具体的に開示される実施形態及び方法に限定されるものではなく、その他の特徴、要素、方法及び実施形態を用いて実施されてもよい。本発明を例示するために好適な実施形態を説明するが、本発明の範囲は、それらの実施形態によって限定されず、請求項によって定められる。当業者は、以下の説明を受けて、多様な均等な変形例を認識するであろう。様々な実施形態における同様の要素は、似通った参照符号を以て参照することとする。

40

【0 1 1 4】

図 1 7 - 3 4 A は、3次元積層 IC デバイスの他の一例の構造及び製造方法を示しており、同様の構造物には似通った参照符号が付されている。図 1 7 及び 1 7 A は、この例に係る 3次元積層 IC デバイスの相互接続領域 1 7 の簡略化した断面図及び平面図である。この例において、相互接続領域 1 7 は、1 8 . 1 - 1 8 . 4 を付した 4 つの相互接続レベ

50

ル 1 8 と、5 4 . 1 - 5 4 . 4 を付した 4 つの導電体 5 4 と、グランド導電体 5 5 とを含んでいる。導電体 5 4 は、コンタクトレベル 1 8 の、3 4 . 1 - 3 4 . 4 を付した導電層 3 4 の、1 4 . 1 - 1 4 . 4 を付した相互接続コンタクト領域 1 4 のうちの 1 つに電氣的に接続するために、コンタクトレベル 1 8 を通る第 1 の部分 5 7 と、層間誘電体 5 2 及び電荷トラップ層 2 7 を通る第 2 の部分 5 9 とを有している。第 1 の部分 5 7 は、誘電体の側壁スペーサ 6 1 によって囲まれており、それにより、導電体 5 4 は、その導電体が電気接触を形成しない導電層 3 4 から電氣的に分離されている。また、各コンタクトレベル 1 8 の各導電層 3 4 に電氣的に接続されたグランド導電体 5 5 が示されている。

【 0 1 1 5 】

図 1 8 及び 1 8 A は、相互接続領域 1 7 の製造における初期工程を示している。フォトレジスト 8 8 が、3 3 . 1 - 3 3 . 4 を付したコンタクト開口 3 3 及び図 1 8 A に示すグランドコンタクト開口 3 5 のエッチングに使用される。コンタクト開口 3 3 及びグランドコンタクト開口 3 5 は、上部層 2 4 を貫通し、第 1 のコンタクト層 1 8 . 1 の上側の導電層 3 4 . 1 を露出させる。コンタクト開口 3 3 のエッチングに続いて、フォトレジスト 8 8 が剥離され、図 1 9 及び 1 9 A に示すように相互接続領域 1 7 上に第 1 のフォトレジストマスク 8 9 が形成される。第 1 のマスク 8 9 は 1 つおきにコンタクト開口を露出させ、すなわち、この例ではコンタクト開口 3 3 . 2 及び 3 3 . 4 を露出させる。図 1 9 A にて見て取れるように、マスク 8 9 はまた、グランドコンタクト開口 3 5 を覆う。図 1 7 と図 1 8 とを比較することによって理解されるように、コンタクト開口 3 3 の位置は導電体 5 4 の位置を決定し、グランドコンタクト開口 3 5 の位置はグランド導電体 5 5 の位置を決定する。この例において、導電体 5 4 ひいては相互接続コンタクト領域 1 4 は一定のピッチを有する。

【 0 1 1 6 】

図 2 0 及び 2 0 A は、露出されたコンタクト開口 3 3 . 2 及び 3 3 . 4 の下の単一のコンタクトレベル 1 8 . 1 を貫通させるエッチングの結果を示している。その後、第 1 のマスク 8 9 は剥離され、続いて、図 2 1 及び 2 1 A に示す第 2 のフォトレジストマスク 9 0 が形成される。第 2 のマスク 9 0 は、コンタクト開口 3 3 . 1 及び 3 3 . 2 並びにグランドコンタクト開口 3 5 を覆いながらコンタクト開口 3 3 . 3 及び 3 3 . 4 を露出させるために使用される。図 2 1 は、第 1 のマスク 8 9 の除去及び図 2 0 の構造上の第 2 のマスク 9 0 の形成の結果を示しており、左から数えて 1 番目及び 2 番目のコンタクト開口 3 3 . 1 及び 3 3 . 2 が第 2 のマスクで覆われ、3 番目及び 4 番目のコンタクト開口 3 3 . 3 及び 3 3 . 4 が開放されている。

【 0 1 1 7 】

図 2 2 及び 2 2 A は、3 番目及び 4 番目のコンタクト開口 3 3 . 3 及び 3 3 . 4 の 2 つのコンタクトレベルを貫通させるエッチングの結果を示している。すなわち、コンタクト開口 3 3 . 3 を介してコンタクトレベル 1 8 . 1 及び 1 8 . 2 がエッチングされ、コンタクト開口 3 3 . 4 を介してコンタクトレベル 1 8 . 2 及び 1 8 . 3 がエッチングされる。図 2 3 及び 2 3 A は、図 2 2 の第 2 のマスク 9 0 の除去後の図 2 2 の構造を示している。見て取れるように、コンタクト開口 3 3 . 1 - 3 3 . 4 は下方にコンタクトレベル 1 8 . 1 - 1 8 . 4 の導電層 3 4 . 1 - 3 4 . 4 まで延在している。

【 0 1 1 8 】

図 2 4 及び 2 4 A は、コンタクト開口 3 3 . 1 - 3 3 . 4 の側壁への側壁スペーサ 6 1 の形成後の図 2 3 の構造を示している。側壁スペーサ 6 1 はコンタクト開口 3 3 . 2 、3 3 . 3 及び 3 3 . 4 を、それらのコンタクト開口が通過するコンタクトレベル 1 8 の導電層 3 4 から電氣的に絶縁する。

【 0 1 1 9 】

図 2 5 及び 2 5 A は、図 2 5 にグランドコンタクト開口 3 5 を通る断面図を追加した図 2 4 の構造を示している。コンタクト開口 3 3 の全てがフォトレジスト 9 2 で覆われ、グランドコンタクト開口 3 5 は露出されたままにされている。図 2 6 及び 2 6 A は、導電層 3 4 . 1 - 3 4 . 4 をグランドコンタクト開口 3 5 の内側に露出させる、グランドコンタ

クト開口 3 5 の位置の 3 つのコンタクトレベル 1 8 を貫通させるエッチングの後の、図 2 5 の構造を示している。図 2 7 及び 2 7 A は、フォトレジスト 9 2 を除去した後の図 2 6 の構造を示している。

【 0 1 2 0 】

図 2 8 及び 2 8 A は、典型的にはポリシリコンである導電材料 9 3 を堆積し、それにより、コンタクト開口 3 3 及びグランドコンタクト開口 3 5 を充填した後の、図 2 7 の構造を示している。コンタクト開口 3 3 及びグランドコンタクト開口 3 5 内の材料 9 3 は、それぞれ、導電体 5 4 及びグランド導電体 5 5 を形成する。所望の場合には、グランド導電体 5 5 とコンタクトレベル 1 8 の導電層 3 4 との間の電気接触を強化するため、グランドコンタクト開口 3 5 内にグランド導電体 5 5 を形成するのに先立って、グランドコンタクト開口の側壁の絶縁層 3 6 をエッチバックあるいはその他の方法で除去することができる。これは、図 2 8 に、グランド導電体 5 5 を囲む絶縁層 3 6 内の破線によって指し示されている。導電材料 9 3 はまた、上部層 2 4 の誘電体層 2 6 を覆っている。その後、図 2 8 の構造がエッチングされて、誘電体層 2 6 を覆う材料 9 3 の層が除去される。これは、図 2 9 及び 2 9 A に示されている。図 2 9 の構造は電荷トラップ層 2 7 まで下方に、例えば化学機械研磨にかけられ、図 3 0 の構造が得られる。

【 0 1 2 1 】

図 3 1 及び 3 1 A は、典型的には窒化シリコンであるストッパ層 9 6 の堆積とそれに続くストッパ層上への層間誘電体 9 7 の堆積との後の図 3 0 の構造を示している。次に、図 3 1 の構造は、5 4 . 1 - 5 4 . 4 を付した導電体 5 4 及びグランド導電体 5 5 まで層間誘電体 9 7 及びストッパ層 9 6 を貫通するように形成された、コンタクト開口 3 3 及びグランドコンタクト開口 3 5 の延在部を有するようにされる。これに続いて、図 3 2 及び 3 2 A を参照するに、それら延在部への例えばタンゲステンなどの導電材料の充填が行われ、導電体 5 4 及びグランド導電体 5 5 が作り出される。導電体 5 4 は、コンタクトレベル 1 8 内を延在する第 1 の部分 5 7 と、上部層 2 4 内を延在する第 2 の部分 5 9 とを有する。

【 0 1 2 2 】

一部の例において、層 9 6 は窒化シリコンであり、層間誘電体 9 7 は二酸化シリコンである。しかしながら、層 9 6 は、例えば二酸化シリコン又は酸化シリコンと窒化シリコンとの交互層など、その他の誘電体材料を有していてもよい。側壁スペーサ 3 0 は、窒化シリコンとし得るが、例えば二酸化シリコン又は多層の酸化物 / 窒化シリコンなど、その他の材料を有していてもよい。同様に、誘電体層 2 5 は、典型的には窒化シリコンであるが、例えば二酸化シリコンなどであってもよい。導電体 5 4 の第 1 の部分 5 7 は、典型的にはポリシリコンであるが、例えば N + ポリシリコン、タンゲステン、TiN など、その他の導電材料であってもよい。また、導電体 5 4 の長さ全体が、例えばタンゲステンなどの同一材料であってもよい。

【 0 1 2 3 】

図 3 3 は、1 6 個のコンタクト開口の組を図式的に示したものであり、4 つの異なるセットのコンタクト開口 3 3 が、1 6 個のコンタクトレベル 1 8 へのアクセスを提供するように、4 つのマスクのみを用いて 1 6 個の異なる深さまでエッチングされることを示している。

【 0 1 2 4 】

図 3 4 及び 3 4 A は、3 次元積層 IC デバイスの断面図及び平面図である。図 3 4 は、1 つのワードライン 9 4 を通るようにならされており、ワードライン 9 4 は、層 9 5 によって、例えば誘電体層と半導体層とが交互にされたスタックから電氣的に絶縁されている。層 9 5 は、例えば、酸化シリコンと、電荷トラップ層として機能する窒化シリコンとの交互層とし得る。

【 0 1 2 5 】

以下の例は、3 次元積層 IC デバイスの相互接続領域 1 7 のコンタクトレベル 1 8 のスタックにおいて、ランドエリア 5 6 への電気接続を実現する方法を説明するものである。

この例において、相互接続領域 17 は上部層 24 と上部層の下のコントラクトレベル 18 のスタックとを含んでおり、各コントラクトレベルは導電層 34 と絶縁層 36 とを有する。相互接続領域 17 の上に位置する上部層 24 の少なくとも一部は、第 1 のコントラクトレベル 18 . 1 を露出させ且つ各コントラクトレベル 18 のコントラクト開口 33 を作り出すために除去される。これは図 18 に例示されている。

【0126】

N 個のエッチングマスクのセットを使用することで、コントラクトレベル 18 のスタックにおける相互接続コントラクト領域 14 の最大 2^N 個のレベルが作り出される。殆どの図は 4 つのコントラクトレベル 18 を有する例を示していたが、この例においては、コントラクトレベルの数は 16 コントラクトレベル、故に、 $N = 4$ まで増加される。ここでの説明において、16 個のコントラクト開口 33 の図形表示を含んだ図 33 も参照する。複数のマスクを用いて、最大 2^N 個のコントラクトレベル、この例では 16 コントラクトレベル、のコントラクト開口 33 がエッチングされる。工程群は以下のように実行される。

【0127】

第 1 のマスク 89 (図 19 参照) を用いて、1 つおきのコントラクト開口にて、1 つのコントラクトレベル 18 をエッチングする。第 1 のマスク 89 によって覆われないコントラクト開口は、図 33 において、コントラクト開口 33 . 2、33 . 4 などを含む点線の枠によって識別されている。次に、第 2 のマスク 90 (図 21 参照) を用いて、一連の 1 番目乃至 4 番目のコントラクト開口の組における 3 番目及び 4 番目のコントラクト開口にて、2 つのコントラクトレベルをエッチングする。第 2 のマスク 90 は、図 33 において、4 個のコントラクト開口の組のうちの 2 つの隣接コントラクト開口を各枠が囲む 4 個の短破線の枠によって識別されている。この例において、エッチングされる 3 番目及び 4 番目のコントラクト開口は、第 1 のコントラクト開口 33 . 1 乃至第 4 のコントラクト開口 33 . 4 の組におけるコントラクト開口 33 . 3 及び 33 . 4 と、コントラクト開口 33 . 5 - 33 . 8 の組におけるコントラクト開口 33 . 7 及び 33 . 8 と、等々である。図 22 にて見て取れるように、第 1 及び第 2 のマスク 89、90 の使用により、4 つのコントラクトレベル 18 . 1 - 18 . 4 の各々までのコントラクト開口 33 が提供される。

【0128】

16 個のコントラクトレベル 18 を有するこの例を引き続き説明するに、第 3 のマスク (図示せず) を用いて、一連の 1 番目から 8 番目のコントラクト開口の組における 5 番目乃至 8 番目のコントラクト開口 33 にて、4 つのコントラクトレベルをエッチングする。これは、図 33 に、2 つの長破線の枠によって指し示されている。第 4 のマスク (図示せず) を用いて、一連の 1 番目乃至 16 番目のコントラクト開口の少なくとも 1 つの組における 9 番目乃至 16 番目のコントラクト開口にて、8 つのコントラクトレベルをエッチングする。これは、図 33 に、1 つの実線の枠によって指し示されている。なお、第 1、第 2、第 3 及び第 4 のマスクの各々を用いて、コントラクト開口群の半数がエッチングされる。

【0129】

コントラクト開口 33 の側壁の各々に誘電体層 61 (図 24 参照) が形成される。そして、コントラクト開口 33 を通ってコントラクトレベル 18 の相互接続コントラクト領域 14 まで、導電体 54 が形成され、誘電体層が、導電体 54 を、側壁に沿った導電層 34 から電氣的に絶縁する。

【0130】

図 18 及び 19 を参照して説明したように、グランドコントラクト開口 35 は典型的に、コントラクト開口 33 . 1 と同じようにして形成される。しかしながら、コントラクト開口 33 内に導電体 54 を形成するのに先立って、上部層 24 内のグランドコントラクト開口 35 の部分が側壁スペースで覆われ (図 24 参照)、複数のコントラクトレベル 18 を貫通するようにエッチングされ (図 26 参照)、そしてその後、図 28 に示すように、グランド導電体 55 を作り出すように導電材料で充填される。グランド導電体 55 は各導電層 34 に電氣的に接触する。対照的に、導電体 54 . 1 - 54 . 4 は、誘電体側壁スペース 61 の使用により、単一の導電層 34 のみに接触する。一部の例において、各グランド導電体

10

20

30

40

50

5 5 は、各導電層 3 4 と電氣的に接触しなくてもよい。

【0131】

上述の例においては、コンタクト開口 3 3 を左から右へと数えてきた。所望の場合には、コンタクト開口を、左から右又は右から左の何れで数えてもよいし、設計要求に応じてその他の順序で数えてもよい。重要なことは、各マスクによって常に、実効的に半数のコンタクトが開放されることである。すなわち、偶数個のコンタクト開口が存在するとき、各マスクはコンタクトのうちの半数を開放することになり、また、例えば 1 5 など、奇数個のコンタクト開口が存在するとき、各マスクは、例えば 7 又は 8 など、半数より僅かに少なく、或いは多く開放することになる。各工程での 1 層 / 2 層 / 4 層 / 8 層の除去は、各工程での 2^0 乃至 $2^{(N-1)}$ 層の除去と表現することもできる。

10

【0132】

図 3 5 に、図 3 3 のマスキング・エッチング手順を別の様式で示す。図 3 5 及びそれに続く図 3 6 - 3 9 において、0 はダーク、すなわち、フォトレジスト材料を有することを表し、1 はオープン、すなわち、フォトレジスト材料を有しないことを表している。故に、各マスクに関して、1 6 個のコンタクト開口のうち 8 個がオープンにされている。

【0133】

図 3 3 及び 3 5 のエッチングプロセス例がマスク 1 - 4 に関して 1 / 2 / 4 / 8 層 (レイヤ) を除去する場合、エッチングシーケンスによって設置される (すなわち、そこまでエッチングされる) コンタクトレベルは、設置レイヤ宛先 0 - 1 5 によって特定され得る。各位置 A - P に設置される (そこまでエッチングされる) 結果レベルは、設置レイヤ 0

20

【0134】

その他のエッチングシーケンスも使用され得る。例えば、図 3 6 は、マスク 1 及びマスク 4 によってエッチングされるレイヤ数が交換され、故に、マスク 1 によって 8 層が、マスク 2 によって 2 層が、マスク 3 によって 4 層が、そしてマスク 4 によって 1 層がエッチングされるエッチングシーケンス変更を示している。各位置 A - P に設置される (そこまでエッチングされる) 結果レベルは、設置レイヤ 0、8、2、1 0 等々として示されている。

【0135】

図 3 5 と 3 6 とを比較することによって例示されるようにエッチングシーケンスを変更する、すなわち、各マスクによってエッチングされるレイヤ数を変更することに代えて (あるいは加えて)、マスクシーケンスが変更されてもよい。これは図 3 7 に例示されている。図 3 7 においては、図 3 5 と同様に、マスク 2 は 2 層をエッチングし、マスク 3 は 4 層をエッチングする。しかしながら、図 3 5 の例におけるマスク 2 のマスクシーケンス (0 0 1 1 0 0 1 1 ···) が、図 3 7 の例ではマスク 3 のマスクシーケンスになっており、且つ図 3 5 の例におけるマスク 3 のマスクシーケンス (0 0 0 0 1 1 1 1 0 0 0 0 ···) が、図 3 7 のマスク 2 のマスクシーケンスになっている。各位置 A - P に設置される (そこまでエッチングされる) 結果レベルは、設置レイヤ 0、1、4、5 等々として示されている。

30

【0136】

図 3 8 は、位置変更と称するものを例示している。この例においては、マスク 1 - 4 でエッチングされるレイヤ数は図 3 5 においてと同じであり、各位置 A - P の設置レイヤも位置 A のレイヤ 0 及び位置 J のレイヤ 9 を含めて同じであるが、位置 A と位置 J とが入れ替えられている。しかしながら、位置 A - P の各々のエッチングは、図 3 5 の例と図 3 8 の例との双方で同じである。各位置 J、B、C、D 等々に設置される (そこまでエッチングされる) 結果レベルは、設置レイヤ 9、1、2、3 等々として示されている。

40

【0137】

図 3 9 は、図 3 5 の第 1 の例を用いて、図 3 6 のエッチングシーケンス変更と、図 3 7 のマスクシーケンス変更と、図 3 8 の位置変更とを行うときの結果を示している。しかしながら、得られる構造は依然として、1 6 個の異なる位置に対して 1 6 個の異なる設置レ

50

イヤを有する。各位置 J、B、C、D 等々に設置される（そこまでエッチングされる）結果レベルは、設置レイヤ 9、8、4、12 等々として示されている。

【0138】

以上にて参照した全ての特許、特許出願及び刊行物をここに援用する。

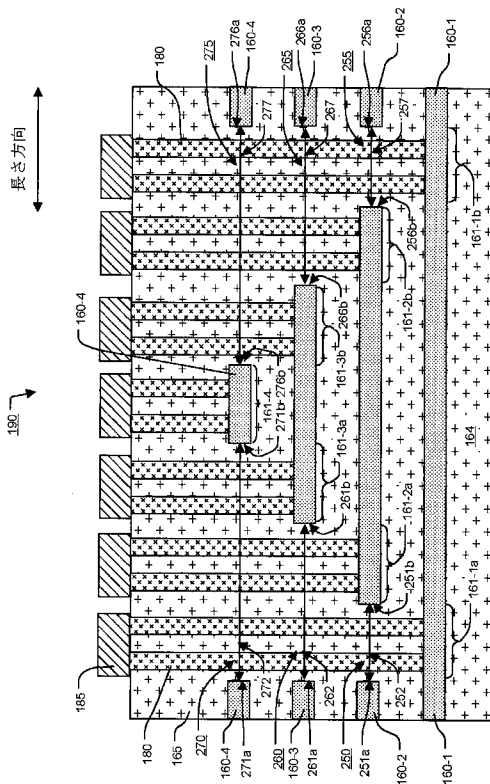
【0139】

好適な実施形態及び例を参照することによって本発明を開示したが、理解されるように、これらの例は限定的なものではなく例示的なものである。当業者は容易に、本発明の精神の範囲内且つ以下の請求項の範囲内にある変更及び組み合わせに想到するであろう。

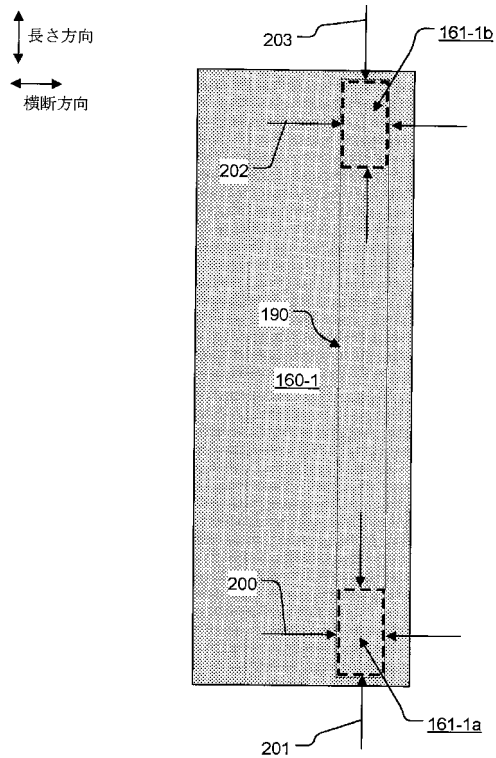
【0140】

本出願は、2011年5月24日に出願された米国特許出願第13/114,931号の利益を主張するものであり、その内容をここに援用する。 10

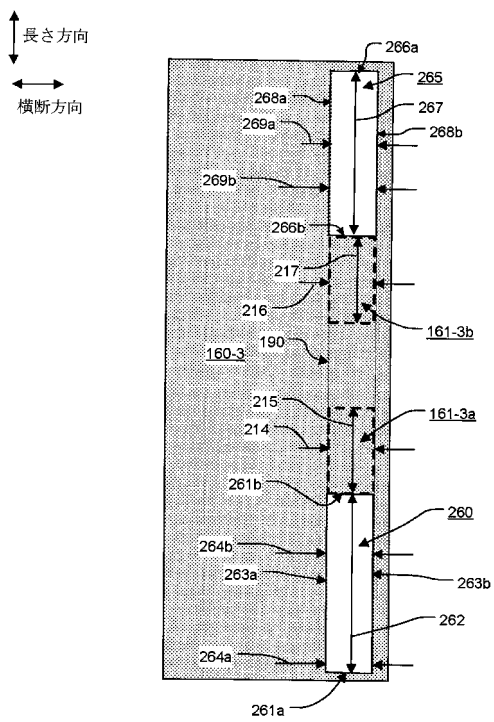
【図1】



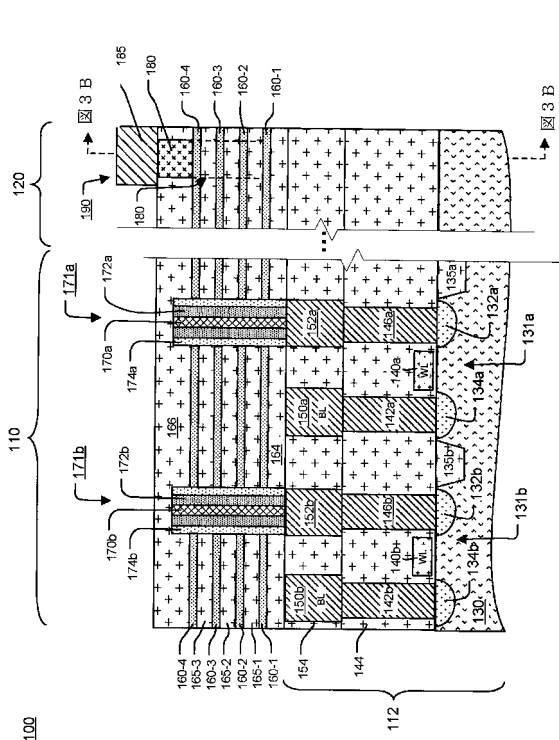
【図2A】



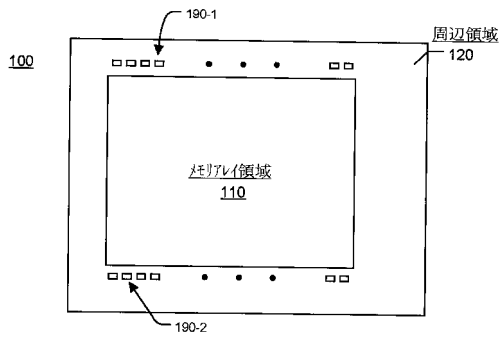
【 図 2 C 】



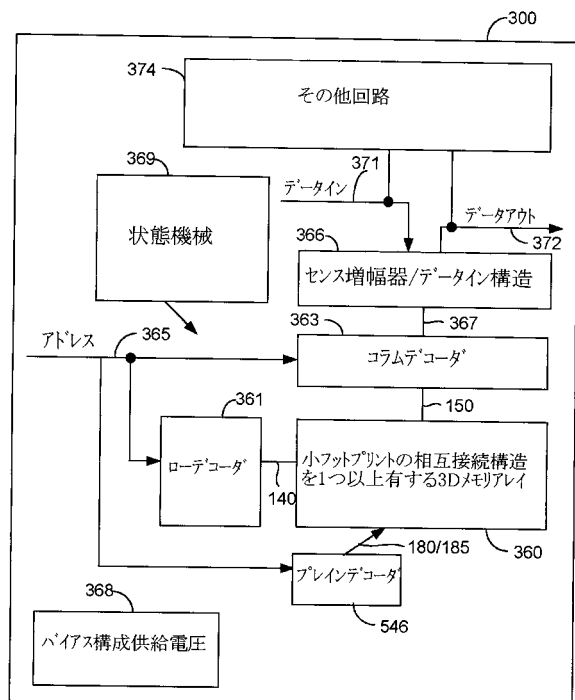
【 ㄨ 3 A 】



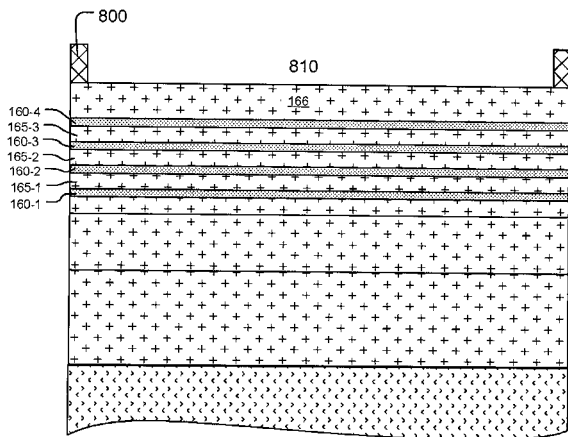
【 図 4 】

[illegible]

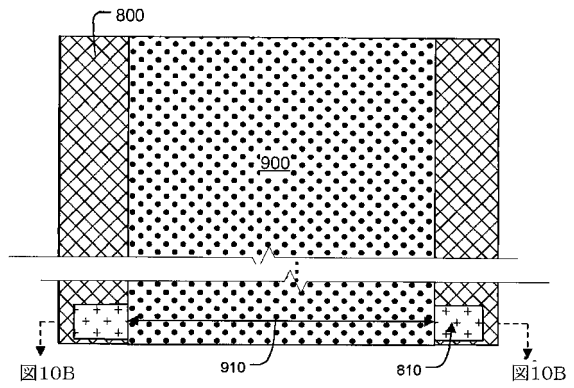
【 図 7 】



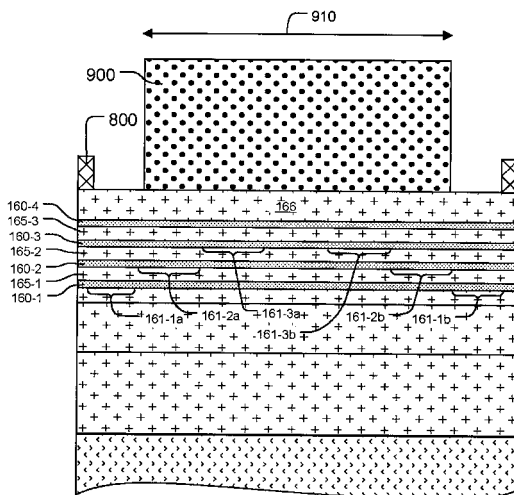
【図 9 B】



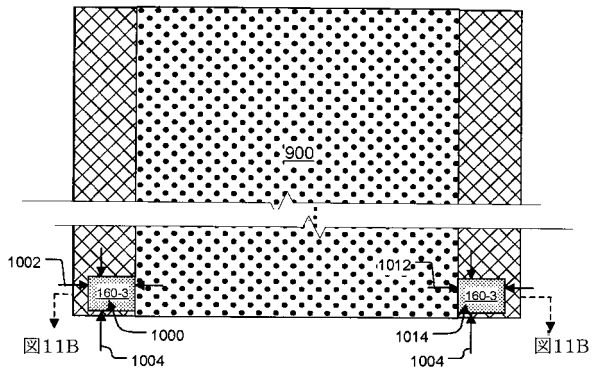
【図 10 A】



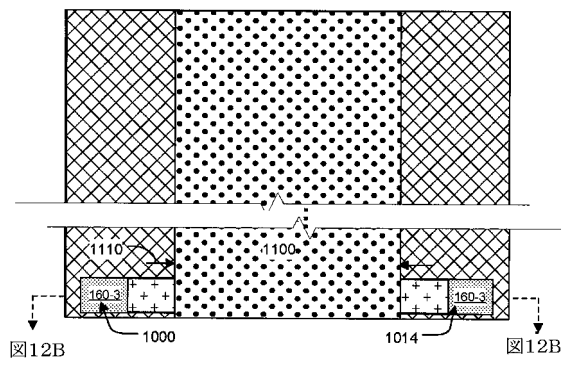
【図 10 B】



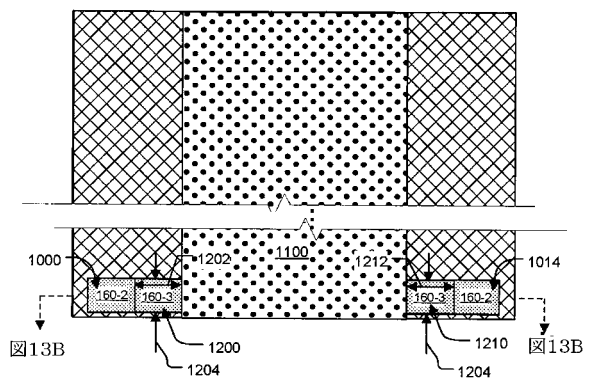
【図 11 A】



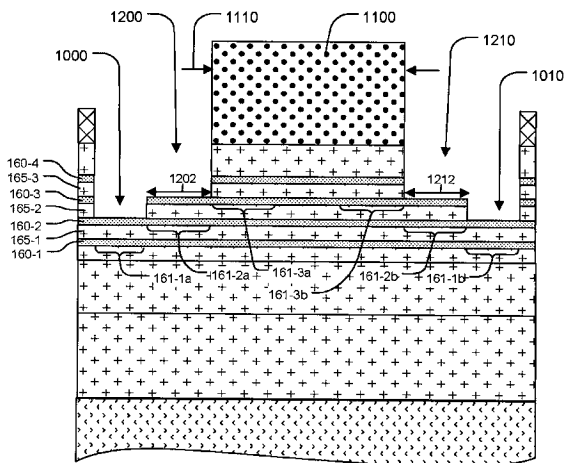
【 図 1 2 A 】



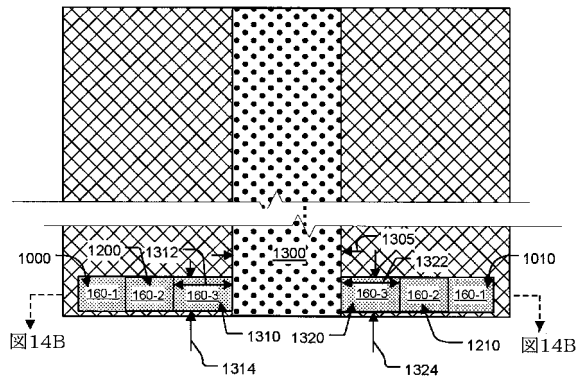
【 図 1 3 A 】



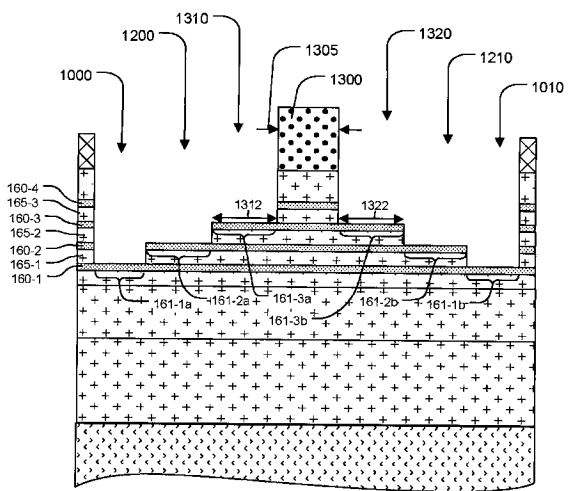
【図 1 3 B】



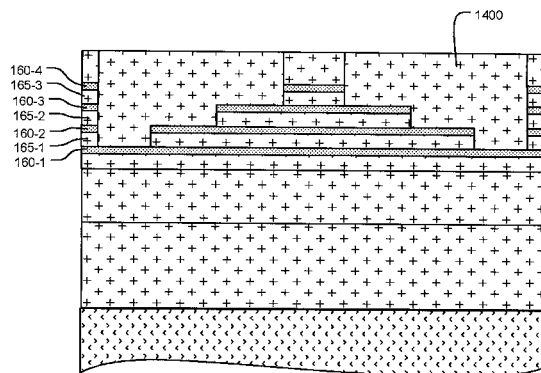
【図 1 4 A】



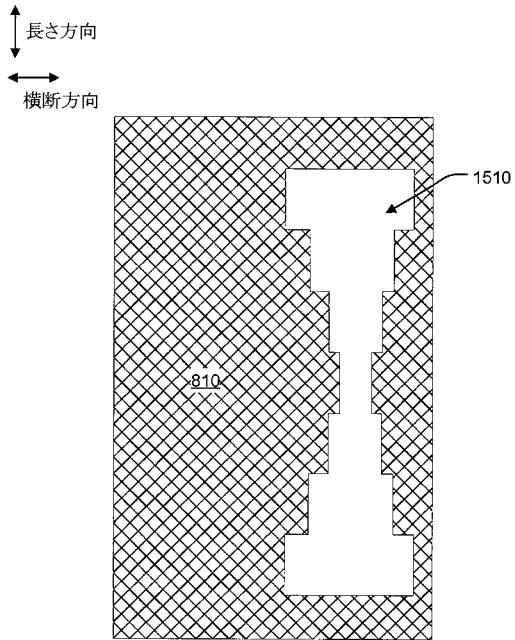
【図 1 4 B】



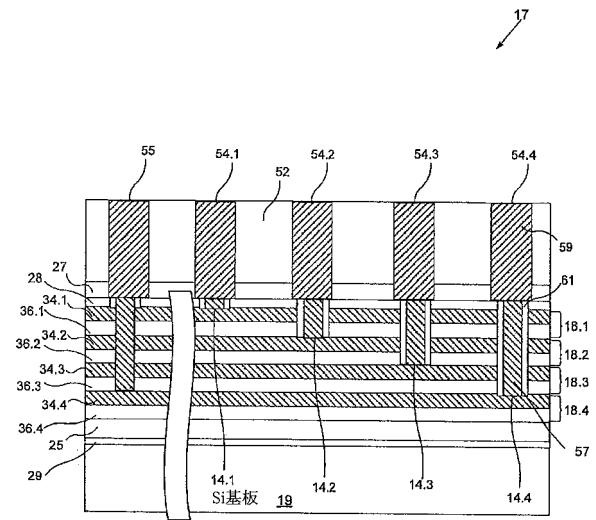
【図 1 5】



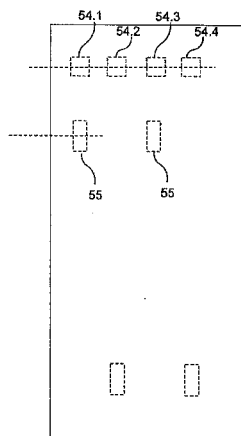
【図 16】



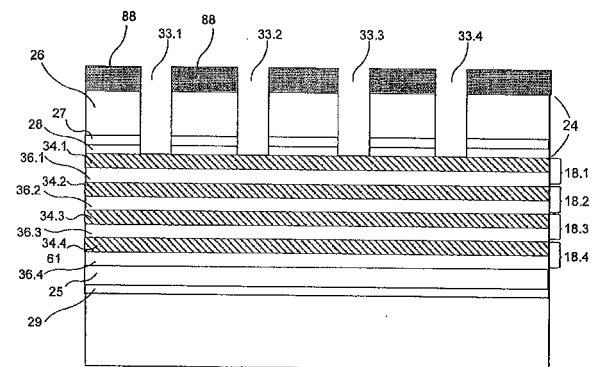
【図 17】



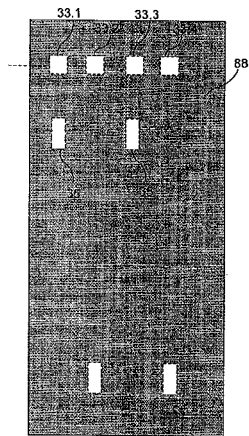
【図 17A】



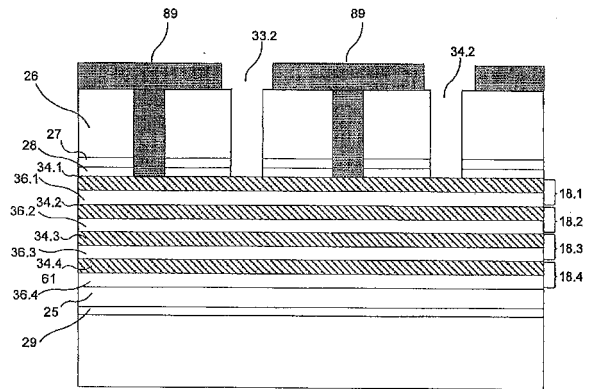
【図 18】



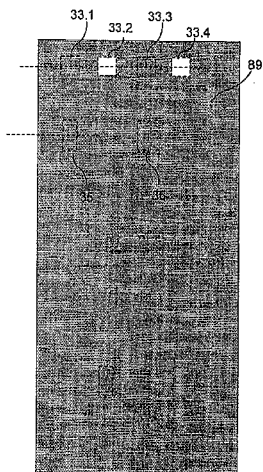
【図 18 A】



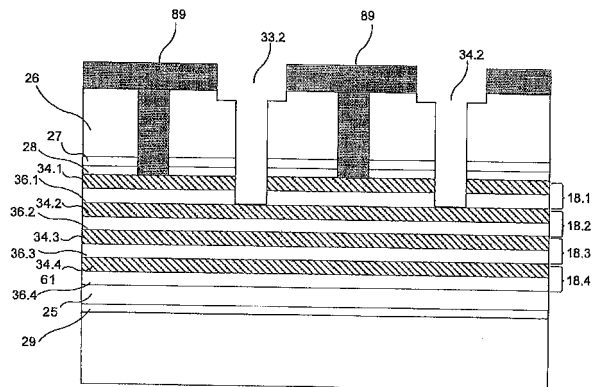
【図 19】



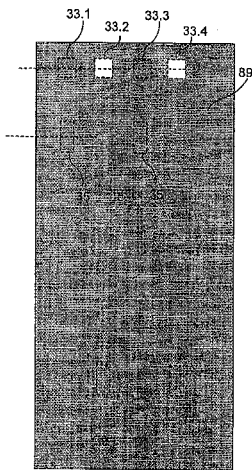
【図 19 A】



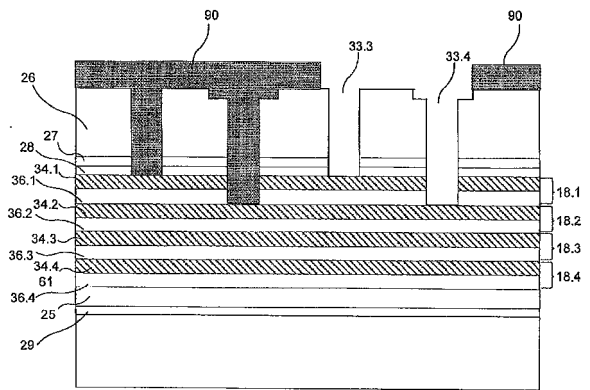
【図 20】



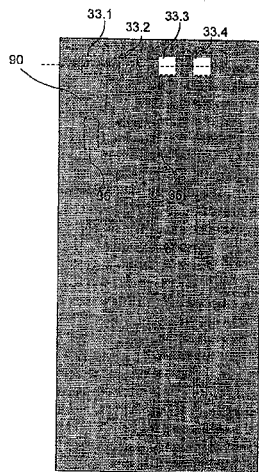
【図 20 A】



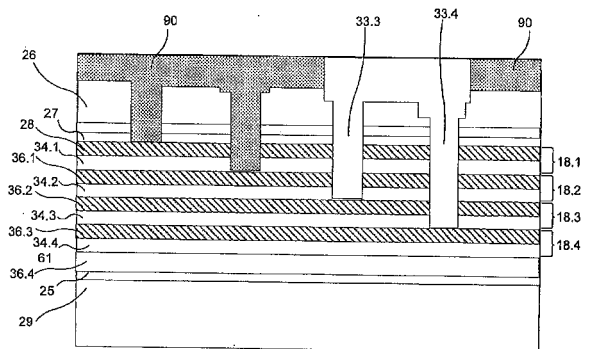
【図 21】



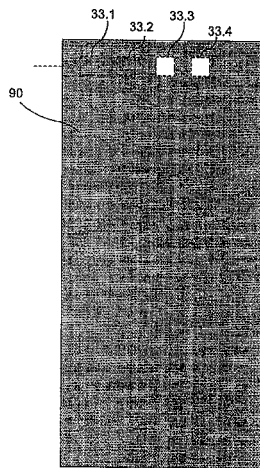
【図 21 A】



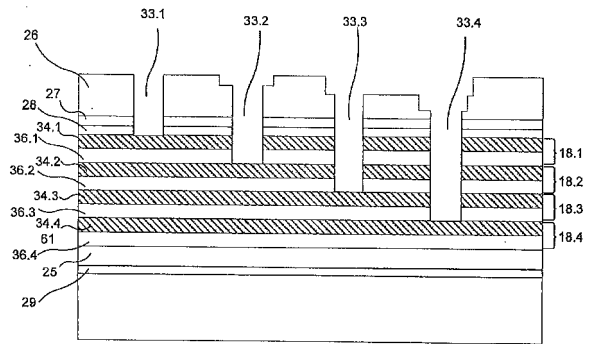
【図 22】



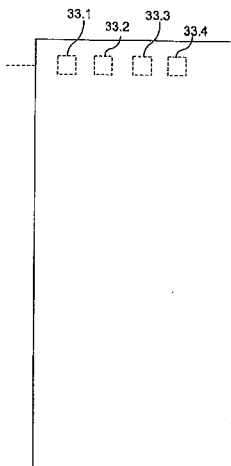
【図 2 2 A】



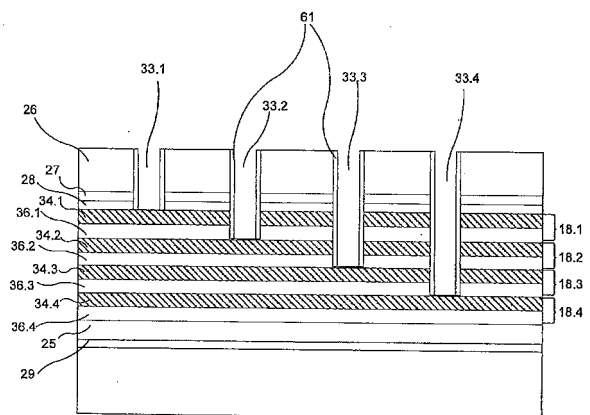
【図 2 3】



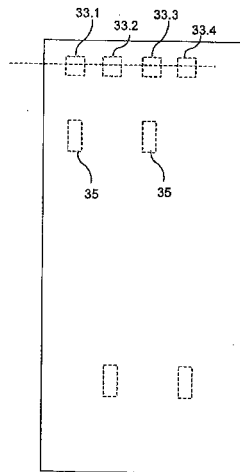
【図 2 3 A】



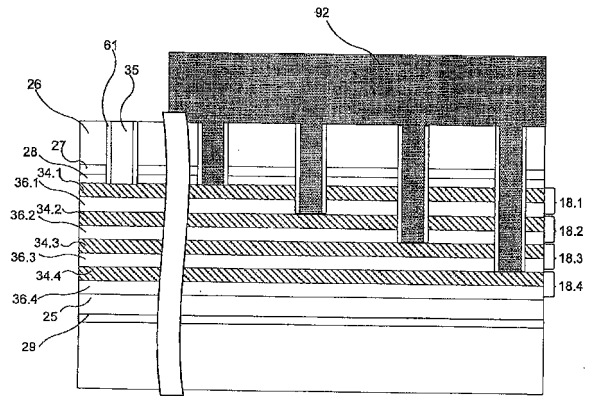
【図 2 4】



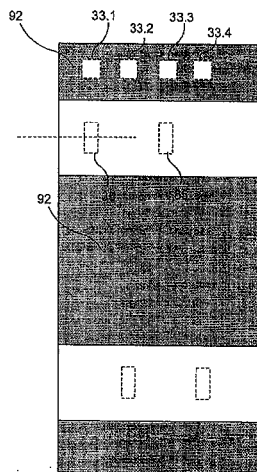
【図 24 A】



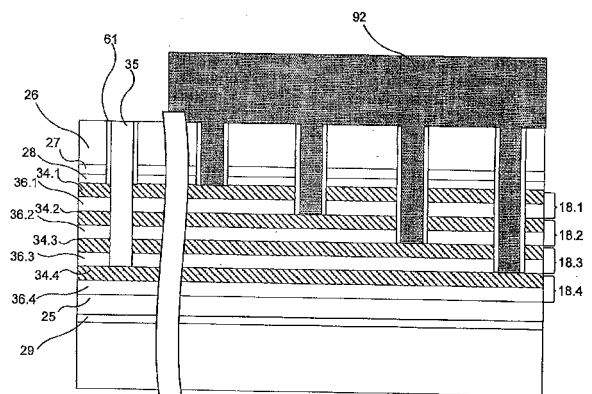
【図 25】



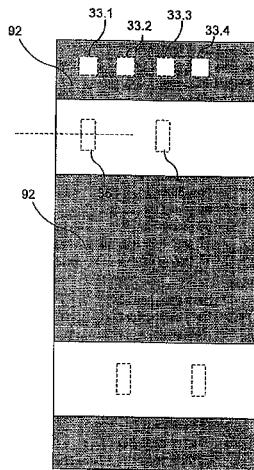
【図 25 A】



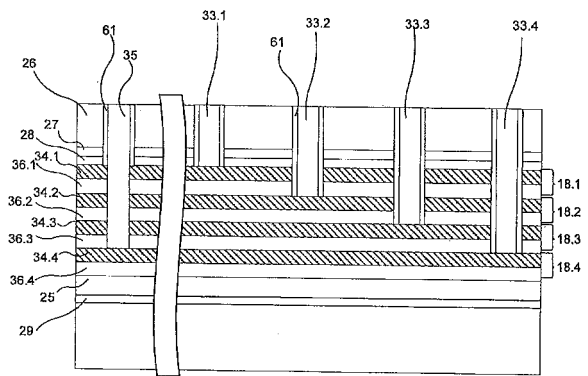
【図 26】



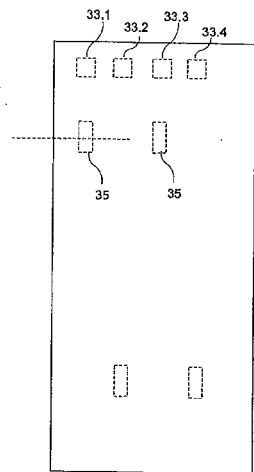
【図 26 A】



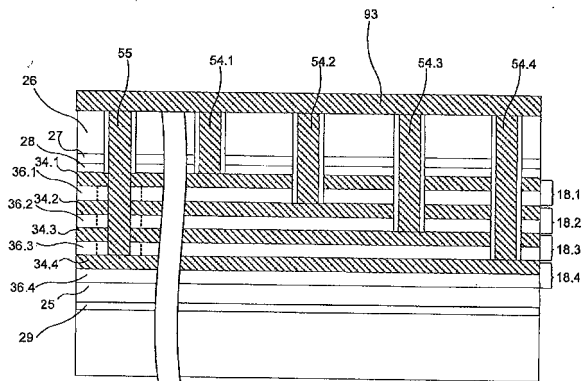
【図 27】



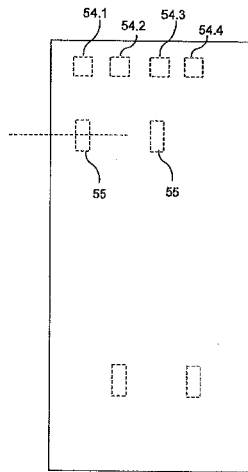
【図 27 A】



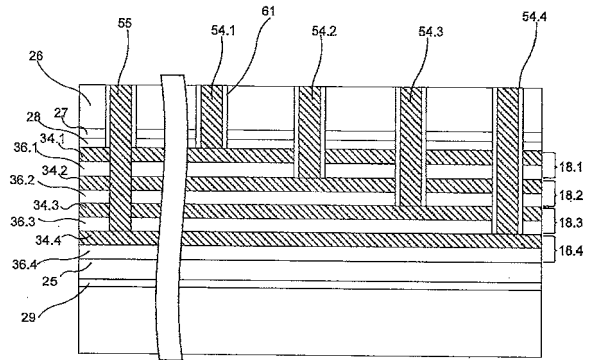
【図 28】



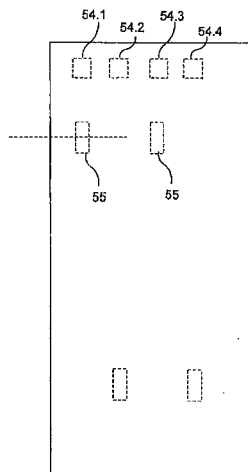
【図 28 A】



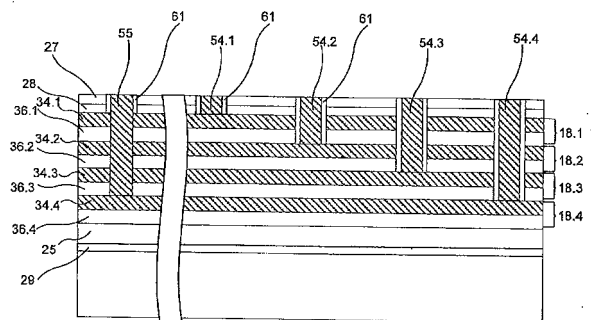
【図 29】



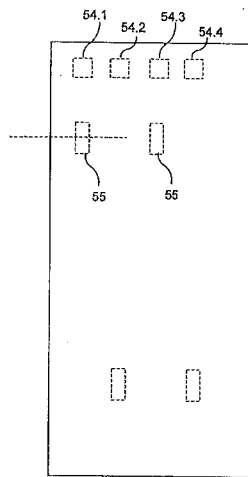
【図 29 A】



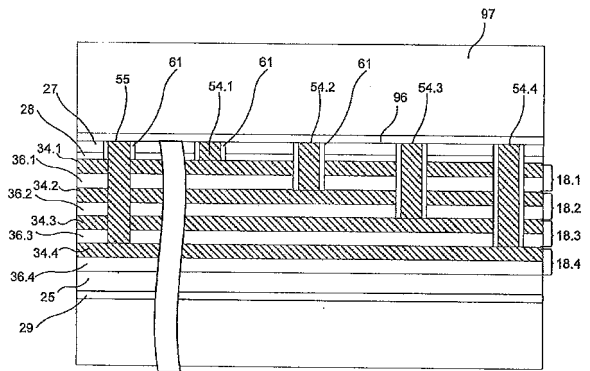
【図 30】



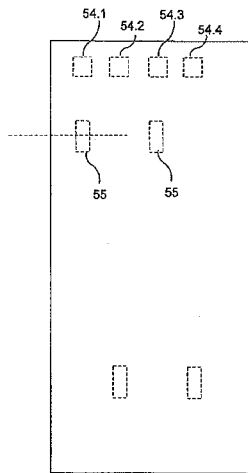
【図 30 A】



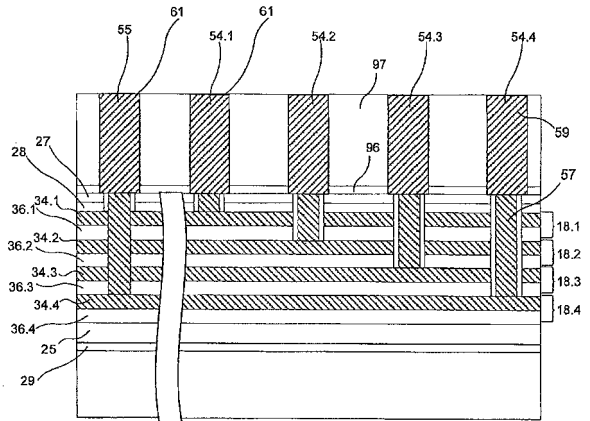
【図 31】



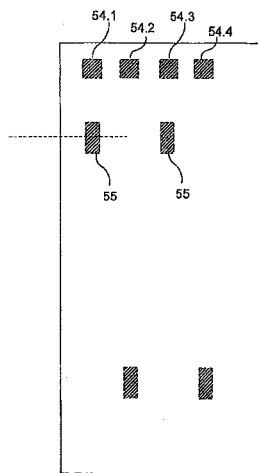
【図 31 A】



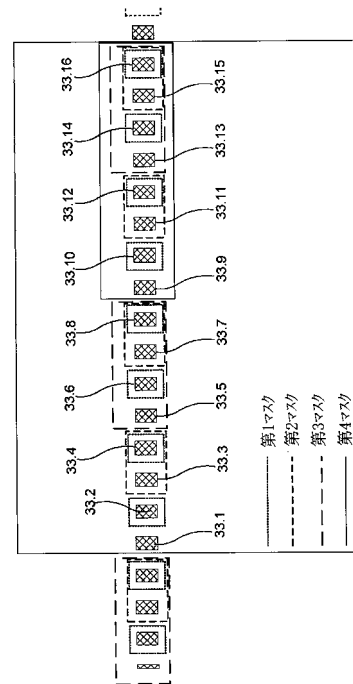
【図 32】



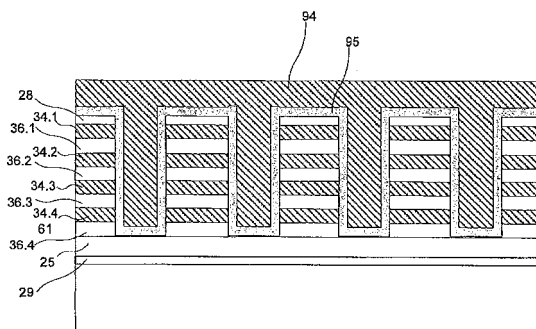
【図 3 2 A】



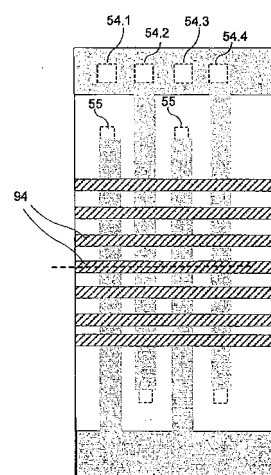
【図 3 3】



【図 3 4】



【図 3 4 A】



【図 3 5】

第1の例

| | エンタ外開口位置 | | | | | | | | | | | | | | | |
|------|----------|---|---|---|---|---|---|---|---|---|----|----|----|----|----|----|
| | A | B | C | D | E | F | G | H | I | J | K | L | M | N | O | P |
| マス1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| マス2 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| マス3 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| マス4 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 設置レイ | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 |

【図 3 6】

エンタ外開口位置変更

| | エンタ外開口位置 | | | | | | | | | | | | | | | |
|------|----------|---|---|----|---|----|---|----|---|---|---|----|---|----|---|----|
| | A | B | C | D | E | F | G | H | I | J | K | L | M | N | O | P |
| マス1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| マス2 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| マス3 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| マス4 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 設置レイ | 0 | 8 | 2 | 10 | 4 | 12 | 6 | 14 | 1 | 9 | 3 | 11 | 5 | 13 | 7 | 15 |

【図 3 7】

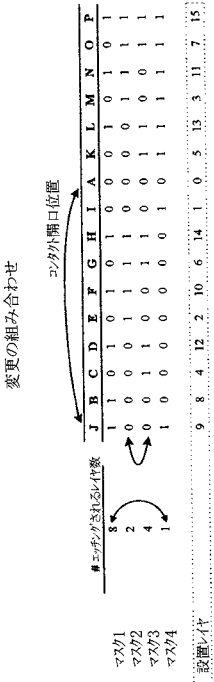
マス外開口位置変更

| | エンタ外開口位置 | | | | | | | | | | | | | | | |
|------|----------|---|---|---|---|---|---|---|---|---|----|----|----|----|----|----|
| | A | B | C | D | E | F | G | H | I | J | K | L | M | N | O | P |
| マス1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| マス2 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| マス3 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| マス4 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 設置レイ | 0 | 1 | 4 | 5 | 2 | 3 | 6 | 7 | 8 | 9 | 12 | 13 | 10 | 11 | 14 | 15 |

【図 3 8】

位置変更

| | エンタ外開口位置 | | | | | | | | | | | | | | | |
|------|----------|---|---|---|---|---|---|---|---|---|----|----|----|----|----|----|
| | J | B | C | D | E | F | G | H | I | A | K | L | M | N | O | P |
| マス1 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 |
| マス2 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| マス3 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 |
| マス4 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 設置レイ | 9 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 0 | 10 | 11 | 12 | 13 | 14 | 15 |



フロントページの続き

| (51)Int.Cl. | F I | テーマコード (参考) |
|---------------------------|-----------------------|-------------|
| H 0 1 L 21/336 (2006.01) | H 0 1 L 27/10 4 3 1 | |
| H 0 1 L 29/788 (2006.01) | H 0 1 L 27/08 1 0 2 E | |
| H 0 1 L 29/792 (2006.01) | H 0 1 L 27/08 1 0 2 D | |
| H 0 1 L 21/8234 (2006.01) | H 0 1 L 27/08 1 0 2 H | |
| H 0 1 L 27/088 (2006.01) | | |

(72)発明者 シー - フン チェン
台湾 シンチュ・カウンティ・3 1 0 ジュドン・タウンシップ ジョンフォン・ロード セクシ
ョン・3 レーン・3 3 3 アレイ・6 0 ナンバー・1 8

(72)発明者 ハン - ティン リュエ
台湾 シンチュ ナショナル・ツィン - フア・ユニヴァーシティ イースト・ユアン・1 9

(72)発明者 ホン - ジ リー
台湾 タオユアン・カウンティ・3 3 3 4 4 グエイシャン・タウンシップ ミンチュアン・スト
リート レーン・4 0 ナンバー・1 3

(72)発明者 チン - チェン ヤン
台湾 カオシュン・カウンティ・8 2 0 ガンシャン・タウン ミンシャオ・レーン ナンバー・
5 1

F ターム(参考) 5F033 JJ04 JJ19 JJ33 KK04 LL04 NN37 NN39 NN40 QQ08 QQ09
QQ10 QQ13 QQ21 QQ28 QQ38 QQ48 RR04 RR06 TT07 UU05
VV16 XX33
5F048 AA09 AB01 AB03 AC01 AC10 BA01 BA16 BF04 BF05 BF07
BF12 BF15 BF16 BG13 CB02 CB03
5F083 CR14 EP02 EP18 EP22 ER21 GA10 GA28 HA02 JA39 JA40
JA56 KA01 LA11 LA25 MA04 MA06 MA16 MA19 MA20 NA01
PR03 PR06 PR07 PR10 PR42 PR52 ZA01 ZA21 ZA30
5F101 BA01 BA41 BA42 BA45 BB02 BD30 BD35 BE07 BH21