



PCT

(10) 国際公開番号

WO 2006/090507 A1

(43) 国際公開日

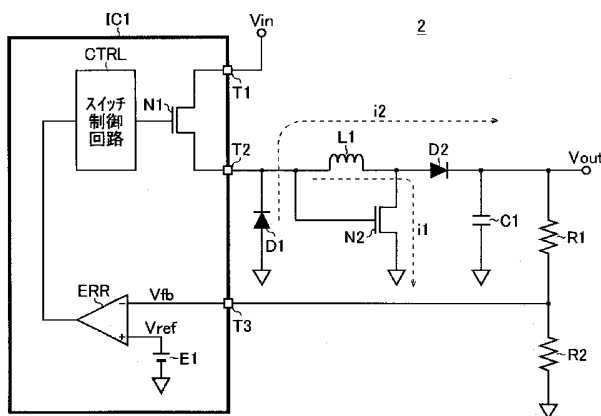
2006 年8 月31 日 (31.08.2006)

- (51) 国際特許分類:
H02M 3/155 (2006.01)
- (21) 国際出願番号: PCT/JP2005/019363
- (22) 国際出願日: 2005 年 10 月 21 日 (21.10.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2005-050070 2005 年 2 月 25 日 (25.02.2005) JP
特願2005-213738 2005 年 7 月 25 日 (25.07.2005) JP
- (71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO.,LTD) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 土井 幹也 (DOI, Mikiya) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 ローム株式会社内 Kyoto (JP). 中田 健一 (NAKATA, Kenichi) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 佐野 静夫, 外 (SANO, Shizuo et al.); 〒5400032 大阪府大阪市中央区天満橋京町 2 - 6 天満橋八千代ビル別館 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MK, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告書

[続葉有]

- (54) Title:** STEP-UP/STEP-DOWN REGULATOR CIRCUIT AND LIQUID CRYSTAL DISPLAY DEVICE USING THE SAME

- (54) 発明の名称: 昇降圧レギュレータ回路及びこれを用いた液晶表示装置



CTRL. SWITCH CONTROL CIRCUIT

(57) Abstract: A step-up/step-down regulator circuit wherein a switch (N2) has a terminal connected to an end of an inductor (L1), another terminal grounded, and a control terminal connected to an end of a switch (N1). In this way, performing an open/close control of the switch (N1) can indirectly perform an open/close control of the switch (N2), thereby solving the problem that the structure and operation of a switch control circuit will be complicated when the switching between step-up and step-down operations is realized.

(57) 要約:

本発明に係る昇降圧レギュレータ回路は、スイッチ（N2）の一端がインダクタ（L1）の他端に接続され、他端が接地され、制御端がスイッチ（N1）の他端に接続される構成としている。これにより、スイッチ（N1）の開閉制御を行うことで、間接的にスイッチ（N2）の開閉制御も行うことが可能となり、昇降圧動作の切換を実現するに際して、スイッチ制御回路の構成及び動作が複雑になるという課題を解決することができる。



2文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

昇降圧レギュレータ回路及びこれを用いた液晶表示装置

技術分野

- [0001] 本発明は、入力電圧を昇圧或いは降圧して所望の出力電圧を生成する昇降圧レギュレータ回路及びこれを用いた液晶表示装置に関するものである。

背景技術

- [0002] 従来より、入力電圧を昇圧或いは降圧して所望の出力電圧を生成する昇降圧レギュレータ回路が種々開示・提案されている(例えば、特許文献1を参照)。
- [0003] 図6は、昇降圧レギュレータ回路の一従来例を示す回路図である。本図に示すように、従来の昇降圧レギュレータ回路は、スイッチ制御回路a1と、降圧用スイッチa2と、インダクタa3と、ダイオードa4、a5と、平滑コンデンサa6と、昇圧用スイッチa7と、を有して成り、直流電源a8からの入力電圧 V_{in} を昇圧或いは降圧して所望の出力電圧 V_{out} を生成し、該出力電圧 V_{out} を負荷a9に供給する構成とされていた。
- [0004] より具体的に述べると、上記構成から成る昇降圧レギュレータ回路において、スイッチ制御回路a1は、出力電圧 V_{out} を検出し、昇圧動作が必要なときは、昇圧用スイッチa7をオン／オフ制御し、出力電圧 V_{out} を所望値まで昇圧する。当該昇圧動作時において、降圧用スイッチa2は常時オンとされている。一方、降圧動作が必要なときは、降圧用スイッチa2をオン／オフ制御し、出力電圧 V_{out} を所望値まで降圧する。当該降圧動作時において、昇圧用スイッチa7は常時オフとされている。
- [0005] なお、上記構成から成る昇降圧レギュレータ回路以外にも、従来より、チョック回路やゼータ回路、或いは、セピック回路といった昇降圧レギュレータ回路が知られている(図7(a)～(c)を参照)。

特許文献1:特開2003-180072号公報

発明の開示

発明が解決しようとする課題

- [0006] 確かに、上記構成から成る昇降圧レギュレータ回路であれば、別個に設けられた昇圧レギュレータ回路と降圧レギュレータ回路を適宜切り換えて昇降圧動作を行う従来

構成と異なり、回路切換時の過渡現象に起因する出力電圧 V_{out} の低下やアンダーシュート、オーバーシュート、或いは、発振を招くことなく、容易に昇降圧動作の切換が可能であり、過渡応答の向上、消費電流の低下、効率の向上を実現することが可能である。

[0007] しかしながら、上記構成から成る昇降圧レギュレータ回路では、その昇降圧動作の切換を実現するに際して、降圧用スイッチa2と昇圧用スイッチa7の双方をスイッチ制御回路a1で開閉制御せねばならず、該スイッチ制御回路a1の構成及び動作が複雑になる、という課題があった。

[0008] また、上記構成から成る昇降圧レギュレータ回路において、インダクタa3の一端に現れるスイッチ電圧 V_{sw} の波形は、図8(a)に示す通り、矩形波形状が連続して現れる状態(いわゆる連続モード)が理想的であるところ、軽負荷時や無負荷時には、その出力電流が低下してコイル電流 I_L が全体的に引き下げられ、図8(b)に示すように、リングングという波形の乱れが生じる状態(いわゆる不連続モード)に陥るおそれがあった。このような不連続モードに陥ると、本来であればスイッチをオフすべき期間に不要なリングングノイズが重畳するため、そのスイッチング制御に誤動作を生じ、出力電圧が不安定になるおそれがあった。

[0009] また、図7(a)～(c)に示した従来の昇降圧レギュレータ回路は、いずれも、平滑コンデンサ C_a に加えて、エネルギー蓄積素子としてのコンデンサ C_b を必要とする構成であるため、その集積化に際して回路規模が不要に大きくなる、という課題を有していた。

[0010] 本発明は、上記の問題点に鑑み、簡易な構成でありながら、容易かつ適切に、昇降圧動作の切換を行うことが可能な昇降圧レギュレータ回路及びこれを用いた液晶表示装置を提供することを目的とする。

課題を解決するための手段

[0011] 上記の目的を達成するために、本発明に係る昇降圧レギュレータ回路は、一端が入力電圧印加端に接続される第1スイッチ手段と;一端が第1スイッチ手段の他端に接続されるインダクタと;一端が前記インダクタの他端に接続され、他端が基準電圧印加端に接続され、制御端が第1スイッチ手段の他端に接続される第2スイッチ手段

と;カソードが第1スイッチ手段の他端に接続され、アノードが前記基準電圧印加端に接続される第1ダイオードと;アノードが前記インダクタの他端に接続され、カソードが出力電圧印加端に接続される第2ダイオードと;一端が前記出力電圧印加端に接続され、他端が前記基準電圧印加端に接続されるコンデンサと;出力電圧に応じた帰還電圧を生成する帰還電圧生成手段と;前記帰還電圧と所定の参照電圧との差分を増幅して出力する誤差増幅手段と;前記誤差増幅手段の出力が小さくなるように第1スイッチ手段の開閉制御を行うスイッチ制御手段と;を有して成り、入力電圧を昇圧或いは降圧して所望の出力電圧を生成する構成(第1の構成)としている。このような構成とすることにより、簡易な構成でありながら、容易かつ適切に、昇降圧動作の切換を行うことが可能となる。

[0012] なお、上記第1の構成から成る昇降圧レギュレータ回路では、第1、第2スイッチ手段として電界効果トランジスタを用いる構成(第2の構成)にするとよい。このような構成とすることにより、第1、第2スイッチ手段として、バイポーラトランジスタ等を用いる構成と比べ、その電圧変換効率を高めることが可能となる。

[0013] また、上記第1の構成から成る昇降圧レギュレータ回路において、第1スイッチ手段、前記誤差増幅手段、及び、前記スイッチ制御手段は、半導体集積回路装置にパッケージングされており、その他の回路構成要素は、前記半導体集積回路装置に外付けされている構成(第3の構成)にするとよい。このような構成であれば、半導体集積回路装置として、一般的な降圧レギュレータ回路の電源制御ICをそのまま用いることが可能となる。

[0014] また、本発明に係る昇降圧レギュレータ回路は、一端が入力電圧印加端に接続される第1スイッチ手段と;一端が第1スイッチ手段の他端に接続されるインダクタと;一端が前記インダクタの他端に接続され、他端が基準電圧印加端に接続され、制御端が第1スイッチ手段の他端に接続される第2スイッチ手段と;一端が第1スイッチ手段の他端に接続され、他端が前記基準電圧印加端に接続されるスイッチ手段であって、その電流許容量が第1スイッチ手段のそれよりも小さく設計されている第3スイッチ手段と;カソードが第1スイッチ手段の他端に接続され、アノードが前記基準電圧印加端に接続される第1ダイオードと;アノードが前記インダクタの他端に接続され、カソー

ドが出力電圧印加端に接続される第2ダイオードと;一端が前記出力電圧印加端に接続され、他端が前記基準電圧印加端に接続されるコンデンサと;出力電圧に応じた帰還電圧を生成する帰還電圧生成手段と;前記帰還電圧と所定の参照電圧との差分を増幅して出力する誤差増幅手段と;前記誤差増幅手段の出力が小さくなるように第1スイッチ手段の開閉制御を行う一方、これとは相補的に第3スイッチ手段の開閉制御を行うスイッチ制御手段と;を有して成り、入力電圧を昇圧或いは降圧して所望の出力電圧を生成する構成(第4の構成)としてもよい。

[0015] また、本発明に係る昇降圧レギュレータ回路は、一端が入力電圧印加端に接続される第1スイッチ手段と;一端が第1スイッチ手段の他端に接続されるインダクタと;一端が前記インダクタの他端に接続され、他端が基準電圧印加端に接続され、制御端が第1スイッチ手段の他端に接続される第2スイッチ手段と;一端が第1スイッチ手段の他端に接続され、他端が前記基準電圧印加端に接続される第3スイッチ手段と;アノードが前記インダクタの他端に接続され、カソードが出力電圧印加端に接続されるダイオードと;一端が前記出力電圧印加端に接続され、他端が前記基準電圧印加端に接続されるコンデンサと;出力電圧に応じた帰還電圧を生成する帰還電圧生成手段と;前記帰還電圧と所定の参照電圧との差分を増幅して出力する誤差増幅手段と;前記誤差増幅手段の出力が小さくなるように第1スイッチ手段の開閉制御を行う一方、これとは相補的に第3スイッチ手段の開閉制御を行うスイッチ制御手段と;を有して成り、入力電圧を昇圧或いは降圧して所望の出力電圧を生成する構成(第5の構成)としてもよい。

[0016] また、本発明に係る昇降圧レギュレータ回路は、一端が入力電圧印加端に接続される第1スイッチ手段と;一端が第1スイッチ手段の他端に接続されるインダクタと;一端が前記インダクタの他端に接続され、他端が基準電圧印加端に接続され、制御端が第1スイッチ手段の他端に接続される第2スイッチ手段と;一端が第1スイッチ手段の他端に接続され、他端が前記基準電圧印加端に接続される第3スイッチ手段と;一端が前記インダクタの他端に接続され、他端が出力電圧印加端に接続される第4スイッチ手段と;一端が前記出力電圧印加端に接続され、他端が前記基準電圧印加端に接続されるコンデンサと;出力電圧に応じた帰還電圧を生成する帰還電圧生成手

段と;前記帰還電圧と所定の参照電圧との差分を増幅して出力する誤差増幅手段と;
前記誤差増幅手段の出力が小さくなるように第1スイッチ手段の開閉制御を行う一
方、これとは相補的に第3スイッチ手段並びに第4スイッチ手段の開閉制御を行うス
イッチ制御手段と;を有して成り、入力電圧を昇圧或いは降圧して所望の出力電圧を
生成する構成(第6の構成)としてもよい。

[0017] 上記第4～第6の構成とすることにより、簡易な構成でありながら、容易かつ適切に、昇降圧動作の切換を行うことが可能となるほか、軽負荷時におけるリンギングを適切に防止し、より安定した昇降圧動作を実現することが可能となる。

[0018] また、本発明に係る液晶表示装置は、直流電源と、前記直流電源の出力変換手段であるDC/DCコンバータと、前記DC/DCコンバータの出力電圧によって駆動される液晶表示パネルと、を有して成る液晶表示装置であって、前記DC/DCコンバータとして、上記第1～第6いずれかの構成から成る昇降圧レギュレータ回路を備えて成る構成(第7の構成)としている。このような構成とすることにより、DC/DCコンバータでは、直流電源からの入力電圧が所望の出力電圧よりも高いか低いかに依ることなく、常に所望の出力電圧を得ることができるので、液晶表示パネルにおける表示動作の安定化を図ることが可能となる。

発明の効果

[0019] 上記したように、本発明に係る昇降圧レギュレータ回路及びこれを用いた液晶表示装置であれば、簡易な構成でありながら、複数のスイッチ手段をタイミング調整しながら用いる方法と異なり、1つのスイッチ手段の開閉動作のみで、容易かつ適切に、昇降圧動作の切換を行うことができ、入力電圧が所望の出力電圧よりも高いか低いかに依ることなく、常に所望の出力電圧を得ることが可能となる。

[0020] また、軽負荷時のリンギングを適切に防止し、より安定した昇降圧動作を実現することが可能となる。

図面の簡単な説明

[0021] [図1]は、本発明に係る液晶表示装置の一構成例を示すブロック図である。

[図2]は、DC/DCコンバータ2の第1実施形態を示す回路図である。

[図3]は、DC/DCコンバータ2の第2実施形態を示す回路図である。

[図4]は、DC／DCコンバータ2の第3実施形態を示す回路図である。

[図5]は、DC／DCコンバータ2の第4実施形態を示す回路図である。

[図6]は、昇降圧レギュレータ回路の一従来例を示す回路図である。

[図7]は、昇降圧レギュレータ回路の別従来例を示す回路図である。

[図8]は、軽負荷時におけるリングング発生を説明するための図である。

符号の説明

- [0022]
- 1 直流電源
 - 2 DC／DCコンバータ(昇降圧レギュレータ回路)
 - 3 TFT液晶パネル
 - IC1 半導体集積回路装置
 - CTRL スイッチ制御回路
 - N1 NチャネルMOS電界効果トランジスタ(第1スイッチ手段)
 - N2 NチャネルMOS電界効果トランジスタ(第2スイッチ手段)
 - N3a、N3b NチャネルMOS電界効果トランジスタ(第3スイッチ手段)
 - N4 NチャネルMOS電界効果トランジスタ(第4スイッチ手段)
 - ERR 誤差増幅器
 - E1 直流電圧源(バンドギャップ電源回路)
 - T1 入力端子
 - T2 出力端子
 - T3 帰還端子
 - T4 制御端子
 - L1 インダクタ(コイル)
 - D1、D2 ダイオード
 - C1 平滑コンデンサ
 - R1、R2 抵抗

発明を実施するための最良の形態

- [0023] 以下では、液晶表示装置に搭載され、直流電源の出力電圧を変換して装置各部(特に、TFT[Thin Film Transistor]液晶パネル)の駆動電圧を生成するDC／DCコ

ンバータに本発明を適用した場合を例に挙げて説明を行う。

[0024] 図1は、本発明に係る液晶表示装置の一構成例を示すブロック図(特に、TFT液晶パネルへの電源系部分)である。本図に示すように、本実施形態の液晶表示装置は、装置電源となる直流電源1と、直流電源1の出力変換手段であるDC/DCコンバータ2と、液晶表示装置の表示手段であるTFT液晶パネル3と、を有して成る。

[0025] DC/DCコンバータ2は、直流電源1から印加される入力電圧 V_{in} から所望の出力電圧 V_{out} を生成し、該出力電圧 V_{out} をTFT液晶パネル3に供給する。

[0026] 図2は、DC/DCコンバータ2の第1実施形態を示す回路図(一部にブロック図を含む)である。本図に示す通り、本実施形態のDC/DCコンバータ2は、NチャネルMOS[Metal-Oxide-Silicon]電界効果トランジスタ N_1 、 N_2 と、インダクタ(コイル) L_1 と、ダイオード D_1 、 D_2 と、平滑コンデンサ C_1 と、抵抗 R_1 、 R_2 と、誤差増幅器ERRと、直流電圧源 E_1 と、スイッチ制御回路CTRLと、を有して成る。

[0027] 本図に示す通り、本実施形態のDC/DCコンバータ2において、トランジスタ N_1 、誤差増幅器ERR、直流電圧源 E_1 、及び、スイッチ制御回路CTRLは、いずれもシリコンモノリシックの半導体集積回路装置IC1にパッケージングされており、その他の回路構成要素は、半導体集積回路装置IC1に外付けされている。このような構成とすることにより、本実施形態のDC/DCコンバータ2では、半導体集積回路装置IC1として一般的な降圧レギュレータ回路の電源制御ICをそのまま用いることが可能となる。

[0028] なお、半導体集積回路装置IC1には、上記の回路構成要素のほか、各種保護回路(低入力誤動作防止回路、熱保護回路、過電流保護回路、短絡保護回路など)も組み込まれているが、これらの回路は、いずれも本発明と直接関係がないため、その図示並びに詳細な説明は省略する。また、本発明の構成はこれに限定されるものではなく、本図で外付けされた回路構成要素を半導体集積回路装置IC1内に適宜集積化しても構わない。

[0029] トランジスタ N_1 のドレインは、半導体集積回路装置IC1の入力端子T1を介して、入力電圧印加端(直流電源1の電源出力端)に接続されており、該ドレインには、入力電圧 V_{in} が印加されている。トランジスタ N_1 のソースは、半導体集積回路装置IC1の出力端子T2を介して、インダクタ L_1 の一端、トランジスタ N_2 のゲート、及び、ダイオ

ードD1のカソードに各々接続されている。ダイオードD1のアノードは接地されている。トランジスタN2のドレインは、インダクタL1の他端及びダイオードD2のアノードに各々接続されている。トランジスタN2のソースは接地されている。ダイオードD2のカソードは、出力電圧印加端(TFT液晶パネル3の電源入力端)に接続される一方、平滑コンデンサC1を介して接地され、また、抵抗R1、R2から成る直列接続回路(出力電圧Voutに応じた帰還電圧Vfbを生成する帰還電圧生成回路)を介しても接地されている。帰還電圧Vfbの出力端となる抵抗R1、R2の接続ノードは、半導体集積回路装置IC1の帰還端子T3を介して、誤差増幅器ERRの反転入力端(−)に接続されている。誤差増幅器ERRの非反転入力端(+)は、直流電圧源E1(バンドギャップ電源回路など)の正極端に接続されており、該非反転入力端(+)には、出力電圧Voutの目標値を設定するための参照電圧Vrefが印加されている。直流電圧源E1の負極端は接地されている。誤差増幅器ERRの出力端は、スイッチ制御回路CTRLの誤差信号入力端に接続されている。スイッチ制御回路CTRLの制御信号出力端は、トランジスタN1のゲートに接続されている。

[0030] 上記構成から成るDC/DCコンバータ2において、誤差増幅器ERRは、帰還電圧Vfbと参照電圧Vrefとの差分を増幅して出力し、所定の電圧に達するように、スイッチ制御回路CTRLは、誤差増幅器ERRの出力が小さくなるようにトランジスタN1の開閉制御を行う。

[0031] ここで、トランジスタN1がオン状態(閉結状態)にされると、トランジスタN2のゲート電位がほぼ入力電圧Vinまで上昇するため、トランジスタN2もオン状態(閉結状態)となる。従って、インダクタL1には、経路i1を通して電流が流れ、その電気エネルギーが蓄えられる。また、当該トランジスタN1、N2のオン期間において、平滑コンデンサC1に電荷が蓄積されていた場合、出力電圧印加端には、平滑コンデンサC1からの電流が流れることになる。なお、このとき、インダクタL1の他端電位は、トランジスタN2を介して、ほぼ接地電位まで低下しているため、ダイオードD2は逆バイアス状態となり、平滑コンデンサC1からトランジスタN2に向けて電流が流れ込むことはない。

[0032] 次に、トランジスタがオフ状態(開放状態)にされると、インダクタL1に生じた逆起電圧によって、そこに蓄積された電気エネルギーが経路i2を通して放電され、トランジスタ

N2のゲート電位が負電位となる。従って、トランジスタN1に続いてトランジスタN2もオフ状態(開放状態)となり、経路i2を通して流れる電流は、出力電圧印加端からTF-T液晶パネル3に流れ込むとともに、平滑コンデンサC1を介して接地端にも流れ込み、平滑コンデンサC1を充電することになる。

[0033] 上記した通り、本実施形態のDC/DCコンバータ2は、一端が入力電圧印加端に接続される第1スイッチ手段(トランジスタN1)と;一端が第1スイッチ手段の他端に接続されるインダクタL1と;一端がインダクタL1の他端に接続され、他端が接地され、制御端が第1スイッチ手段の他端に接続される第2スイッチ手段(トランジスタN2)と;カソードが第1スイッチ手段N1の他端に接続され、アノードが接地されるダイオードD1と;アノードがインダクタL1の他端に接続され、カソードが出力電圧印加端に接続されるダイオードD2と;一端が出力電圧印加端に接続され、他端が接地されるコンデンサC1と;出力電圧Voutに応じた帰還電圧Vfbを生成する帰還電圧生成手段(抵抗R1、R2)と;帰還電圧Vfbと所定の参照電圧Vrefとの差分を増幅して出力する誤差増幅器ERRと;誤差増幅器ERRの出力が小さくなるように第1スイッチ手段の開閉制御を行うスイッチ制御手段CTRLと;を有して成り、入力電圧Vinを昇圧或いは降圧して所望の出力電圧Voutを生成する構成としている。

[0034] このような構成とすることにより、第1スイッチ手段であるトランジスタN1の開閉制御を行うことで、間接的に第2スイッチ手段であるトランジスタN2の開閉制御をも行うことが可能となる。

[0035] 従って、本実施形態のDC/DCコンバータ2であれば、スイッチ制御手段CTRLで第1スイッチ手段であるトランジスタN1の駆動デューティ比(=オン期間/オフ期間)を適宜制御することにより、さらに具体的に述べれば、降圧動作時には、駆動デューティ比を1より小さい値にまで低下させ、逆に、昇圧動作時には、駆動デューティ比を1より大きい値にまで上昇させることにより、簡易な構成でありながら、容易かつ適切に、その昇降圧動作を切り換えることが可能となる。また、延いては、当該DC/DCコンバータ2を搭載する液晶表示装置において、直流電源1からの入力電圧Vinが所望の出力電圧Voutよりも高いか低いか依ることなく、常に所望の出力電圧Voutを得ることができるようになる。従って、例えば、出力電圧Voutの所望値が16[V]であ

るのに対して、入力電圧 V_{in} が6～18[V]の範囲で変動する場合であっても、所望の出力電圧を得ることができるので、液晶表示パネル3における表示動作の安定化を図ることが可能となる。

- [0036] また、図2でも示したように、本実施形態のDC/DCコンバータ2は、第1、第2スイッチ手段として電界効果トランジスタN1、N2を用いる構成とされている。このような構成とすることにより、第1、第2スイッチ手段としてバイポーラトランジスタ等を用いる構成と比べ、その電圧変換効率を高めることが可能となる。ただし、本発明の構成はこれに限定されるものではなく、第1、第2スイッチ手段として、バイポーラトランジスタ等を用いても構わない。
- [0037] 次に、本発明に係るDC/DCコンバータ2の第2実施形態について、図3を参照しながら説明する。図3は、DC/DCコンバータ2の第2実施形態を示す回路図(一部にブロック図を含む)である。本図に示す通り、本実施形態のDC/DCコンバータ2は、先述の第1実施形態とほぼ同様の構成から成る。そこで、第1実施形態と同様の部分については、図2と同一符号を付すことで説明を省略し、以下では、本実施形態の特徴部分(リングング防止手段の追設)について重点的な説明を行うことにする。
- [0038] 本実施形態のDC/DCコンバータ2は、軽負荷時或いは無負荷時におけるリングング防止手段として、NチャンネルMOS電界効果トランジスタN3a(第3スイッチ手段)を半導体集積回路装置IC1にパッケージングして成る。
- [0039] トランジスタN3aのドレインは、トランジスタN1のソースに接続されている。トランジスタN3aのソースは接地されている。トランジスタN3aのゲートは、スイッチ制御回路CTRLの制御信号出力端に接続されている。
- [0040] なお、トランジスタN3aの電流許容量は、不要なチップ面積の増大や変換効率の低下を招かぬように、リングングノイズという微小電流を引き抜き得る必要最小限に設計すべきである。すなわち、本実施形態のDC/DCコンバータ2において、トランジスタN3aの電流許容量は、大電流を流す必要のあるトランジスタN1のそれよりも小さく設計されている。より具体的に述べると、トランジスタN3aのゲート面積は、トランジスタN1の有するゲート面積の $1/N$ (本実施形態では $1/10$)に設計されている。
- [0041] スイッチ制御回路CTRLは、先述したように、誤差増幅器ERRの出力が小さくなる

ようにトランジスタN1の開閉制御を行う一方、これとは相補的にトランジスタN3aの開閉制御を行う。

[0042] このような構成とすることにより、軽負荷時や無負荷時に、その出力電流が低下してコイル電流が全体的に引き下げられ、先出の図8(b)に示すように、リングングという波形の乱れが生じる状態(いわゆる不連続モード)に陥った場合であっても、そのリングングノイズをトランジスタN3aを介して接地ラインに逃がすことが可能となる。従って、トランジスタN2のスイッチング制御に誤動作が生じることを未然に回避し、より安定した昇降圧動作を実現することが可能となる。

[0043] 次に、本発明に係るDC/DCコンバータ2の第3実施形態について、図4を参照しながら説明する。図4は、DC/DCコンバータ2の第3実施形態を示す回路図(一部にブロック図を含む)である。本図に示す通り、本実施形態のDC/DCコンバータ2は、第1、第2実施形態とほぼ同様の構成から成る。そこで、第1、第2実施形態と同様の部分については、図2、図3と同一符号を付すことで説明を省略し、以下では、本実施形態の特徴部分(ダイオードD1の同期整流化)について重点的な説明を行うことにする。

[0044] 本実施形態のDC/DCコンバータ2は、ダイオードD1に代替する同期整流手段として、また、軽負荷時或いは無負荷時におけるリングング防止手段として、NチャネルMOS電界効果トランジスタN3b(第3スイッチ手段)を半導体集積回路装置IC1にパッケージングして成る。

[0045] トランジスタN3bのドレインは、トランジスタN1のソースに接続されている。トランジスタN3bのソースは接地されている。トランジスタN3bのゲートは、スイッチ制御回路CTRLの制御信号出力端に接続されている。

[0046] なお、トランジスタN3bの電流許容量は、トランジスタN1のそれと同等に設計されている。より具体的に述べると、トランジスタN3bのゲート面積は、トランジスタN1の有するゲート面積と同等に設計されている。

[0047] スwitch制御回路CTRLは、先述したように、誤差増幅器ERRの出力が小さくなるようにトランジスタN1の開閉制御を行う一方、これとは相補的にトランジスタN3bの開閉制御を行う。

- [0048] このような構成とすることにより、先述の第2実施形態と同様に、軽負荷時や無負荷時に、その出力電流が低下してコイル電流が全体的に引き下げられ、先出の図8(b)に示すように、リングングという波形の乱れが生じる状態(いわゆる不連続モード)に陥った場合であっても、そのリングングノイズをトランジスタN3bを介して接地ラインに逃がすことが可能となる。従って、トランジスタN2のスイッチング制御に誤動作が生じることを未然に回避し、より安定した昇降圧動作を実現することが可能となる。また、ダイオードD1をよりオン抵抗の小さいトランジスタN3bに置き換えた本構成であれば、先述の第2実施形態に比べて、ダイオードD1で生じていた電力損失を抑制することができるので、装置の変換効率向上に貢献することが可能となる。また、先述の第2実施形態に比べて、外付けのダイオードD1を1つ削減することができるので、装置規模の縮小にも貢献することが可能となる。
- [0049] 最後に、本発明に係るDC/DCコンバータ2の第4実施形態について、図5を参照しながら説明する。図5は、DC/DCコンバータ2の第4実施形態を示す回路図(一部にブロック図を含む)である。本図に示す通り、本実施形態のDC/DCコンバータ2は、先述した第3実施形態とほぼ同様の構成から成る。そこで、第3実施形態と同様の部分については、図4と同一符号を付すことで説明を省略し、以下では、本実施形態の特徴部分(ダイオードD2の同期整流化)について重点的な説明を行うことにする。
- [0050] 本実施形態のDC/DCコンバータ2は、ダイオードD2に代替する同期整流手段として、NチャネルMOS電界効果トランジスタN4(第4スイッチ手段)を半導体集積回路装置IC1に外付けして成る。
- [0051] トランジスタN4のドレインは、インダクタL1の他端に接続されている。トランジスタN4のソースは、出力電圧印加端に接続されている。トランジスタN4のゲートは、半導体集積回路装置IC1の制御端子T4を介して、スイッチ制御回路CTRLの制御信号出力端に接続されている。
- [0052] スイッチ制御回路CTRLは、先述したように、誤差増幅器ERRの出力が小さくなるようにトランジスタN1の開閉制御を行う一方、これとは相補的にトランジスタN3b、並びに、トランジスタN4の開閉制御を行う。

[0053] このように、逆流防止用のダイオードD2をよりオン抵抗の小さいトランジスタN4に置き換えた構成であれば、先述の第3実施形態に比べて、ダイオードD2で生じていた電力損失を抑制することができるので、装置の変換効率向上に貢献することが可能となる。

[0054] なお、上記第2～第4実施形態の説明中で用いた「相補的」という文言は、トランジスタN1とトランジスタN3a、N3b、N4のオン／オフが完全に逆転している場合のほか、貫通電流防止等の観点から、トランジスタN1とトランジスタN3a、N3b、N4のオン／オフ遷移タイミングに所定の遅延が与えられている場合をも含むものとする。

[0055] また、上記では、液晶表示装置に搭載され、直流電源1から印加される入力電圧 V_{in} を変換してTFT液晶パネル3の駆動電圧 V_{out} を生成するDC／DCコンバータ2に本発明を適用した場合を例に挙げて説明を行ったが、本発明の適用対象はこれに限定されるものではなく、本発明は、入力電圧を昇圧或いは降圧して所望の出力電圧を生成する昇降圧レギュレータ回路全般に広く適用することが可能である。

[0056] また、本発明の構成は、上記実施形態のほか、発明の主旨を逸脱しない範囲で種々の変更を加えることが可能である。

産業上の利用可能性

[0057] 本発明は、昇降圧レギュレータ回路の簡略化を図る上で有用な技術である。

請求の範囲

- [1] 一端が入力電圧印加端に接続される第1スイッチ手段と;一端が第1スイッチ手段の他端に接続されるインダクタと;一端が前記インダクタの他端に接続され、他端が基準電圧印加端に接続され、制御端が第1スイッチ手段の他端に接続される第2スイッチ手段と;カソードが第1スイッチ手段の他端に接続され、アノードが前記基準電圧印加端に接続される第1ダイオードと;アノードが前記インダクタの他端に接続され、カソードが出力電圧印加端に接続される第2ダイオードと;一端が前記出力電圧印加端に接続され、他端が前記基準電圧印加端に接続されるコンデンサと;出力電圧に応じた帰還電圧を生成する帰還電圧生成手段と;前記帰還電圧と所定の参照電圧との差分を増幅して出力する誤差増幅手段と;前記誤差増幅手段の出力が小さくなるように第1スイッチ手段の開閉制御を行うスイッチ制御手段と;を有して成り、入力電圧を昇圧或いは降圧して所望の出力電圧を生成することを特徴とする昇降圧レギュレータ回路。
- [2] 第1、第2スイッチ手段は、電界効果トランジスタであることを特徴とする請求項1に記載の昇降圧レギュレータ回路。
- [3] 第1スイッチ手段、前記誤差増幅手段、及び、前記スイッチ制御手段は、半導体集積回路装置にパッケージングされており、その他の回路構成要素は、前記半導体集積回路装置に外付けされていることを特徴とする請求項1に記載の昇降圧レギュレータ回路。
- [4] 一端が入力電圧印加端に接続される第1スイッチ手段と;一端が第1スイッチ手段の他端に接続されるインダクタと;一端が前記インダクタの他端に接続され、他端が基準電圧印加端に接続され、制御端が第1スイッチ手段の他端に接続される第2スイッチ手段と;一端が第1スイッチ手段の他端に接続され、他端が前記基準電圧印加端に接続されるスイッチ手段であって、その電流許容量が第1スイッチ手段のそれよりも小さく設計されている第3スイッチ手段と;カソードが第1スイッチ手段の他端に接続され、アノードが前記基準電圧印加端に接続される第1ダイオードと;アノードが前記インダクタの他端に接続され、カソードが出力電圧印加端に接続される第2ダイオードと;一端が前記出力電圧印加端に接続され、他端が前記基準電圧印加端に接

続されるコンデンサと;出力電圧に応じた帰還電圧を生成する帰還電圧生成手段と;前記帰還電圧と所定の参照電圧との差分を増幅して出力する誤差増幅手段と;前記誤差増幅手段の出力が小さくなるように第1スイッチ手段の開閉制御を行う一方、これとは相補的に第3スイッチ手段の開閉制御を行うスイッチ制御手段と;を有して成り、入力電圧を昇圧或いは降圧して所望の出力電圧を生成することを特徴とする昇降圧レギュレータ回路。

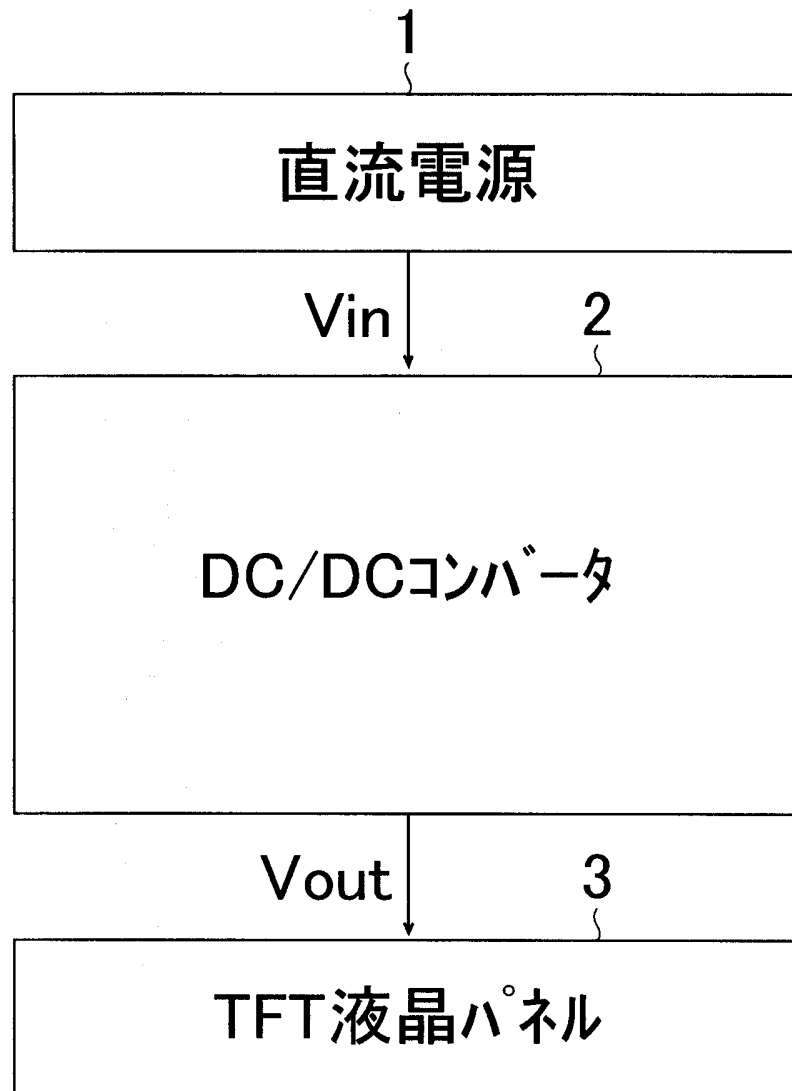
- [5] 一端が入力電圧印加端に接続される第1スイッチ手段と;一端が第1スイッチ手段の他端に接続されるインダクタと;一端が前記インダクタの他端に接続され、他端が基準電圧印加端に接続され、制御端が第1スイッチ手段の他端に接続される第2スイッチ手段と;一端が第1スイッチ手段の他端に接続され、他端が前記基準電圧印加端に接続される第3スイッチ手段と;アノードが前記インダクタの他端に接続され、カソードが出力電圧印加端に接続されるダイオードと;一端が前記出力電圧印加端に接続され、他端が前記基準電圧印加端に接続されるコンデンサと;出力電圧に応じた帰還電圧を生成する帰還電圧生成手段と;前記帰還電圧と所定の参照電圧との差分を増幅して出力する誤差増幅手段と;前記誤差増幅手段の出力が小さくなるように第1スイッチ手段の開閉制御を行う一方、これとは相補的に第3スイッチ手段の開閉制御を行うスイッチ制御手段と;を有して成り、入力電圧を昇圧或いは降圧して所望の出力電圧を生成することを特徴とする昇降圧レギュレータ回路。

- [6] 一端が入力電圧印加端に接続される第1スイッチ手段と;一端が第1スイッチ手段の他端に接続されるインダクタと;一端が前記インダクタの他端に接続され、他端が基準電圧印加端に接続され、制御端が第1スイッチ手段の他端に接続される第2スイッチ手段と;一端が第1スイッチ手段の他端に接続され、他端が前記基準電圧印加端に接続される第3スイッチ手段と;一端が前記インダクタの他端に接続され、他端が出力電圧印加端に接続される第4スイッチ手段と;一端が前記出力電圧印加端に接続され、他端が前記基準電圧印加端に接続されるコンデンサと;出力電圧に応じた帰還電圧を生成する帰還電圧生成手段と;前記帰還電圧と所定の参照電圧との差分を増幅して出力する誤差増幅手段と;前記誤差増幅手段の出力が小さくなるように第1スイッチ手段の開閉制御を行う一方、これとは相補的に第3スイッチ手段並びに

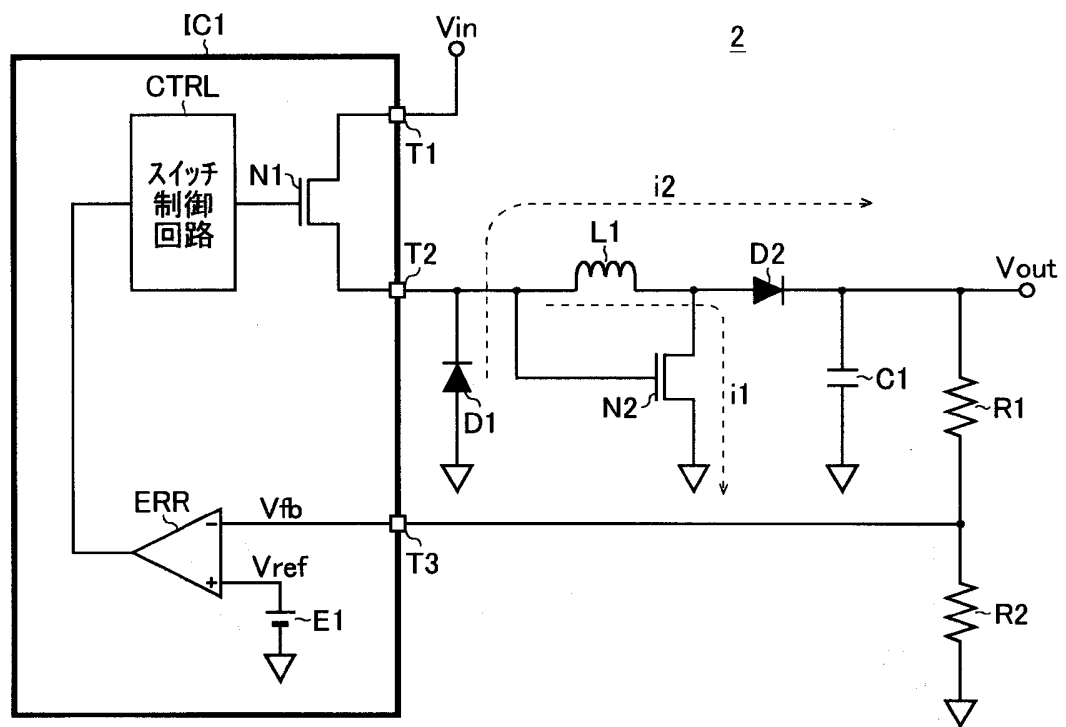
第4スイッチ手段の開閉制御を行うスイッチ制御手段と;を有して成り、入力電圧を昇圧或いは降圧して所望の出力電圧を生成することを特徴とする昇降圧レギュレータ回路。

- [7] 直流電源と、前記直流電源の出力変換手段であるDC／DCコンバータと、前記DC／DCコンバータの出力電圧によって駆動される液晶表示パネルと、を有して成る液晶表示装置であって、前記DC／DCコンバータとして、請求項1～請求項6のいずれかに記載の昇降圧レギュレータ回路を備えて成ることを特徴とする液晶表示装置。

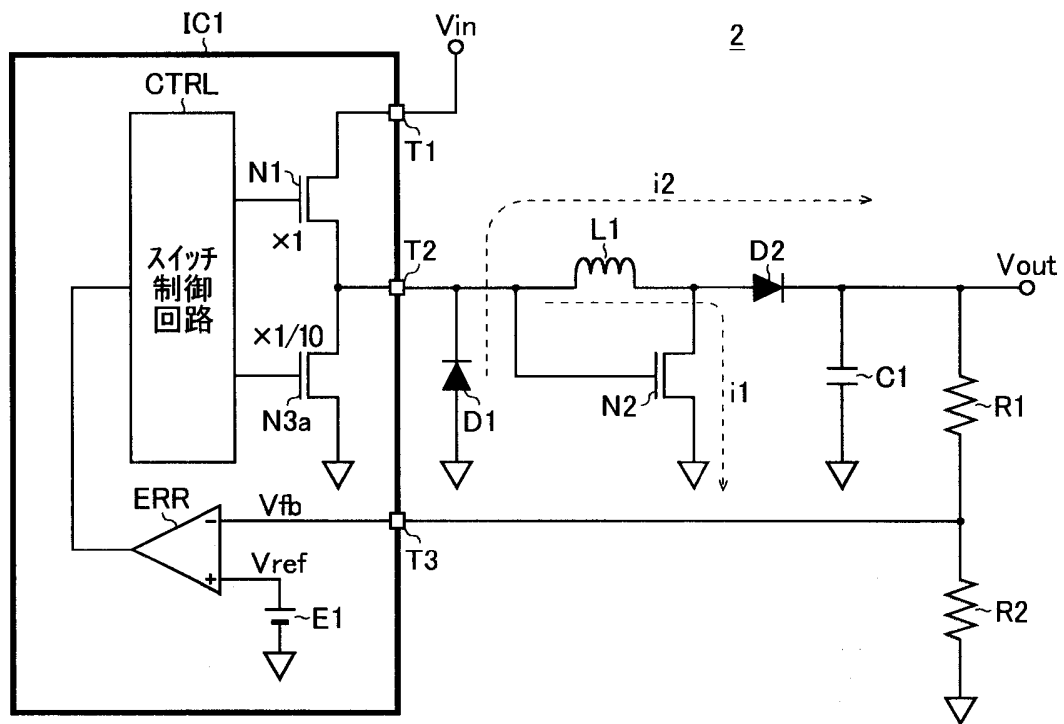
[図1]



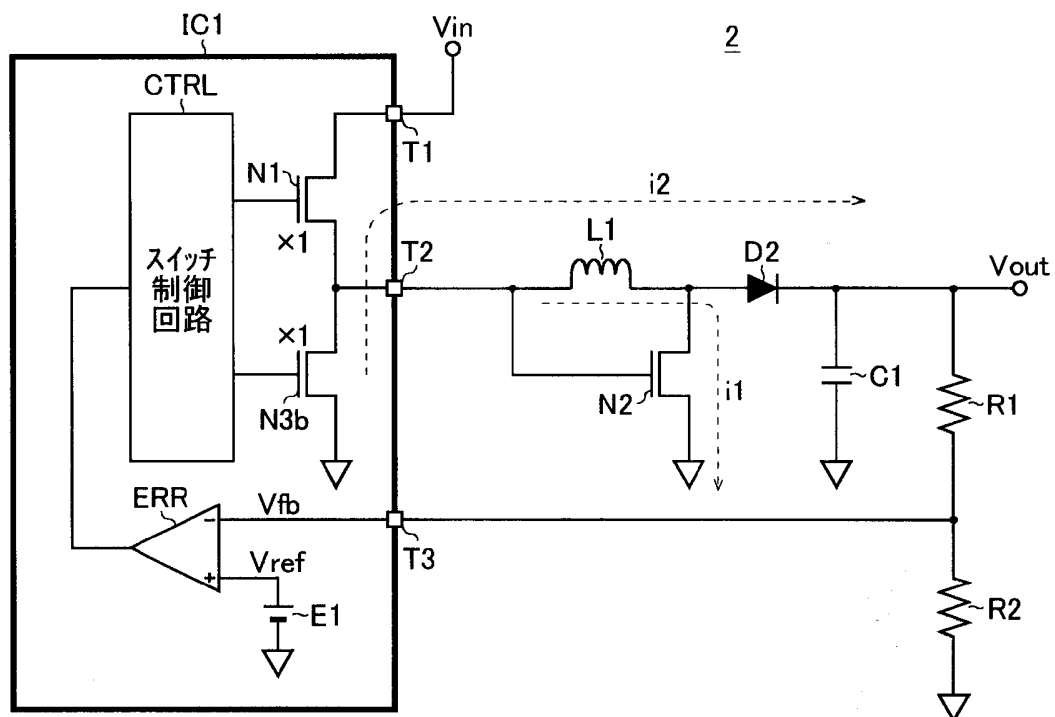
[図2]



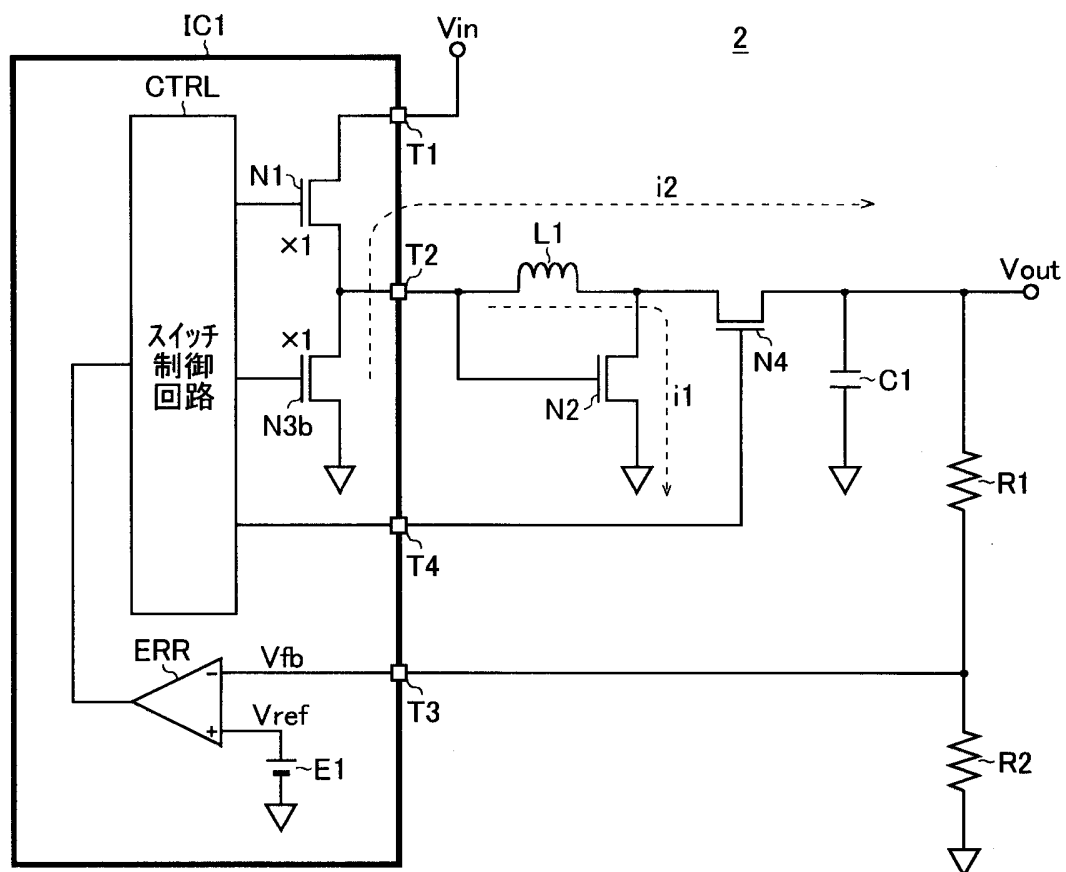
[図3]



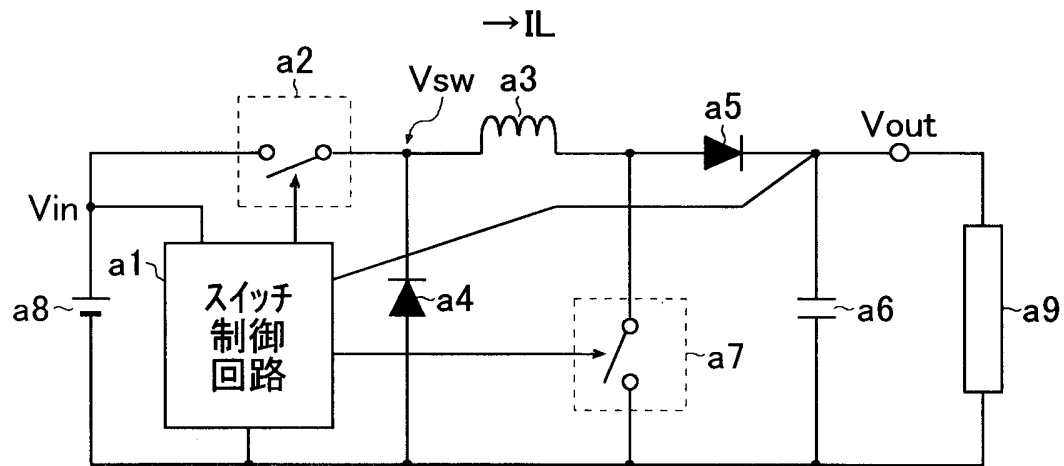
[図4]



[図5]

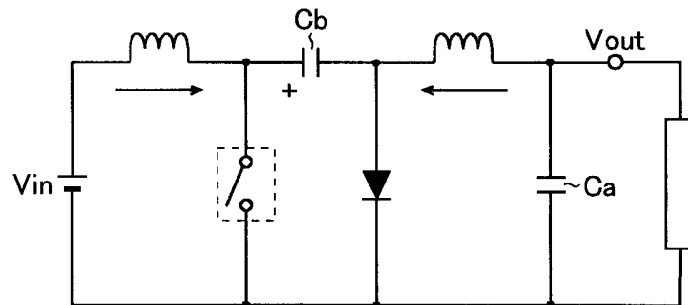


[図6]

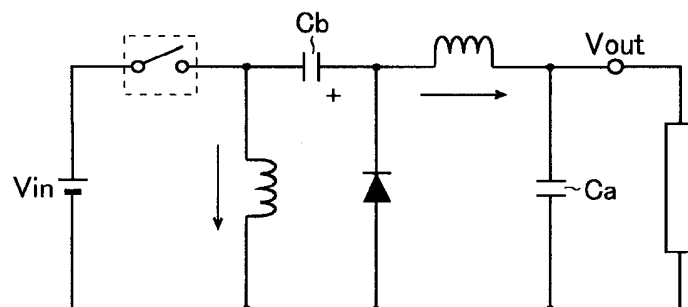


[図7]

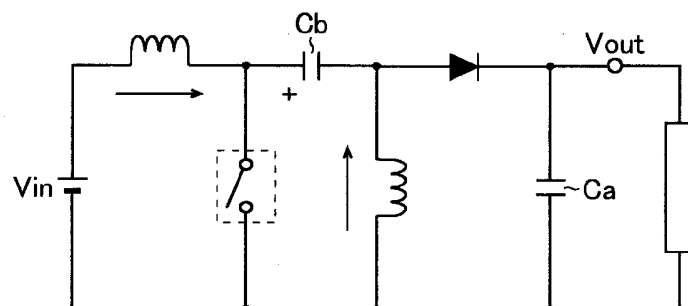
(a) チュック回路



(b) ゼータ回路

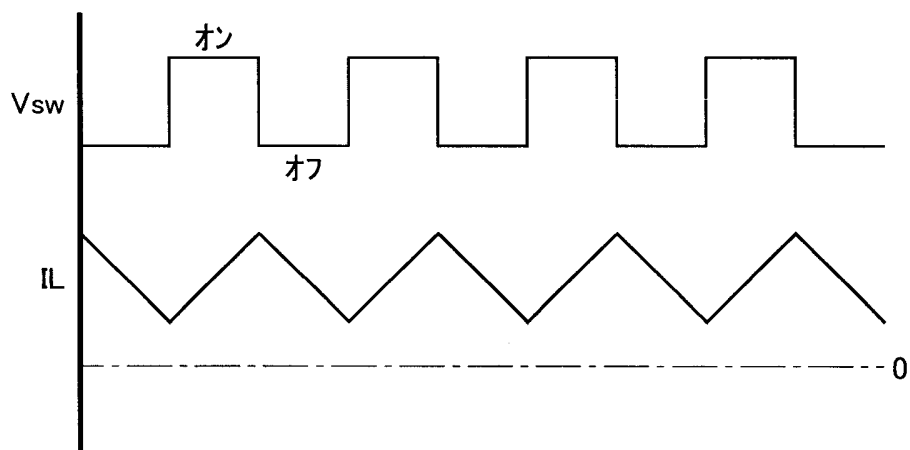


(c) セピック回路

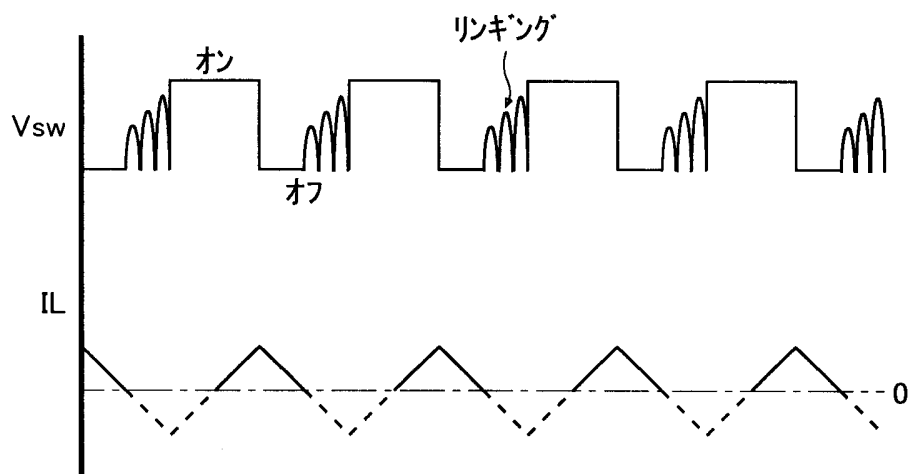


[図8]

(a) 連続モード



(b) 不連続モード



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/019363

A. CLASSIFICATION OF SUBJECT MATTER

H02M3/155 (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M3/155 (2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2004-135442 A (Rohm Co., Ltd.), 30 April, 2004 (30.04.04), All pages & US 2004/0070376 A1	1-2, 7 3, 5, 6 4
Y	JP 10-146046 A (Sharp Corp.), 29 May, 1998 (29.05.98), All pages (Family: none)	3
Y	JP 2003-180072 A (Seiko Instruments Inc.), 27 June, 2003 (27.06.03), All pages & US 2003/0052654 A1	5-7

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
13 December, 2005 (13.12.05)

Date of mailing of the international search report
27 December, 2005 (27.12.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/019363

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-52170 A (Texas Instruments Japan Ltd.), 21 February, 2003 (21.02.03), All pages & US 2003/0034762 A1	4

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. **H02M3/155** (2006.01)

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. **H02M3/155** (2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2004-135442 A (ローム株式会社)	1-2, 7
Y	30.04.2004, 全ページ	3, 5, 6
A	& US 2004/0070376 A1	4
Y	JP 10-146046 A (シャープ株式会社) 29.05.1998, 全ページ (ファミリーなし)	3

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

13.12.2005

国際調査報告の発送日

27.12.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

梶本 直樹

電話番号 03-3581-1101 内線 3358

3V

3630

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2003-180072 A (セイコーインスツルメンツ株式会社) 27.06. 2003, 全ページ & US 2003/0052654 A1	5-7
A	JP 2003-52170 A (日本テキサス・インスツルメンツ株式会社) 21.02. 2003, 全ページ & US 2003/0034762 A1	4