

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6485383号
(P6485383)

(45) 発行日 平成31年3月20日(2019.3.20)

(24) 登録日 平成31年3月1日(2019.3.1)

(51) Int.Cl.

F 1

HO1L 29/78	(2006.01)	HO1L 29/78	652H
HO1L 29/12	(2006.01)	HO1L 29/78	652C
HO1L 21/336	(2006.01)	HO1L 29/78	652T
HO1L 29/06	(2006.01)	HO1L 29/78	653A
HO1L 21/265	(2006.01)	HO1L 29/78	658E

請求項の数 10 (全 14 頁) 最終頁に続く

(21) 出願番号

特願2016-32293 (P2016-32293)

(22) 出願日

平成28年2月23日(2016.2.23)

(65) 公開番号

特開2017-152490 (P2017-152490A)

(43) 公開日

平成29年8月31日(2017.8.31)

審査請求日

平成30年4月20日(2018.4.20)

(73) 特許権者 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(73) 特許権者 000003207

トヨタ自動車株式会社

愛知県豊田市トヨタ町1番地

(74) 代理人 110001128

特許業務法人ゆうあい特許事務所

(72) 発明者 竹内 有一

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72) 発明者 秋葉 敏也

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

最終頁に続く

(54) 【発明の名称】 化合物半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

化合物半導体装置の製造方法であって、

化合物半導体にて構成される第1導電型の下地層(2)を有する半導体基板(1、2)を用意することと、

前記下地層に対してディープトレンチ(15)を形成することと、

エピタキシャル成長装置内に第2導電型ドーパントを含むドーパントガスを導入しつつ、前記化合物半導体の原料ガスを導入し、前記ディープトレンチ内に第2導電型のディープ層(5)をエピタキシャル成長させることと、を含み、

前記ディープ層を形成することでは、前記ディープ層をエピタキシャル成長させる温度まで前記エピタキシャル成長装置を昇温させる期間を昇温期間として、該昇温期間中から第2導電型ドーパントを含むドーパントガスを導入したのち、前記昇温期間後に前記原料ガスを導入することで、前記ディープトレンチの底部の角部にも前記ディープ層を形成することである化合物半導体装置の製造方法。 10

【請求項2】

化合物半導体装置の製造方法であって、

化合物半導体にて構成される第1導電型の下地層(2)を有する半導体基板(1、2)を用意することと、

前記下地層に対してディープトレンチ(15)を形成することと、

エピタキシャル成長装置内に第2導電型ドーパントを含むドーパントガスを導入しつつ 20

、前記化合物半導体の原料ガスを導入し、前記ディープトレンチ内に第2導電型のディープ層(5)をエピタキシャル成長させることと、を含み、

前記ディープ層を形成することでは、前記ディープ層をエピタキシャル成長させる温度まで前記エピタキシャル成長装置を昇温させる期間を昇温期間として、該昇温期間中から第2導電型ドーパントを含むドーパントガスを導入したのち、前記昇温期間中における前記ドーパントガスの導入後に前記原料ガスを導入することで、前記ディープトレンチの底部の角部にも前記ディープ層を形成することである化合物半導体装置の製造方法。

【請求項3】

トレンチゲート構造のスイッチング素子を有する化合物半導体装置の製造方法であって
、

10

裏面側に備えられた裏面層(1)と、表面側に備えられ前記下地層を構成すると共に前記裏面層よりも低不純物濃度とされた第1導電型のドリフト層(2)と、を有する前記半導体基板(1、2)を用意することと、

前記ドリフト層(2)の上に第2導電型のベース領域(3)を形成することと、

前記ベース領域の上層部に、前記ドリフト層よりも高不純物濃度の第1導電型のソース領域(4)を形成することと、

前記ソース領域の表面から前記ベース領域よりも深くまでゲートトレンチ(6)を形成することと、

前記ゲートトレンチの内壁面にゲート絶縁膜(7)を形成すると共に、前記ゲート絶縁膜の上にゲート電極(8)を形成することでトレンチゲート構造を構成することと、

20

前記ソース領域に電気的に接続されるソース電極(9)を形成することと、

前記半導体基板の裏面側における前記裏面層と電気的に接続されるドレイン電極(10)を形成することと、を含み、

前記ディープトレンチを形成することとして、前記ドリフト層に対して前記ゲートトレンチよりも深く前記ディープトレンチを形成することを行う請求項1または2に記載の化合物半導体装置の製造方法。

【請求項4】

前記ディープ層を形成することでは、前記化合物半導体のエッチングガスを導入しつつ前記エピタキシャル成長装置内の昇温を行う請求項1ないし3のいずれか1つに記載の化合物半導体装置の製造方法。

30

【請求項5】

前記ディープ層を形成することでは、前記原料ガスの導入するときには、該原料ガスの導入前よりも前記ドーパントガスの導入量を低下させる請求項1ないし4のいずれか1つに記載の化合物半導体装置の製造方法。

【請求項6】

前記ディープ層を形成することでは、前記原料ガスの導入量を徐々に増加させたのち、該原料ガスの導入量を一定とする請求項1ないし5のいずれか1つに記載の化合物半導体装置の製造方法。

【請求項7】

前記ドーパントガスとしてトリメチルアルミニウムを用いる請求項1ないし6のいずれか1つに記載の化合物半導体装置の製造方法。

40

【請求項8】

前記ディープ層を形成することでは、前記ディープ層のうち前記ディープトレンチの底部の角部の第2導電型不純物濃度を最も高くする請求項1ないし7のいずれか1つに記載の化合物半導体装置の製造方法。

【請求項9】

化合物半導体装置であって、

化合物半導体にて構成される第1導電型の下地層(2)を有する半導体基板(1、2)と、

前記下地層に対して形成されたディープトレンチ(15)の底部の角部を含めて該ディ

50

ープトレンチ内に形成された第2導電型のディープ層(5)と、を有し、
前記ディープ層は、該ディープ層の中で前記ディープトレンチの底部の角部に位置している部分(5a)が最も第2導電型不純物濃度が高くなっている化合物半導体装置。

【請求項10】

裏面側に備えられた高不純物濃度となる裏面層(1)と、表面側に備えられ前記下地層を構成すると共に前記裏面層よりも低不純物濃度とされた第1導電型のドリフト層(2)と、を有する前記半導体基板(1、2)と、

前記ドリフト層の上に形成された第2導電型のベース領域(3)と、

前記ベース領域の上層部に形成され、前記ドリフト層よりも高不純物濃度の第1導電型のソース領域(4)と、

前記ソース領域の表面から前記ベース領域よりも深くまで形成されたゲートトレンチ(6)内に形成され、該ゲートトレンチの内壁面に形成されたゲート絶縁膜(7)と、前記ゲート絶縁膜の上に形成されたゲート電極(8)と、を有して構成されたトレンチゲート構造と、

前記ソース領域に電気的に接続されるソース電極(9)と、

前記半導体基板の裏面側における前記裏面層と電気的に接続されるドレイン電極(10)とを有する縦型MOSFETを備え、

前記ソース領域および前記ベース領域を貫通して前記ドリフト層に至るように前記ディープトレンチが形成され、該ディープトレンチ内に前記ディープ層が配置されている請求項9に記載の化合物半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば炭化珪素(以下、SiCという)や窒化ガリウム(以下、GaNという)などの化合物半導体を用いた化合物半導体装置の製造方法および化合物半導体装置に関する。

【背景技術】

【0002】

従来、特許文献1に、トレンチゲート構造の縦型スイッチング素子として、反転型のトレンチゲート構造の縦型MOSFETを備えたSiC半導体装置が提案されている。反転型のトレンチゲート構造の縦型MOSFETでは、ゲートトレンチ内のゲート電極に対してゲート電圧を印加することで、ゲートトレンチ側面に位置するp型ベース領域にチャネルを形成し、このチャネルを通じてドレイン・ソース間に電流を流す。このようなトレンチゲート構造の縦型MOSFETでは、トレンチゲート構造に備えられるゲート絶縁膜に対して高電界が加わると絶縁破壊が生じて素子耐圧が低下してしまう。

【0003】

このため、特許文献1に記載のSiC半導体装置では、トレンチゲート構造を挟んだ両側に、n⁺型ソース領域およびp型ベース領域を貫通してn⁻型ドリフト層に達するディープトレンチを形成し、このトレンチ内にp型ディープ層を備えるようにしている。このようなp型ディープ層を備えることで電界がゲート絶縁膜に入り込むことを抑制でき、ゲート絶縁膜を高電界から保護して絶縁破壊が起こり難くなつて、素子耐圧を向上することが可能となる。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2014-236189号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、エピタキシャル成長によってディープトレンチ内に均一濃度でp型ディ

10

20

30

40

50

ープ層を形成しようとすると、成長条件のプロセスウィンドウが狭く、ディープトレンチの底部の角部がn型化することがあった。このように、ディープトレンチの底部の角部がn型化した場合、p型ディープ層によるトレンチゲート構造側への電界の入り込み抑制効果が十分に得られず、オフ時におけるドレイン・ソース間耐圧が得られなくなる。

【0006】

例えば、表面がSi面となるSiC基板を用いた場合、ディープトレンチの底部に相当する部分の結晶面方位においてn型ドーパント原子（例えば窒素）が取り込まれ易い。このため、エピタキシャル成長装置内やSiC原料ガスに含まれる微量のn型ドーパント原子が取り込まれてディープトレンチの底部の角部がn型化することがあると考えられる。SiC原料として高純度材料を用いれば、ディープトレンチの底部の角部がn型化することを抑制できるが、高純度材料を準備することが難しく、コスト高にもなる。また、高温水素雰囲気においてp型ディープ層をエピタキシャル成長させるようにしても良いが、水素や高温によるエッティングとSiCのデポジションとが平衡状態となり、SiC原料ガス導入前でもディープトレンチの底部にSiCが結晶成長する現象が起こる。

10

【0007】

本発明は上記点に鑑みて、ドレイン・ソース間の耐圧の低下を抑制できる化合物半導体装置の製造方法および化合物半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0008】

上記目的を達成するため、請求項1に記載の発明では、化合物半導体装置の製造方法であって、化合物半導体にて構成される第1導電型の下地層（2）を有する半導体基板（1、2）を用意することと、下地層に対してディープトレンチ（15）を形成することと、エピタキシャル成長装置内に第2導電型ドーパントを含むドーパントガスを導入しつつ、化合物半導体の原料ガスを導入し、ディープトレンチ内に第2導電型のディープ層（5）をエピタキシャル成長させることと、を含み、ディープ層を形成することでは、ディープ層をエピタキシャル成長させる温度までエピタキシャル成長装置を昇温させる期間を昇温期間として、該昇温期間中から第2導電型ドーパントを含むドーパントガスを導入したのち、昇温期間後に原料ガスを導入することで、ディープトレンチの底部の角部にもディープ層を形成する。

20

【0009】

30

このように、昇温期間中から第2導電型ドーパントを含むドーパントガスを導入したのち、昇温期間後に原料ガスを導入している。これにより、ディープ層の底部側の角部、つまりディープトレンチにおける底部側の角部からディープ層が形成されるようになる。したがって、ディープ層によるトレンチゲート構造側への電界の入り込み抑制効果を的確に発揮させることができるとなり。オフ時におけるドレイン・ソース間耐圧を得ることができる。

【0010】

請求項2に記載の発明では、化合物半導体にて構成される第1導電型の下地層（2）を有する半導体基板（1、2）を用意することと、下地層に対してディープトレンチ（15）を形成することと、エピタキシャル成長装置内に第2導電型ドーパントを含むドーパントガスを導入しつつ、化合物半導体の原料ガスを導入し、ディープトレンチ内に第2導電型のディープ層（5）をエピタキシャル成長させることと、を含み、ディープ層を形成することでは、ディープ層をエピタキシャル成長させる温度までエピタキシャル成長装置を昇温させる期間を昇温期間として、該昇温期間中から第2導電型ドーパントを含むドーパントガスを導入したのち、昇温期間中ににおけるドーパントガスの導入後に原料ガスを導入することで、ディープトレンチの底部の角部にもディープ層を形成する。

40

【0011】

このように、昇温期間中から第2導電型ドーパントを含むドーパントガスを導入したのち、昇温期間中ににおけるドーパントガスの導入後に原料ガスを導入するようにしても、ディープ層の底部側の角部、つまりディープトレンチにおける底部側の角部からディープ層

50

が形成されるようにできる。したがって、ディープ層によるトレンチゲート構造側への電界の入り込み抑制効果を的確に発揮させることができることが可能となり。オフ時におけるドレイン - ソース間耐圧を得ることができる。

【0012】

なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係の一例を示すものである。

【図面の簡単な説明】

【0013】

【図1】第1実施形態にかかる縦型MOSFETを備えたSiC半導体装置の断面図である。

10

【図2】図1に示すSiC半導体装置の製造工程を示した断面図である。

【図3】第1実施形態にかかるディープトレンチ内へのp型ディープ層の成長プログラムを示したタイムチャートである。

【図4】第2実施形態にかかるディープトレンチ内へのp型ディープ層の成長プログラムを示したタイムチャートである。

【図5】第3実施形態にかかる縦型MOSFETを備えたSiC半導体装置の断面図である。

【図6】第3実施形態にかかるディープトレンチ内へのp型ディープ層の成長プログラムを示したタイムチャートである。

【発明を実施するための形態】

【0014】

以下、本発明の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

20

【0015】

(第1実施形態)

本発明の第1実施形態にかかるトレンチゲート構造の反転型の縦型MOSFETが形成されたSiC半導体装置について、図1を参照して説明する。

【0016】

図1に示すSiC半導体装置は、セル領域にトレンチゲート構造の縦型MOSFETが形成され、図示していないが、セル領域を囲む外周領域に外周耐圧構造が備えられた構成とされている。

30

【0017】

SiC半導体装置は、SiCからなる高濃度不純物層を構成するn⁺型基板1の表面側に、n⁺型基板1よりも低不純物濃度のSiCからなるn⁻型ドリフト層2が形成された半導体基板を用いて形成されている。n⁺型基板1は、例えばn型不純物濃度が1.0×10¹⁹/cm³とされ、表面が(0001)Si面とされている。n⁻型ドリフト層2は、例えばn型不純物濃度が0.5~2.0×10¹⁶/cm³とされている。

【0018】

n⁻型ドリフト層2の上層部にはベース領域3が形成されている。本実施形態の場合、ベース領域3は、n⁻型ドリフト層2よりも高不純物濃度のp型SiCで構成されており、p型不純物濃度が比較的高くされた高濃度ベース領域3aと、それよりもp型不純物濃度が低くされた低濃度ベース領域3bとが順に積層された構造とされている。

40

【0019】

高濃度ベース領域3aは、例えばp型不純物濃度が5×10¹⁷/cm³以上、例えば1×10¹⁸/cm³とされ、厚みが50~200nmとされている。低濃度ベース領域3bは、例えばp型不純物濃度が1.0×10¹⁶/cm³以下とされ、厚みが0.2~1.0μmとされている。

【0020】

さらに、ベース領域3の上層部分にはn⁺型ソース領域4が形成されている。また、n⁺型ソース領域4の表面からn⁺型ソース領域4およびベース領域3を貫通し、n⁻型ドリフ

50

ト層 2 に達するように p 型ディープ層 5 が形成されている。具体的には、n⁺型ソース領域 4 の表面から n⁺型ソース領域 4 およびベース領域 3 を貫通し、n⁻型ドリフト層 2 に達するディープトレーンチ 15 が形成されており、このディープトレーンチ 15 内に p 型ディープ層 5 が埋め込まれている。例えば、ディープトレーンチ 15 は、アスペクト比が 2 以上の深さとされている。

【 0 0 2 1 】

n⁺型ソース領域 4 は、後述するトレーンチゲート構造の両側に配置されている。p 型ディープ層 5 は、n⁺型ソース領域 4 を挟んでトレーンチゲート構造と反対側においてトレーンチゲート構造よりも深い位置まで形成されており、ディープトレーンチ 15 の底部の角部まで埋め込まれている。すなわち、ディープトレーンチ 15 の底部の角部が n 型化されておらず、ディープトレーンチ 15 内が p 型ディープ層 5 で埋め込まれた構造とされている。n⁺型ソース領域 4 は、表層部における n 型不純物濃度が例えば $2.5 \times 10^{18} \sim 1.0 \times 10^{19} / \text{cm}^3$ 、厚さ $0.5 \mu\text{m}$ 程度で構成されている。また、p 型ディープ層 5 は、ベース領域 3 よりも高不純物濃度とされ、p 型不純物濃度が例えば $1.0 \times 10^{17} \sim 1.0 \times 10^{19} / \text{cm}^3$ とされている。本実施形態では、p 型ディープ層 5 は、後述するソース電極 9 と電気的接続が行われるコンタクト領域も兼ねている。

【 0 0 2 2 】

また、ベース領域 3 および n⁺型ソース領域 4 を貫通して n⁻型ドリフト層 2 に達するように、紙面垂直方向を長手方向とするトレーンチ 6 が形成されている。このトレーンチ 6 の側面と接するように上述したベース領域 3 における高濃度ベース領域 3a や低濃度ベース領域 3b および n⁺型ソース領域 4 が配置されている。

【 0 0 2 3 】

さらに、ベース領域 3 のうち n⁺型ソース領域 4 と n⁻型ドリフト層 2 との間に位置する部分の表層部をチャネル領域として、このチャネル領域を含むトレーンチ 6 の内壁面にはゲート絶縁膜 7 が形成されている。そして、ゲート絶縁膜 7 の表面にはドープド P o l y - S i にて構成されたゲート電極 8 が形成されており、これらゲート絶縁膜 7 およびゲート電極 8 によってトレーンチ 6 内が埋め尽くされている。

【 0 0 2 4 】

このようにして、トレーンチゲート構造が構成されている。このトレーンチゲート構造は、図 1 の紙面垂直方向を長手方向として延設されており、複数のトレーンチゲート構造が図 1 中の左右方向に並べられることでストライプ状とされている。また、上述した n⁺型ソース領域 4 および p 型ディープ層 5 もトレーンチゲート構造の長手方向に沿って延設されたレイアウト構造とされている。

【 0 0 2 5 】

また、n⁺型ソース領域 4 および p 型ディープ層 5 の表面やゲート電極 8 の表面には、ソース電極 9 やゲート配線（図示せず）が形成されている。ソース電極 9 およびゲート配線は、複数の金属（例えば Ni / Al 等）にて構成されている。そして、複数の金属のうち少なくとも n 型 SiC（具体的には n⁺型ソース領域 4 や n 型ドープの場合のゲート電極 8）と接触する部分は n 型 SiC とオーミック接触可能な金属で構成されている。また、複数の金属のうち少なくとも p 型 SiC（具体的には p 型ディープ層 5）と接触する部分は p 型 SiC とオーミック接触可能な金属で構成されている。なお、これらソース電極 9 およびゲート配線は、図示しない層間絶縁膜上に形成されることで電気的に絶縁されている。そして、層間絶縁膜に形成されたコンタクトホールを通じて、ソース電極 9 は n⁺型ソース領域 4 および p 型ディープ層 5 と電気的に接触させられ、ゲート配線はゲート電極 8 と電気的に接触させられている。

【 0 0 2 6 】

さらに、n⁺型基板 1 の裏面側には n⁺型基板 1 と電気的に接続されたドレイン電極 10 が形成されている。このような構造により、n チャネルタイプの反転型のトレーンチゲート構造の縦型 MOSFET が構成されている。そして、この縦型 MOSFET が形成されたセル領域の外周領域に、図示しない外周耐圧構造が備えられることで、本実施形態にかか

10

20

30

40

50

る SiC 半導体装置が構成されている。

【 0 0 2 7 】

このようなSiC半導体装置に備えられる反転型のトレンチゲート構造の縦型MOSFETは、ゲート電極8にゲート電圧を印加すると、ベース領域3のうちトレンチ6に接している表面にチャネルが形成される。これにより、ソース電極9から注入された電子がn⁺型ソース領域4からベース領域3に形成されたチャネルを通った後、n⁻型ドリフト層2に到達し、ソース電極9とドレイン電極10との間に電流を流すという動作が行われる。

【 0 0 2 8 】

このとき、本実施形態のSiC半導体装置では、ディープトレンチ15の角部がp型ディープ層5で埋め込まれるようにしてあり、ディープトレンチ15の角部にn型化したn型層が形成されないようにしている。このような構造とすることにより、p型ディープ層5によるトレンチゲート構造側への電界の入り込み抑制効果を的確に発揮させることができ。オフ時におけるドレイン-ソース間耐圧を得ることができる。

【 0 0 2 9 】

また、本実施形態では、ベース領域3を高濃度ベース領域3aと低濃度ベース領域3bによって構成しており、これら高濃度ベース領域3aと低濃度ベース領域3bによってチャネルが形成されるようにしている。このため、高濃度ベース領域3aによってベース領域3内における空乏層の拡がりを抑制できる。したがって、ベース領域3内が完全空乏化してパンチスルーしてしまうことを防止でき、素子耐圧確保が可能になると共にトレンチ6の底部のゲート絶縁膜7の劣化防止も可能になる。また、閾値電圧が高濃度ベース領域3aのp型不純物濃度に依存することになるため、高閾値電圧を得ることも可能となる。

(0 0 3 0)

また、低濃度ベース領域3bの部分においてチャネル移動度が高められるため、高濃度ベース領域3aを備えていたとしても、オン抵抗低減を図ることが可能となる。したがって、オン抵抗低減および素子耐圧確保が可能で、かつ、高閾値電圧が得られるトレンチゲート構造の縦型MOSFETとすることができる。

【 0 0 3 1 】

また、高濃度ベース領域3aが存在することで、オフ時においては、n型ドリフト層2とベース領域3との接合から発生するキャリアの引き抜き効果が高められるため、ドレインリリーク電流を低減できる。

[0 0 3 2]

また、ベース領域3のうちn⁻型ドリフト層2と接触する部分がすべてp型不純物濃度が高い高濃度ベース領域3aとされていることから、n⁻型ドリフト層2とベース領域3とのPN接合にて構成される内蔵ダイオードに電流が流れる際の立上り電圧が低減できる。このため、内蔵ダイオードのオン電圧が低減され、内蔵ダイオードを積極的に用いた同期整流駆動時の損失低減を図ることも可能となる。

【 0 0 3 3 】

さらに、オフ時において、高濃度ベース領域3a側からn⁻型ドリフト層2側に延びる空乏層によって、トレンチゲート構造の下方に等電位線が入り込み難くなるようになる。このため、トレンチ6の底面においてゲート絶縁膜7に印加される電界集中を緩和でき、ゲート絶縁膜7の寿命向上、逆バイアス寿命向上を図ることが可能となる。

【 0 0 3 4 】

続いて、図1のように構成された本実施形態にかかるSiC半導体装置の製造方法について、図2および図3を参照して説明する。

〔 0 0 3 5 〕

[図2(a)に示す工程]

まず、半導体基板として、SiCからなるn⁺型基板1の表面上にSiCからなるn⁻型ドリフト層2がエピタキシャル成長させられた、いわゆるエピ基板を用意する。そして、このエピ基板をエピタキシャル成長装置内に配置し、n⁻型ドリフト層2の表面に高濃度ベース領域3a、低濃度ベース領域3b、n⁺型ソース領域4を順にエピタキシャル成長

する。

【0036】

〔図2(b)に示す工程〕

n^+ 型ソース領域4の表面にマスク材(図示せず)を配置したのち、フォトリソグラフィによってマスク材のうちのp型ディープ層5の形成予定位置を開口させる。そして、マスク材を配置した状態でRIE(Reactive Ion Etching)などの異方性エッチングを行うことで、p型ディープ層5の形成予定位置にディープトレンチ15を形成する。

【0037】

〔図2(c)に示す工程〕

図示しないエピタキシャル成長装置を用いて、p型ディープ層15を形成する工程を連続して行う。10

【0038】

具体的には、図3に示すように、まず昇温期間としてエピタキシャル成長装置内の温度を例えば1575まで上昇させる。昇温期間については、例えば40分以内程度の時間としている。また、このときにSiC原料ガスの導入に先立ち、前もってp型ドーパントを含むドーパントガスを導入するプレドープを行う。そして、プレドープ後に、SiC原料ガスを導入することでp型ディープ層5をエピタキシャル成長させる。

【0039】

SiC原料ガスとしては、例えばSi原料となるシラン(SiH_4)やC原料となるプロパン(C_3H_8)等を用いることができる。また、p型ディープ層5を形成する際のドーパントガスとしては、p型ドーパントを含むTMA(トリメチルアルミニウム)を用いている。さらに、必要に応じて、エッチングガスとして、例えば水素(H_2)も導入している。20

【0040】

このとき、SiC原料ガスを導入する前にp型ドーパントをプレドープしておくと、ディープトレンチ15の底部の角部がn型化されることなくp型ディープ層5を形成できる。すなわち、SiC原料ガスの導入前に雰囲気中への昇華などによって存在するSi元素やC元素に基づいて、もしくは、SiC原料ガスが導入された初期時に、プレドープ時に予め導入しておいたp型ドーパントが取り込まれることによってSiCが結晶成長する。このため、ディープトレンチ15の底部の角部からp型ディープ層5を形成できる。したがって、ディープトレンチ15の角部のSiCがn型化することを的確に抑制することが可能となる。30

【0041】

特に、必要に応じてエッチングガスを導入してエッチングガス雰囲気(例えば水素ガス雰囲気)での昇温が行われるようにすると、昇温期間中にエッチングとSiCデポジションの平衡状態となる。これにより、SiC原料ガスの導入前でもディープトレンチ15の角部にSiCが成長する現象が起こる。このような場合に、p型ドーパントのプレドープを行うことで、ディープトレンチ15の角部のSiCがn型化することをより的確に抑制することが可能となる。

【0042】

なお、p型ドーパントのように有機金属材料がドーパントとされる場合、そのドーパントがガス導入初期時にエピタキシャル成長装置のチャンバ内壁面に貼り付いて所望のp型不純物濃度となるまでに時間が掛かる立上り遅れが発生する。このため、プレドープを行う場合、そのプレドープ時間およびTMAの導入量を制御することで、p型ディープ層5の不純物濃度を適宜制御でき、p型ディープ層5を所望のp型不純物濃度となるように形成できる。40

【0043】

そして、SiC原料ガスの導入後には、ドーパントガスとSiC原料ガスおよび必要に応じて導入されるエッチングガスの比率が所望値にて安定する。このガス比率が安定した期間を定常成長期間として、ディープトレンチ15を埋め込むようにp型ディープ層5が50

形成される。

【0044】

この後、研削やCMP(Chemical Mechanical Polishing)などによる平坦化によって、p型ディープ層5の形成の際にn⁺型ソース領域4の上に形成されたp型不純物層を除去し、n⁺型ソース領域4の表面を露出させる。これにより、ディープトレンチ15内にのみp型ディープ層5が配置された構造が形成される。

【0045】

[図2(d)に示す工程]

n⁺型ソース領域4やp型ディープ層5の表面にマスク材(図示せず)を配置したのち、フォトリソグラフィによってマスク材のうちのトレンチ6の形成予定位置を開口させる。そして、マスク材を配置した状態でRIEなどの異方性エッティングを行うことにより、セル領域においてトレンチ6を形成する。その後、マスク材を除去する。

10

【0046】

そして、必要に応じて、1600度以上の減圧下における水素雰囲気、例えば1625、 $2.7 \times 10^4 \text{ Pa}$ (=200 Torr)の高温水素雰囲気での熱処理による水素エッティングを実施する。この水素エッティングによってトレンチ6の内壁面の丸め処理が行われ、トレンチ6の開口入口やコーナー部を丸められると共に、トレンチエッティングのダメージ除去が行われる。

【0047】

[図2(e)に示す工程]

20

ウェット雰囲気による熱酸化によってゲート絶縁膜7を形成したのち、ゲート絶縁膜7の表面にドープドPoly-Si層を成膜し、このドープドPoly-Si層をパターニングすることでトレンチ6内に残し、ゲート電極8を形成する。

【0048】

この後の工程については、従来と同様である。すなわち、層間絶縁膜の形成工程、フォト・エッティングによるコンタクトホール形成工程、電極材料をデポジションしたのちパターニングすることでソース電極9やゲート配線層を形成する工程、n⁺型基板1の裏面にドレイン電極10を形成する工程等を行う。これにより、図1に示すトレンチゲート構造の縦型MOSFETがセル領域に備えられたSiC半導体装置が完成する。

【0049】

30

以上説明したように、本実施形態で説明した縦型MOSFETを備えたSiC半導体装置では、p型ディープ層5の底部側の角部、つまりディープトレンチ15における底部側の角部からp型ディープ層5が形成されるようにしている。これにより、p型ディープ層5によるトレンチゲート構造側への電界の入り込み抑制効果を的確に発揮させることができることが可能となり。オフ時におけるドレイン-ソース間耐圧を得ることができる。

【0050】

また、本実施形態にかかるSiC半導体装置の製造方法として、p型ディープ層5の形成時に、SiC原料ガスを導入する前にp型ドーパントをプレドープしている。これにより、雰囲気中への昇華などによって存在するSi元素やC元素に基づいて、もしくは、SiC原料ガスが導入された初期時に、ディープトレンチ15の底部の角部にp型ディープ層5を形成できる。したがって、ディープトレンチ15の角部のSiCがn型化することを的確に抑制することが可能となる。

40

【0051】

(第2実施形態)

第2実施形態について説明する。本実施形態は、第1実施形態に対してSiC原料ガスの導入方法を変更したものであり、その他については第1実施形態と同様であるため、第1実施形態と異なる部分についてのみ説明する。

【0052】

図4に示すように、昇温期間の途中からSiC原料ガスの導入を行なうようにしている。そしてSiC原料ガスの導入量について、導入初期時には導入量を少なくしておき、それ

50

から徐々に導入量を増やして所望の導入量となるようにしている。SiC原料ガスの導入量を徐々に増やす期間を遷移期間、一定になった後を定常成長期間として、遷移期間中には緩やかにエピタキシャル成長が行われ、定常生長期間中に所望の成長レート（例えば~4 μm/h）でエピタキシャル成長が行われるようにしている。例えば、遷移期間を30秒として、遷移期間中のシランの導入量については50 ppmから200 ppmに徐々に増加させ、プロパンの導入量については15 ppmから60 ppmに徐々に増加させるようしている。

【0053】

このように、昇温期間中からSiC原料ガスを導入することで、露出している表面にステップバンチングが形成されることを抑制することが可能となる。また、SiC原料ガスの導入量を徐々に増やすようにしている。このため、遷移期間中に急にSiC原料ガスの導入量を増やすことによる成長結晶の結晶性の悪化を抑制しつつ、結晶性悪化が起こり難い程度に成長が進んだら所望のレートでのエピタキシャル成長を行うことが可能となる。そして、露出している表面にステップバンチングが形成されることを抑制できると共に成長結晶の結晶性の悪化を抑制することが可能になることから、トレンチ6の表面の平坦性および結晶性を良好にできる。したがって、トレンチ6の内壁面に形成されるゲート絶縁膜7の膜質を向上でき、ゲート絶縁膜7の信頼性を向上することが可能となる。

【0054】

（第3実施形態）

第3実施形態について説明する。本実施形態は、第1、第2実施形態に対してp型ディープ層5の構造およびSiC原料ガスの導入方法を変更したものであり、その他については第1、第2実施形態と同様であるため、第1、第2実施形態と異なる部分についてのみ説明する。なお、ここでは、第2実施形態と同様にSiC原料ガスの導入量を変化させる場合を例に挙げて説明するが、第1実施形態のようにSiC原料ガスの導入量を一定としても良い。

【0055】

図5に示すように、本実施形態では、p型ディープ層5のうちの底部の角部、換言すればディープトレンチ15の底部における角部がp⁺型領域5aとされている。このp⁺型領域5aは、ベース領域3よりも下方において、ベース領域3から離れて形成されているが接続された状態とされていても良い。p⁺型領域5aは、p型不純物濃度が例えば1.0 × 10¹⁷ ~ 1.0 × 10¹⁹/cm³とされていて、断面形状が三角形状、もしくはp型ディープ層5と接する部分が凹んで曲面となった三角ラウンド形状とされている。ただし、p⁺型領域5aの不純物濃度は一定である必要はなく、ディープトレンチ15の角部から離れるほど徐々に不純物濃度が低下していき、p型ディープ層5における他の領域の不純物濃度まで低下するような濃度分布であっても良い。このように、p型ディープ層5は、底部の角部においてp⁺型領域5aが形成されることによりp型不純物濃度が最も高くなっている。

【0056】

このような構造とされているため、本実施形態のSiC半導体装置によれば、p型ディープ層5によるトレンチゲート構造側への電界の入り込み抑制効果をより発揮させることができが可能となり。オフ時におけるドレイン-ソース間耐圧を更に得ることが可能となる。また、p型不純物濃度が高くなっているp⁺型領域5aの部分で意図的にブレークダウンを発生させることができとなり、MOS構造部分（つまりトレンチゲート構造部分）でブレークダウンが発生することを抑制できる。特に、L負荷のようなスイッチングサージが大きなもののスイッチング素子としてSiC半導体装置を適用する場合には、外周領域だけでなくセル領域でもブレークダウン電流が流れるようにしてサージ電流を基板全面で受けられるようにするのが好ましい。このため、セル領域にブレークダウン電流が流れようになつて、MOS構造部分にはブレークダウン電流が流れないようにすることで、縦型MOSFETの信頼性を向上させられると共に、L負荷に対する耐量の向上を図ることも可能となる。

【0057】

続いて、本実施形態のSiC半導体装置の製造方法について説明する。本実施形態のSiC半導体装置の製造方法は、基本的には第1、第2実施形態と同様であるが、プレドープ中におけるドーパントガスの導入量などが異なっている。

【0058】

例えば、図6に示すように、プレドープ中においてp型ドーパントを含むドーパントガスの導入量を定常成長期間中よりも多くしている。そして、SiC原料ガスを導入し始めて遷移期間になると、その期間中にSiC原料ガスの導入前よりもドーパントガスの導入量を低下させる。さらに、この遷移期間中にドーパントガスの導入量を徐々に低下させていき、定常成長期間のときの導入量まで低下させるようにしている。

10

【0059】

このように、プレドープ中においてドーパントガスの導入量を最も多くすると、雰囲気中への昇華などによって存在するSi元素やC元素に基づいて、もしくは、SiC原料ガスが導入された初期時に、ディープトレンチ15の底部にp⁺型領域5aを形成できる。

【0060】

このときのp⁺型領域5aは、プレドープ時に予め導入しておいたp型ドーパントが取り込まれることによって高不純物濃度で形成され、p型ディープ層5の他の領域よりも高不純物濃度で形成できる。そして、プレドープ中のドーパントガスの導入量をその後の期間よりも多くしていることから、よりp⁺型領域5aのp型不純物濃度を増大させることができるとなる。このため、ディープトレンチ15の角部のSiCがn型化することをより的確に抑制することが可能となる。

20

【0061】

また、昇温中にはドーパントガスの導入量を多くしているが、その後はドーパントガスの導入量を低減している。このため、p型ディープ層5の全域が過剰にp型不純物濃度の高い領域になることを防止できると共に、p型ディープ層5におけるp⁺型領域5aの他の領域全域を均一な濃度にすることができる。これにより、p型ディープ層5におけるp⁺型領域5aの他の領域の濃度分布が増大する場合のような素子耐圧低下を抑制することができる。

【0062】

(他の実施形態)

30

本発明は上記した実施形態に限定されるものではなく、特許請求の範囲に記載した範囲内において適宜変更が可能である。

【0063】

例えば、上記各実施形態では、n⁺型ソース領域4をエピタキシャル成長によって形成しているが、n⁺型ソース領域4についてはベース領域3の上層部に形成されていれば良いため、イオン注入などの他の手法によって形成することもできる。

【0064】

また、第2実施形態では、ベース領域3を高濃度ベース領域3aと低濃度ベース領域3bに分けたが、単一の不純物濃度で構成しても良い。また、不純物濃度を異ならせる構成では、高濃度ベース領域3aと低濃度ベース領域3bの境界部において不純物濃度が徐々に変化し、その境界部を挟んでp型不純物濃度が異なった高濃度ベース領域3aと低濃度ベース領域3bとが積層された形態でも良い。また、低濃度ベース領域3bについては、ノンドープ(つまり、ほとんどp型ドーパントがドープされていない)であるi型半導体によって構成されていても構わない。例えば、低濃度ベース領域3bのドープ量について、エピタキシャル成長時に雰囲気中に残留しているp型ドーパントがドープされる程度とすることができる。その場合、低濃度ベース領域3bでの高チャネル移動度化を更に実現することができとなり、更なる低オシ抵抗化が可能になる。

40

【0065】

さらに、上記各実施形態では、裏面側が高不純物濃度の裏面層、表面側がそれよりも低不純物濃度なドリフト層とされた半導体基板として、n⁺型基板1の表面にn⁻型ドリフト

50

層 2 を形成した構造を例に挙げて説明した。しかしながら、これは半導体基板の一例を示したに過ぎず、例えば n⁻型ドリフト層 2 にて構成される基板の裏面側に n 型ドーパントをイオン注入すること、もしくはエピタキシャル成長によって高濃度不純物層を構成した半導体基板であっても良い。

【 0 0 6 6 】

また、上記各実施形態では、第 1 導電型を n 型、第 2 導電型を p 型とした n チャネルタイプの縦型 M O S F E T を例に挙げて説明したが、各構成要素の導電型を反転させた p チャネルタイプの縦型 M O S F E T に対しても本発明を適用することができる。その場合、半導体基板の面方位を上記各実施形態の場合に対して 90 度ずらすことで、ディープトレンチの側面には p 型の制限層を優位にエピタキシャル成長させられ、ディープトレンチの底部には n 型のディープ層を優位にエピタキシャル成長させることができる。10

【 0 0 6 7 】

さらに、上記各実施形態では、化合物半導体として S i C を例に挙げ、ディープトレンチ内に第 2 導電型のディープ層をエピタキシャル成長させる一例として下地層となる n⁻型ドリフト層 2 の上に p 型ディープ層 5 を形成する場合を例に挙げて説明した。しかしながら、これも単なる一例を示したに過ぎない。すなわち、化合物半導体にて構成される第 1 導電型の下地層に対してディープトレンチを形成し、そのディープトレンチに第 2 導電型の化合物半導体にて構成されるディープ層をエピタキシャル成長する構造について、本発明を適用することができる。

【 符号の説明 】

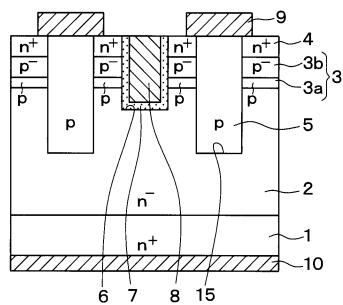
【 0 0 6 8 】

- 1 n⁺型基板
- 2 n⁻型ドリフト層
- 3 ベース領域
- 4 n⁺型ソース領域
- 5 p 型ディープ層
- 5 a p⁺型領域
- 6 トレンチ
- 8 ゲート電極
- 1 5 ディープトレンチ

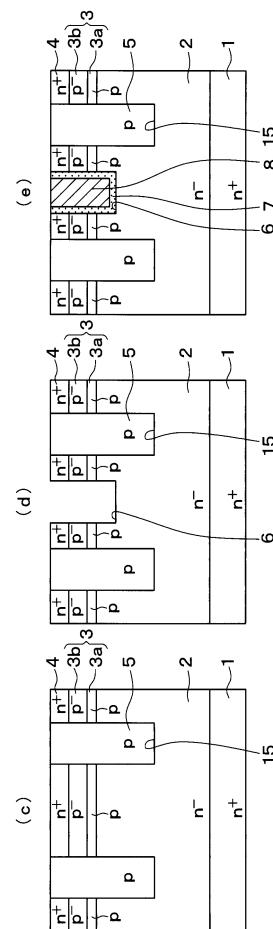
20

30

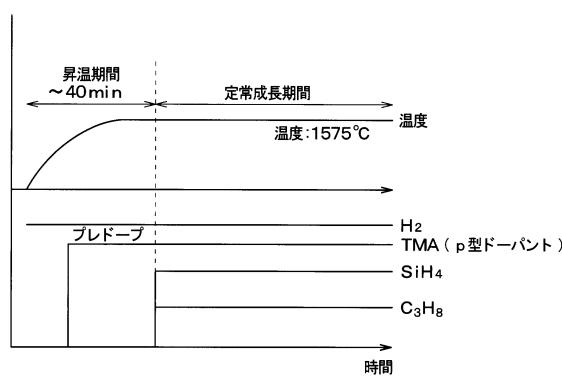
【図1】



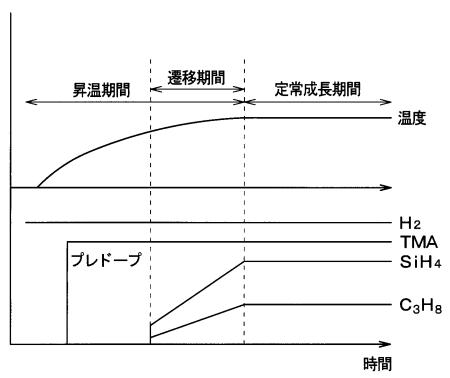
【図2】



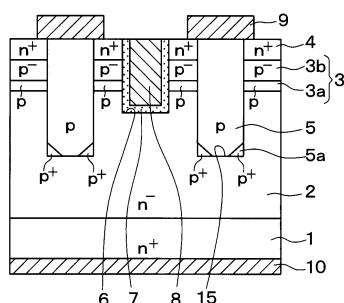
【図3】



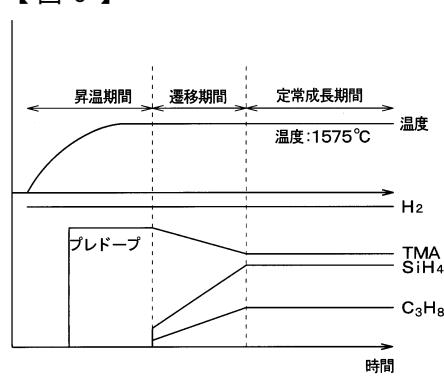
【図4】



【図5】



【図6】



フロントページの続き

(51)Int.Cl.	F I		
H 0 1 L 21/20	(2006.01)	H 0 1 L 29/06	3 0 1 D
		H 0 1 L 29/06	3 0 1 V
		H 0 1 L 21/265	Z
		H 0 1 L 21/20	

(72)発明者 鈴木 克己
愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内

(72)発明者 山下 侑佑
愛知県長久手市横道4 1番地の1 株式会社豊田中央研究所内

審査官 杉山 芳弘

(56)参考文献 特開2014-236189 (JP, A)
特開2009-302091 (JP, A)
特開2017-005236 (JP, A)
特開2013-222932 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L	2 9 / 0 6
H 0 1 L	2 9 / 1 2
H 0 1 L	2 9 / 7 8
H 0 1 L	2 1 / 3 3 6
H 0 1 L	2 1 / 2 0
H 0 1 L	2 1 / 2 6 5