



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201436199 A

(43)公開日：中華民國 103 (2014) 年 09 月 16 日

(21)申請案號：102149289

(22)申請日：中華民國 102 (2013) 年 12 月 31 日

(51)Int. Cl. : **H01L29/02 (2006.01)**

(30)優先權：2012/12/31	美國	61/747,613
2013/03/15	美國	61/788,744
2013/03/15	美國	61/790,445
2013/03/15	美國	61/793,999

(71)申請人：MEMC 電子材料公司 (美國) MEMC ELECTRONIC MATERIALS, INC. (US)
美國

(72)發明人：法斯特 羅伯特 J FALSTER, ROBERT J. (US)；瓦諾庫夫 瓦帝莫爾 V
VORONKOV, VLADIMIR V. (RU)；皮特尼 約翰 A PITNEY, JOHN A. (US)；亞
伯查特 彼得 D ALBRECHT, PETER D. (US)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：35 項 圖式數：19 共 50 頁

(54)名稱

製備具有經徑向壓縮而得之減低之應變之異質結構的方法及裝置

PROCESSES AND APPARATUS FOR PREPARING HETEROSTRUCTURES WITH REDUCED STRAIN BY RADIAL COMPRESSION

(57)摘要

本發明揭示製備具有減低之應變之異質結構之裝置及方法。該等異質結構可包括半導體結構，該半導體結構依形於晶格常數不同於該結構之表面層，以形成相對較低缺陷異質結構。

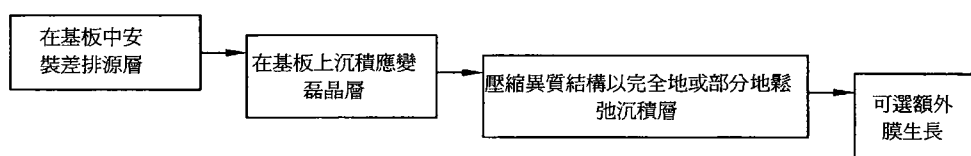


圖 2



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201436199 A

(43)公開日：中華民國 103 (2014) 年 09 月 16 日

(21)申請案號：102149289

(22)申請日：中華民國 102 (2013) 年 12 月 31 日

(51)Int. Cl. : **H01L29/02 (2006.01)**

(30)優先權：2012/12/31	美國	61/747,613
2013/03/15	美國	61/788,744
2013/03/15	美國	61/790,445
2013/03/15	美國	61/793,999

(71)申請人：MEMC 電子材料公司 (美國) MEMC ELECTRONIC MATERIALS, INC. (US)
美國

(72)發明人：法斯特 羅伯特 J FALSTER, ROBERT J. (US)；瓦諾庫夫 瓦帝莫爾 V
VORONKOV, VLADIMIR V. (RU)；皮特尼 約翰 A PITNEY, JOHN A. (US)；亞
伯查特 彼得 D ALBRECHT, PETER D. (US)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：35 項 圖式數：19 共 50 頁

(54)名稱

製備具有經徑向壓縮而得之減低之應變之異質結構的方法及裝置

PROCESSES AND APPARATUS FOR PREPARING HETEROSTRUCTURES WITH REDUCED STRAIN BY RADIAL COMPRESSION

(57)摘要

本發明揭示製備具有減低之應變之異質結構之裝置及方法。該等異質結構可包括半導體結構，該半導體結構依形於晶格常數不同於該結構之表面層，以形成相對較低缺陷異質結構。

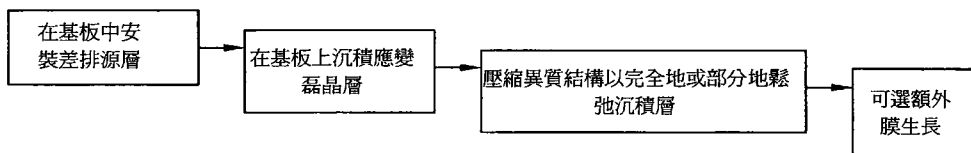


圖 2

發明摘要

※ 申請案號： | 0 2 1 4 9 2 8 9

※ 申請日： 102.12.31

※IPC 分類：H01L 29/02 2006.01

【發明名稱】

製備具有經徑向壓縮而得之減低之應變之異質結構的方法及裝置

PROCESSES AND APPARATUS FOR PREPARING

HETEROSTRUCTURES WITH REDUCED STRAIN BY RADIAL COMPRESSION

【中文】

本發明揭示製備具有減低之應變之異質結構之裝置及方法。該等異質結構可包括半導體結構，該半導體結構依形於晶格常數不同於該結構之表面層，以形成相對較低缺陷異質結構。

【英文】

Apparatus and processes for preparing heterostructures with reduced strain are disclosed. The heterostructures may include a semiconductor structure that conforms to a surface layer having a different crystal lattice constant than the structure to form a relatively low-defect heterostructure.

【代表圖】

【本案指定代表圖】：第（2）圖。

【本代表圖之符號簡單說明】：

無

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

製備具有經徑向壓縮而得之減低之應變之異質結構的方法及裝置

PROCESSES AND APPARATUS FOR PREPARING
HETEROSTRUCTURES WITH REDUCED STRAIN BY RADIAL
COMPRESSION

相關申請案之交叉參考

本申請案主張下列之權利：2012年12月31日申請之美國臨時申請案第61/747,613號；2013年3月15日申請之美國臨時申請案第61/793,999號；2013年3月15日申請之美國臨時申請案第61/790,445號及2013年3月15日申請之美國臨時申請案第61/788,744號，其每一者以引用方式併入本文中。

【技術領域】

本揭示內容概言之係關於具有減低之應變之半導體異質結構之製備，且具體而言係關於具有半導體基板之異質結構，該半導體基板依形於晶格常數不同於該基板之表面層，藉此形成相對較低缺陷異質結構。

【先前技術】

包含具有器件品質表面之器件層及晶格結構不同於該器件層之材料之基板的多層結構可用於多種不同用途。該等多層結構通常包含多個具有不同晶格常數之材料層。層間晶格失配致使該等層受到應變。在器件層中可自發地形成錯配差排以鬆弛層間應變。該等差排會

使多層半導體結構之品質及有用性降格。

業內不斷需要用於鬆弛晶格失配半導體層間應變之方法及產生實質上無差排之基板及器件層之方法。

【發明內容】

本揭示內容之一態樣係關於鬆弛異質結構中應變之方法，該異質結構包含基板、佈置於該基板上之表面層及位於該基板與該表面層間之界面。該基板包含中心軸、大致垂直於該中心軸之背表面及通過該中心軸跨越該基板之直徑延伸。在該基板中形成差排源層。徑向壓縮該基板以產生差排並使該等差排自差排源層朝向表面層滑動。

本揭示內容之另一態樣係關於製備鬆弛異質結構之方法。在半導體基板之前表面上沈積表面層，藉此在該表面層與該基板之間產生應變。在該基板中形成差排源層。藉由徑向壓縮該基板以產生差排並使該等差排自該差排源層朝向該表面層滑動來鬆弛該表面層及該基板中之應變。

本揭示內容之另一態樣係關於在裝置中徑向壓縮半導體結構之方法。該結構具有前表面、背表面及圓周邊緣。該裝置包括結構夾具，該結構夾具包含毗鄰該結構之圓周邊緣接觸該結構之頂板及背板。頂板適於接觸該結構之前表面且背板適於接觸該結構之背表面。在該頂板、該背板及該結構之該圓周邊緣之間形成周邊室。改變該周邊室中之壓力以徑向壓縮該結構。

【圖式簡單說明】

圖1係矽異質結構之示意性剖面圖；

圖2係繪示製備異質結構之方法之流程圖；

圖3至圖4係半導體結構及用於壓縮該半導體結構之結構夾具之剖視圖；

圖5係半導體結構及用於壓縮該半導體結構之結構夾具之另一實

施例之剖視圖；

圖6至圖7係上面具有塗層之半導體結構及圖3之結構夾具之剖視圖；

圖8係半導體結構及其中安裝圖3之結構夾具之用於壓縮該結構之裝置之示意性剖視圖；

圖9係半導體結構及用於壓縮該半導體結構之結構夾具之另一實施例之剖視圖；

圖10係複數個半導體結構及用於壓縮該等半導體結構之結構夾具之剖視圖；

圖11係用於壓縮半導體結構之結構夾具之另一實施例之俯視圖；

圖12係半導體結構及用於壓縮該半導體結構之結構夾具之另一實施例之剖視圖；

圖13係具有凹槽之半導體結構及用於壓縮該半導體結構之結構夾具之另一實施例之剖視圖；

圖14係半導體結構及具有頂板之圖13之結構夾具之剖視圖；

圖15係具有兩個凹槽之半導體結構及用於壓縮該半導體結構之結構夾具之另一實施例之剖視圖；

圖16係半導體結構及包括壓件之結構夾具之另一實施例之剖視圖；

圖17係圖16之半導體結構及結構夾具之俯視圖；

圖18係結構夾具及具有區段之結構夾具之另一實施例之俯視圖；且

圖19係半導體結構及具有凸緣之結構夾具之另一實施例之剖視圖。

貫穿該等圖式，對應參考字元指示對應部件。

【實施方式】

根據本揭示內容之一或多個態樣，在基板與晶格常數不同於該基板之表面層之間具有減低之應變之異質結構可藉由(例如)圖2之方法來製備。表面層在本文中亦可稱為「磊晶層」、「異質磊晶層」、「沈積膜」、「膜」、「異質層」或「沈積層」。可形成具有實質上鬆弛表面層及減低濃度之錯配差排(亦稱為貫穿式差排(threading dislocation))之異質結構。

一般而言，本揭示內容之方法可包括在半導體基板中形成差排源層、在形成該差排源層之前或之後在該基板上沈積異質層及徑向壓縮該異質結構以產生(即，「活化」)差排並使該等差排自該差排源層朝向該表面層滑動。藉由對基板施加壓縮同時發生源層之活化及差排自源層朝向具有沈積層之界面之滑動。可在一或多個步驟中並以各種組合施加該應力以活化差排並使其滑動，藉此對該異質結構進行塑性壓縮。

異質層可具有不同於基板之天然晶格常數 a_s 之晶格常數 a_{s1} ，以在該基板之表面上形成膜。通常，異質層之晶格常數 a_{s1} 小於基板之天然晶格常數 a_s ，使得藉由利用壓縮控制基板中差排環之產生及滑動，基板可進行塑性變形並與該膜之晶格更適宜地對準，藉此允許膜完全鬆弛且在基板上具有減低密度之貫穿式差排。

本揭示內容之方法相對於用於鬆弛異質層之習用方法具有若干優點。習用方法使該膜與基板間之應力產生較大不對稱，從而導致在應力最大處(即，在該膜處)產生差排。因將差排環侷限於該膜中，故該等差排會留下起降格作用之貫穿式差排區段。在嘗試最小化該等貫穿式差排之密度方面已作出了諸多努力。

相比而言，本揭示內容之方法使得應力之不對稱與差排產生發生在基板中(例如，藉由薄弱化基板並使用相對較薄之膜來避免在薄弱化基板的同時在膜中產生差排)。此允許將差排侷限於基板，同時

在基板與膜間之界面處形成錯配差排層。在藉由以多種受控方式引入差排薄弱化基板後，可對系統施加外應力以活化差排。此不同於因相對較大本質內應力而產生自鬆弛(即，未施加外應力情況下之鬆弛)之習用方法。本揭示內容之方法涉及除自鬆弛以外之鬆弛，藉由薄弱化並在適當溫度下施加外應力並使用相對較薄之膜以使得不發生自鬆弛。

I. 半導體基板

參照圖1，半導體基板1可為適宜用作支撐表面層(例如藉由利用化學氣相沈積來沈積磊晶層)之基板之任一單晶半導體材料。一般而言，半導體基板可由選自由下列組成之群之材料組成：矽、碳化矽、藍寶石、鍺、矽鍺、氮化鎵、氮化鋁、砷化鎵、砷化銻鎵或其任一組合。通常，半導體基板由矽組成。

半導體基板1可呈適於用作沈積表面層之基板及適於對基板材料施加應力二者之任一形狀，如下文更詳細闡述。通常，半導體基板具有中心軸2；具有沈積層7之界面3及背表面4，基板表面層界面3及背表面4係大致垂直於中心軸2；對應於界面至基板背表面之距離之厚度 t ；圓周邊緣5；及通過該中心軸跨越基板之直徑 D 延伸。應注意，出於說明性目的，將背表面4闡述為相對表面，在該表面處或附近將形成差排源層且因此在本文中可稱為「相對表面」及/或「受損表面」。就此而言，異質結構自身及下文所述沈積層7通常與基板1同心且亦包括中心軸2；圓周邊緣5；及跨越該異質結構(以及表面層)並通過該中心軸延伸之直徑 D 。

基板1可具有用作上面將沈積半導體層之基板之任一適宜直徑。一般而言，基板1具有約150 mm或更大之直徑。通常，基板1具有約200 mm或更大、約300 mm或更大或甚至約450 mm或更大之直徑。應注意，基板直徑可為該異質結構經塑性變形前之直徑，在該情形下，

在塑性變形後直徑可能自規定值增加或減小，如下文更詳細論述。另一選擇為，基板在塑性變形前可具有小於或大於規定值之直徑以使得在塑性變形後直徑大約等於規定值。

類似地，基板1可具有適宜用作上面可沈積半導體層之基板之任一厚度 t 。舉例而言，基板可具有約500微米至約1000微米、通常約600微米至約1000微米、約700微米至約1000微米、約700微米至約900微米或甚至約700微米至約800微米之厚度 t 。

在一些實施例中，舉例而言，基板1可為已自藉由Czochralski晶體生長法生長之單晶矽錠塊切割之單晶矽晶圓，其具有約150 mm或更大、約200 mm或更大、約300 mm或更大或甚至約450 mm或更大之直徑及約675微米至約1000微米或甚至約725微米至約925微米之厚度。

可對上面將沈積磊晶層之基板表面實施拋光以使得其適於沈積該磊晶層或可在化學氣相沈積之前經進一步處理。在不背離本揭示內容之範圍之情況下，相對表面亦可經拋光或另一選擇為可不經拋光，即，呈經研磨形式、呈經研光形式或呈經研光並經蝕刻形式。在各個實施例中，可使相對表面處於未經拋光狀態，其中可利用呈經研磨形式、呈經研光形式或呈經研光並經蝕刻形式之表面作為差排源層。另一選擇為或另外，相對表面可受損傷以形成差排源層，如下文更詳細闡述。

應注意，經Czochralski法生長之矽通常具有在約 5×10^{17} 個原子/cm³至約 9×10^{17} 個原子/cm³範圍內之氧濃度(ASTM標準F-121-83)。一般而言，在本揭示內容中用於基板之單晶矽晶圓可具有屬於通常藉由Czochralski法可達到之範圍內任一處或甚至超出該範圍之氧濃度，條件係該氧濃度不會過度妨礙差排之活化及滑動。

II. 沈積表面層

表面層7可位於基板1之前表面。沈積層7可為適於藉由化學氣相沈積而沈積為磊晶層之任一單晶半導體材料。通常，異質層包括小於該基板之天然晶格常數 a_s 之晶格常數 a_{s1} 。沈積層可由任一適宜材料組成，且如在一些實施例中，其由選自由下列組成之群之材料組成：矽、碳化矽、藍寶石、鍺、矽鍺、氮化鎵、氮化鋁、砷化鎵、砷化銻鎵或其任一組合。在基板係由矽組成之實施例中，具有較小晶格常數之異質層包括(例如)氮化鎵。

基本上，可使用業內通常已知之任一技術來形成沈積層，例如已知磊晶沈積技術中之一者。一般而言，在不背離本揭示內容之範圍內，沈積層之厚度可極大地變化。厚度可具有(例如)實質上均勻厚度，其平均厚度為至少約0.1微米、至少約0.5微米、至少約1.0微米及甚至至少約2.0微米。另一選擇為，以範圍表達厚度可能係合意的。舉例而言，平均厚度通常可在約0.1微米至約2.0微米、例如約0.5微米至約1.0微米範圍內。

應注意，沈積層在具有不同晶格常數之基板生長時，在沈積層及基板二者中形成相等但相反之應力。界面正上方及正下方之沈積層及基板中之應力之相對量與沈積層及基板之相對厚度成正比。因此，界面正上方沈積層中之應力可比界面正下方基板中之應力大若干個數量級。沈積層中之應力在生長期間可增加直至藉由在沈積層中形成錯配或貫穿式差排而使該層自鬆弛。因此，為避免沈積層之自鬆弛，較佳至少最初在基板上生長薄沈積層。然後可藉由使基板中之差排活化並擴張使薄層鬆弛或部分地鬆弛以處於或接近其天然晶格常數，如下文更詳細論述。若期望較厚沈積層，則可在該層充分鬆弛後沈積額外材料。

基本上，可使用業內通常已知之任一技術在基板上形成沈積層。舉例而言，可使用磊晶沈積技術(例如，大氣壓化學氣相沈積

(APCVD)；低壓或減壓CVD (LPCVD)；超高真空CVD (UHVCVD)；分子束磊晶(MBE)；或原子層沈積(ALD))。磊晶生長系統可包含單晶圓或多晶圓批式反應器。

表面層7包括形成異質結構之前表面8之表面。表面層7可跨越基板1之整個直徑連續地延伸，如圖1中所顯示。在一些實施例中，表面層7不在基板1上方連續地延伸，而是包括多個佈置於基板上之半導體材料之不連續區段或「島」，如下文進一步所述。舉例而言，可在小於約95%之基板或如在其他實施例中小於約80%、小於約60%、小於約40%或小於約20%之基板上方佈置表面層。

III. 差排源層之製備

差排源層6係位於基板1內且可與上面沈積磊晶層之基板表面間隔開。通常，差排源層6係位於與上面已經或即將沈積磊晶層之表面相對之表面處或附近。舉例而言，若欲在基板之前表面上沈積磊晶層，則差排源層6將位於基板之背表面4處或附近。在此實例中，基板之前表面將變成基板與沈積層7間之界面。

源層6係存在或安裝於基板1之實質徑向寬度上方。在圖1中所說明之實施例中，源層6跨越基板1之整個直徑延伸。儘管此實施例較佳，但在其他實施例中源層可不在整個直徑上方延伸。因此，一般而言，源層6將具有通常為晶圓半徑至少約75%、更通常至少約85%且又更通常至少約95%或甚至為晶圓半徑至少約99%之徑向寬度。在一些實施例中，源層6延伸至距圓周邊緣不到數毫米。舉例而言，至距圓周邊緣不到約1 mm。

一般而言，源層6可包括基板之任一部分，條件係源層不包括上面擬沈積磊晶層之表面。通常，源層6具有約100微米或更小、約50微米或更小、約25微米或更小或約10微米或更小(例如，約1微米至約100微米、約1微米至約50微米、約1微米至約25微米或約5微米至約25

微米)之厚度。源層6可包括基板之背表面並自其延伸。應注意，源層6無需包括晶圓之背表面且可自某一深度自背表面朝向基板前表面延伸。

差排源層6可為任一在足夠高溫度下經受足夠高應力時能夠產生可量測濃度之差排之層。一般而言，差排源層6在經受約5 MPa與約100 MPa間之壓縮應力時(通常在約15 MPa左右在介於約500°C與約1000°C間之溫度下)能夠產生可量測濃度之差排，如下文針對基板內差排之活化更詳細論述。

可在表面層7沈積之前或之後在基板1中形成差排源層6。在基板係自單晶錠塊切割之晶圓之實施例中，差排源層6可係由作為一部分包括於整體切片製程(wafering process)中之切割製程、研磨製程或研光製程引起之機械損傷。

另一選擇為或另外，差排源層6可部分或全部藉由一或多個選自由下列組成之群之方法藉由以機械方式損傷基板之背表面形成：研磨背表面、研光背表面、藉由對背表面實施噴沙安裝軟損傷、在背表面上形成壓痕、在背表面中植入離子及/或其組合。

在一些實施例中，差排源層6可藉由將一排尖針按壓至晶圓背表面上以在背表面中形成壓痕來形成。壓痕可在表面上不均勻地形成或可以預定圖案形成。此圖案可經配置與晶圓晶體方向呈特定關係。舉例而言，方陣圖案可與110方向以淺角度配置。此可達成在該等位點處產生之差排沿平行滑動平面滑動且彼此不相互作用。此外，此處理可精確控制差排環密度。

在一些實施例中，源層6可藉由穿過基板之背表面植入離子來形成。植入離子可為電力等電子的、中性的或惰性的以最小化對基板之電子性質之任何影響。舉例而言，植入離子可選自由矽、鋳、氫、氮、氬、氫、氫及其組合組成之群。

將離子植入至相對於背表面之目標深度 D_i 。然而，實際上，某些植入離子並不移動此距離且其他將移動甚至更遠距離(即，到達相對於背表面之更大深度)。實際離子植入深度可偏離 D_i 約5%、10%、15%、20%、25%或更大。此會產生非晶形材料區或層，其在 D_i 處或附近含有相對高濃度之植入離子，其中植入離子之濃度自 D_i 沿前表面3之方向及相反方向減小。目標深度 D_i 亦可稱為植入離子之預定範圍。

植入深度可能至少部分地受所植入離子種類影響，因為對於給定植入能量而言，較輕離子往往更深地滲透至基板中。因此，舉例而言，在50 keV植入能量下，矽離子將具有約750 Å之平均植入深度，而鍺離子將具有400 Å之平均植入深度。一般而言，離子較佳以至少約30 keV (例如至少約40 keV或甚至至少約50 keV)之能量植入。在一應用中，離子係以至少約45 keV並小於約55 keV之能量植入。所選離子及植入能量應足以在充當差排源層之基板中形成非晶形層。

通常，若使用足夠能量植入足夠濃度之離子來形成非晶形矽層，則在後續退火後在植入離子範圍端形成差排環。通常，差排環可在植入離子下方約100 Å至約300 Å之深度形成，但確切深度可更大或更小。一般而言，使用較低質量元素更難形成非晶形材料。因此，必須使用較高濃度之低質量元素以誘發足夠的破壞，而較低濃度之高質量元素足以形成非晶態矽。舉例而言，當植入離子係矽離子時，植入劑量較佳係至少約 2×10^{14} 個原子/cm²，例如至少約 5×10^{14} 個原子/cm²或甚至至少約 1×10^{15} 個原子/cm²。在一較佳實施例中，植入離子劑量係至少約 2×10^{15} 個原子/cm²。相比之下，當植入離子係較高質量鍺離子時，植入劑量較佳係至少約 6×10^{13} 個原子/cm²，例如至少約 1×10^{14} 個原子/cm²或甚至至少約 5×10^{14} 個原子/cm²。在一較佳實施例中，植入離子劑量係至少約 1×10^{15} 個原子/cm²。

在一些較佳實施例中，源層6係藉由研磨基板之背表面來形成。可使用半導體矽工業中通常用於在自Czochralski生長之單晶矽錠塊切割後使矽晶圓之表面定形之任何研磨製程來研磨該表面。在尤佳實施例中，可利用使用約600粒度之研磨製程來研磨背表面。

IV. 差排之活化及滑動

可活化差排源層以在源層處或附近形成差排，其可朝向基板-表面層界面滑動。根據本揭示內容之實施例，在已在基板上沈積表面層後實施差排之活化及滑動以使得基板及/或表面層處於應變下。

藉由在升高之溫度下壓縮基板使差排源層經受(且通常使基板經受)應力以使差排變形來活化差排源層。使用一或多個適宜裝置在垂直於軸之方向上(即，在徑向方向上)對整個基板施加壓縮。即，將晶圓自周邊邊緣徑向向內壓縮。以此方式，在源層處或附近將形成差排且差排將朝向相對表面滑動。

一般而言，受損較嚴重的差排源層將在較低應力水準及較低溫度下活化，而受損較不嚴重的差排源層將在較高應力水準及溫度下活化。一般而言，在介於約550°C與約1000°C間之溫度下對差排源層施加由至少約5 MPa、通常約5 MPa至約100 MPa或約10 MPa至約100 MPa之壓縮施加之應力。更通常，應力係約10 MPa至約50 MPa或約10 MPa至約25 MPa。通常，差排之活化及/或滑動係在約650°C至約1000°C或甚至約700°C至約1000°C溫度下實施。舉例而言，在大於約600°C之溫度下且甚至更通常在大於約700°C之溫度下可施加以活化藉由研光及/或研磨形成之差排源層之典型應力可為約15 MPa。此外，受損程度更高的層可在甚至更低應力水準下活化。

將基板維持在應力及升高之溫度下達足以活化差排並使其滑動之持續時間。一般而言，如上文所述將基板維持在應力及升高之溫度下達至少約10秒時間段且可在彼等條件下維持至少約5小時、至少約

10小時或甚至更久時間段。通常，將基板維持在應力及升高之溫度下達至少約1分鐘、約5分鐘至約60分鐘、更通常約10分鐘至約45分鐘時間段且在一些實施例中可為約10分鐘至約20分鐘。應注意，較高應力水準及較高溫度各自往往減少活化差排並使其滑動所需之持續時間。

可僅對基板施加壓縮，或如在其他實施例中，可對整個異質結構(即，基板及異質層二者)施加。此外，較佳地，藉由壓縮施加之應力在整個異質結構中(例如，徑向上及圓周上二者)相對均勻(在方向及/或量值上)。應注意，應力之均勻程度可能受用於壓縮基板之裝置限制且某些變化(徑向或圓周變化)可能由應力之不均勻分佈引起。在一些實施例中，沿基板之整個圓周施加至少約5 MPa應力，或如在其他實施例中，沿基板之整個圓周施加至少約10 MPa應力。

在施加足夠應力後，差排連續地形成在差排源層處並朝向基板-表面層界面滑動。在應力施加期間給定時間點處，差排通常可均勻地分佈於整個基板厚度中。在到達基板-表面層界面後，差排在界面處形成錯配界面差排。錯配差排在基板壓縮期間使界面處密度增加並持續鬆弛表面層與基板間之應變。在積累足夠密度之錯配後使應變最終達到平衡。

自差排源層產生並朝向基板-表面層界面滑動之差排可實質上平行於異質結構之背表面及前表面(即，經橫向配置)。認為相對較少量或甚至沒有貫穿式差排自差排源層產生。

較佳地，基板之壓縮在應變平衡點處或附近終止，因為更多差排之產生及滑動可導致差排滲透表面層。在基板停止壓縮後，基板中之輸送中差排停止向界面滑動且無另外的差排產生(即，差排變得凍結)。

可在應力及熱之任一給定施加點存於基板中之差排數量可為至少約 1×10^5 個差排/cm²或甚至至少約 5×10^5 個差排/cm² (例如，約 $1 \times$

10^5 個差排/cm²至約 5×10^7 個差排/cm²或約 5×10^5 個差排/cm²至約 1×10^7 個差排/cm²)。可使用任一差排環檢測方法來測定差排之數量密度，該方法包括(例如)對基板取樣及使樣品經受蝕刻劑刻繪(delineating etchant)，隨後藉助顯微鏡觀察差排環並計數。

在一些實施例中，將藉由壓縮基板而施加至基板之應力減低至小於自差排源層產生差排之臨限值但處於足以允許現有差排朝界面向上進一步滑動之量值的值。以此方式，可產生具有實質上不含差排之基板之異質結構。在該等實施例中，可藉由壓縮基板對該基板施加初始應力 S_1 以產生差排並使差排自源層滑動至基板-表面層界面。然後將所施加應力降低至 S_2 (即， S_2 小於 S_1)。應力 S_2 係小於自差排源層產生差排之臨限值之應力且其允許現有差排朝界面向上進一步滑動以產生實質上不含差排之基板。 S_1 可為至少約5 MPa、至少約10 MPa或至少約25 MPa (例如，約5 MPa至約100 MPa或約10 MPa至約100 MPa)。 S_2 可小於約10 Mpa、小於約5 MPa或甚至小於約1 MPa。通常，即便在近似約1 MPa應力下，差排亦將在約850°C溫度下以約1微米/秒之速度或在約900°C溫度下約2.5微米/秒之速度滑動。

應力之量值、應力施加時間及/或對基板施加應力之溫度可端視基板之晶格常數 a_s 與表面層之半導體材料之晶格常數 a_{sL} 間之差而變化。 a_{sL} 及 a_s 可端視所選基板材料及其上沈積之半導體材料而變化。一般而言，當 a_{sL} 小於 a_s 時，即，當比率 a_{sL}/a_s 小於1時，壓縮有效鬆弛異質層。比率 a_{sL}/a_s 可為約0.84至約0.99，或如在其他實施例中，約0.90至約0.99、約0.95至約0.99、約0.84至約0.95、約0.84至約0.90或約0.90至約0.95。

藉由使差排滑動至界面，表面層可至少約85%鬆弛、至少約90%鬆弛、至少約95%鬆弛或甚至完全鬆弛(即，100%鬆弛)。表面層可實質上不含貫穿式差排或可具有小於約 10^4 個貫穿式差排/cm²之貫穿式

差排濃度。

在表面層不連續但包括佈置於基板表面上之不連續區段(即，島)之實施例中，藉由以下方式來鬆弛不連續區段：產生差排並使差排自差排源層滑動至與島之界面，以在每一島與基板之間產生錯配界面差排。到達基板在島之間之表面之差排在表面消散，從而使得在島之間之區域在壓縮完成後實質上不含差排。在島鬆弛後，可進一步沈積半導體材料以產生在基板之整個直徑上方連續地延伸之表面層。在該等實施例中，在島下方之差排在新沈積的材料與基板間之界面處橫向傳播，藉此使新沈積的材料及連續表面層作為整體鬆弛。

藉由任一上文所述方法製作之鬆弛異質結構可用於使用晶圓接合及層轉移方法製作用於積體電路之絕緣體上之矽 (silicon-on-insulator) 結構，或用於隨後製作應變絕緣體上之矽結構。

可在鬆弛表面層上沈積其他層，藉此形成在基板之頂部上具有鬆弛層且在鬆弛層之頂部上具有應變層的異質磊晶結構。此結構亦可用於將鬆弛層及應變層二者轉移至另一基板，藉此形成具有埋入式應變層之異質磊晶結構，或另一選擇為，絕緣體上之埋入式應變層。即，異質磊晶結構可在基板或基板上之絕緣層之頂部上具有應變半導體材料層且在該應變半導體材料層之頂部上具有鬆弛半導體材料層。

另外，藉由本揭示內容之方法製作之結構可用於製作半導體器件，例如場效電晶體 (FET) 或調變摻雜場效電晶體 (MODFET) 層結構。

V. 壓縮用裝置

就此而言，本文所述關於壓縮基板之方法可利用下文所述裝置中之任一者來實施。

現參照圖3至圖10，可利用基板夾具來達成基板之壓縮，該基板夾具包括用於在基板兩端施加差壓之室及/或流體通道。

現參照圖3至圖4，利用結構夾具11來達成結構9之壓縮。結構夾具11包括頂板13。如圖3至圖4中所顯示，頂板13係環。頂板13可具有其他形狀且在無限制情況下可完全地跨越基板9延伸。頂板13適於在該結構之圓周邊緣5處接觸結構9之前表面。

結構夾具11包括毗鄰圓周邊緣5接觸結構9之背表面之背板15。背板15包括朝向頂板13向上延伸之周邊環20。然而在其他實施例中，周邊環20可為頂板13之一部分或可與頂板13及背板15二者分離。背板15、頂板13及周邊環20二者皆適於在頂板13、背板15 (包括周邊環)及結構9之圓周邊緣5之間形成周邊室18。通常，背板15及頂板13與結構9形成密封，從而允許周邊室18中之壓力相對於夾具11之外部壓力而增加，如下文所述。周邊室18可藉由以下方式形成：將半導體結構9定位於背板15上並使頂板13下降至背板15上，直至在頂板13、背板15及結構9之圓周邊緣5之間形成密封。

夾具11在背板15中包括用於調節周邊室18中之壓力之通氣孔22。另一選擇為，該通氣孔可延伸穿過前板13及/或周邊環20。通氣孔22可與用於增加周邊室18中之壓力之幫浦(未顯示)流體連通。

現參照圖8，夾具11可為用於壓縮結構9之裝置36之一部分。裝置36亦可包括外殼35，其界定其中安裝夾具11之主室27。裝置36可包括與幫浦(未顯示)流體連通用於調節主室中之壓力 P_1 之通氣孔32。結構夾具11內之通氣孔22延伸穿過外殼35。以此方式，可維持主室27中之壓力 P_1 且可維持結構夾具11之周邊室18中之不同壓力 P_2 。藉由維持主室27中之壓力 P_1 小於周邊室18中之壓力 P_2 ，可壓縮結構9 (即，可減小基板之鬆弛半徑)。

就此而言，圖3至圖10中與壓力 P_1 及/或 P_2 相關之箭頭係出於例示目的而提供且不應視為將該裝置限制於具體壓力概況(即，在周邊室或主室中使用真空或壓力)。

在結構9壓縮期間， P_1 可比 P_2 小至少約10 MPa，或如在其他實施例中，比 P_2 小至少約20 MPa、至少約50 MPa或至少約75 MPa (例如，約10 MPa至約100 MPa、約10 MPa至約50 MPa或約10 MPa至約25 MPa)。在一些實施例中， P_1 係周圍壓力。在該等實施例中，可去除主室27及外殼35且可將外殼暴露於周圍環境(即，大氣壓力)。

在壓縮期間可使用加熱元件30來加熱結構9以活化差排源層。如上文所述，可將該結構加熱至約650°C至約1000°C或約700°C至約1000°C之溫度。

結構夾具111之另一實施例顯示於圖5中。應注意，圖5中所顯示與圖3之夾具組件類似之夾具組件以圖3之相應參考編號加上「100」來命名(例如，部件15變成部件115)。如圖5中所顯示，頂板113包括用於接觸結構9之前表面8之凸出部117。凸出部117可與結構9形成密封以允許增加周邊室118中之壓力。

在一些實施例中且如圖6至圖7中所顯示，結構9在結構表面之至少一部分上具有塗層39 (圖6)或塗層40 (圖7)。如圖6中所顯示，塗層39在結構9之圓周邊緣5與前表面8及背表面4於周邊邊緣5附近之部分上方延伸。如圖7中所顯示，塗層40亦在結構之整個背表面4上方延伸。另一選擇為或另外，塗層可在結構夾具之一或多個表面上方延伸。塗層39或塗層40 (或可在結構夾具上方延伸之塗層)可由諸如石墨、六方氮化硼、 MS_2 、 WS_2 、 $SiCN$ 、 $AlCr(V)N$ 、 $TiAl(Y)N$ 、 CaF_2 、 BaF_2 、 SrF_2 或 $BaCrO_4$ 等低摩擦材料組成。在一些實施例中，結構9在該結構之前表面上具有減低或甚至阻止該結構之揮發性膜組份蒸發之塗層。用於減低蒸發之適宜塗層包括非晶形矽。

結構夾具211之另一實施例顯示於圖9中。應注意，圖9中所顯示與圖3之夾具組件類似之夾具組件由圖3之相應參考編號加上「200」來命名(例如，部件15變成部件215)。結構夾具211之頂板213包括適

於在結構夾具211使用期間在頂板213與結構9之前表面8之間形成中心室240之凹部。中心室240係藉由使頂板213下降至半導體結構9上來形成。該凹部由環形壁242界定。凹部之半徑小於該結構之應變半徑。本文所用「應變半徑」係指該結構在利用結構夾具211徑向壓縮(變形)結構9之前之半徑。

頂板213包括與幫浦(未顯示)流體連通之通氣孔246以維持中心室240中之壓力 P_1 。以此方式，可維持中心室240與周邊室218間之差壓以徑向壓縮結構9。藉由維持中心室240中之壓力 P_1 小於周邊室218中之壓力 P_2 ，可壓縮結構9。壓力 P_1 及/或 P_2 可在上文所述範圍內。

在一些實施例中，徑向壓縮結構9直至經壓縮結構之半徑與頂板213中之凹部之半徑實質上相同(或比其略小)。在將結構9壓縮至該凹部之半徑後，中心室240及周邊室218可實現流體連通，從而允許該等室間之壓力達到平衡，藉此限制結構9之壓縮。因此，夾具211因頂板213之凹部限制結構9之徑向壓縮而具有自限制性。

用於徑向壓縮結構之結構夾具可適於同時壓縮複數個結構，如圖10中所顯示。圖10中所顯示與圖3之夾具組件類似之夾具組件由圖3之相應參考編號加上「700」來命名。夾具711包括背板715，其適於毗鄰結構9a、9b、9c、9d之圓周邊緣接觸該等結構。夾具711包括頂板713，其毗鄰結構9a、9b、9c、9d之圓周邊緣接觸該等結構。在背板715、頂板713及結構9a、9b、9c、9d之圓周邊緣之間形成周邊室718。頂板713含有室760，其延伸至結構9a、9b、9c、9d之前表面以允許該等結構暴露於主室(未顯示)中之壓力 P_1 。將周邊室718維持在壓力 P_2 下。

藉由維持 P_1 小於 P_2 ，可徑向壓縮結構9a、9b、9c、9d。 P_1 與 P_2 間之差可為至少約10 MPa且在任一上文所述範圍內。 P_1 可為大氣壓力，且在該等實施例中，頂板713可為不含單獨室760之連續部件。儘管將

圖10中所顯示之基板夾具闡述並顯示為僅具有一個背板及一個頂板，但應理解，該夾具可具有密封個別結構或多組結構之複數個單獨背板或頂板。此外，儘管圖10中所顯示之基板夾具711能夠徑向壓縮四個結構，但應注意，在無限制情況下，該夾具可經配置以使得可同時壓縮更多個或更少個結構。

除上文所述裝置以外，可使用夾緊該結構(例如在周邊邊緣處利用夾子或其他夾緊元件)並允許壓縮結構之裝置來鬆弛該異質結構，例如在下文所述裝置中。現參照圖11至圖21，可利用可相對於該結構徑向移動之結構夾具來達成該結構之壓縮。在該等實施例中，結構夾具可為用於壓縮該結構之裝置之一部分。該裝置可能類似於圖8中所顯示之裝置36，其中該裝置包括界定其中安裝夾具11之主室27之外殼35。該裝置可包括加熱元件30以在利用圖11至圖19之結構中之任一者進行壓縮期間加熱結構9，以活化差排源層。

現參照圖11，結構夾具1720可包括複數個三角形區段1785，其向內指向該夾具之中心軸A。每一區段具有至少一個於其中形成之流體通道1787以對基板抽真空。區段1785可經安裝用於朝向中心軸A向內移動，從而壓縮基板。

現參照圖12，裝置911可為對基板9施加吸持力之夾子，其包括前板931及背板932。如圖12中所顯示，頂板931及背板932係環。頂板931可具有其他形狀且在無限制情況下可完全地跨越基板9延伸。可藉由任一機械方法(包括使用氣動裝置、液壓裝置、馬達及諸如此類)使前板931及背板932可自該裝置之中心向內徑向移動。

現參照圖13，在另一實施例中，結構夾具1011包括大致平面背板1146，該背板1146包括經定尺寸及定形以容納於結構9背面之凹槽1148中之環形轂1147。轂1147可移動以使得其壓縮結構9。

在一些實施例中且如圖14中所顯示，結構夾具1120亦包括前板

1250，其具有自前板延伸之環形環1252。環1252對結構9施加向下力以防止該結構在加熱期間在該結構壓縮期間自載1247移出。用於達成此功能之其他結構涵蓋在本揭示內容之範圍內。

在其他實施例中且如圖15中所顯示，與圖13及圖14中所顯示類似或相同，該結構夾具1320包括背板1346及載1347。基板夾具1320亦包括前板1351及前載1355，該前載1355經定尺寸及定形以容納於結構9之前表面中之凹槽1357中。

參照圖16至圖18，此實施例之結構夾具1420包括用於支撐結構9之平面背板1461及用於容納並壓縮該結構之具有圓形開口之大致環形壓件1460。該平板可僅朝向該結構之中心部分地延伸，如在圖16至圖18中，或可在結構9下面連續地延伸。壓件1460可連續地環繞該結構，或如圖18中所顯示，可包括形成用於容納結構9之開口之複數個弧形區段1563。壓件1460及/或區段1563可相對於結構9向內移動以壓縮該結構。

參照圖19，結構夾具1620包括大致平面背板1681及凸緣1683。結構9包括在該結構之周邊邊緣附近附接至該結構之背表面之環1680。凸緣1683適於接合環1680。支撐件1681及凸緣1683可相對於該結構移動以壓縮該結構。

在一些實施例中，使藉由上文所述裝置施加之應力循環，例如藉由減低該結構兩端之差壓(例如，藉由減小或增加周邊室或主室中之壓力)或藉由減低在夾緊該基板之裝置中所施加之應力。該循環可釋放在該結構中形成之任一彈性應力。

本文所用術語「約」、「實質上」、「基本上」及「大約」與尺寸、濃度、溫度或其他物理或化學性質或特性之範圍結合使用時意欲涵蓋可能存在於該等性質或特性之範圍之上限及/或下限中之偏差，包括(例如)自舍入、量測方法或其他統計變異產生之偏差。

在介紹本揭示內容或其較佳實施例之要素時，冠詞「一(a)」、「一(an)」、「該(the)」及「該(said)」意味著存在一或多個該等要素。術語「包含(comprising)」、「包括(including)」及「具有(having)」意欲具有囊括性且意味著除所列示要素以外亦可存在其他要素。

因在不背離本揭示內容之範圍之情況下可對上文裝置及方法作出各種改動，故上文說明書所含及附圖中所顯示之所有內容將意欲理解為具有說明性而不具有限制意義。

【符號說明】

1	半導體基板
2	中心軸
3	基板-表面層界面
4	背表面
5	圓周邊緣
6	差排源層
7	表面層/沈積層
8	前表面
9	半導體結構/基板
9a	結構
9b	結構
9c	結構
9d	結構
11	結構夾具
13	頂板
15	背板
18	周邊室
20	周邊環

22	通氣孔
27	主室
30	加熱元件
32	通氣孔
35	外殼
36	裝置
39	塗層
40	塗層
111	結構夾具
113	頂板
115	部件
117	凸出部
118	周邊室
211	結構夾具
213	頂板
215	部件
218	周邊室
240	中心室
242	環形壁
246	通氣孔
711	基板夾具
713	頂板
715	背板
718	周邊室
760	室
911	裝置

931	前板/頂板
932	背板
1011	結構夾具
1146	大致平面背板
1147	環形轂
1148	凹槽
1246	背板
1247	轂
1248	凹槽
1250	前板
1252	環形環
1320	結構夾具
1346	背板
1347	轂
1348	凹槽
1351	前板
1355	前轂
1357	凹槽
1420	結構夾具
1460	大致環形壓件
1461	平面背板
1561	平面背板
1563	弧形區段
1620	結構夾具
1680	環
1681	大致平面背板

1683	凸緣
1720	結構夾具
1785	三角形區段
1787	流體通道
A	中心軸
D	直徑
P_1	壓力
P_2	壓力
t	厚度

申請專利範圍

1. 一種鬆弛異質結構中應變之方法，該異質結構包含基板、佈置於該基板上之表面層及位於該基板與該表面層間之界面，該基板包含中心軸、大致垂直於該中心軸之背表面及通過該中心軸跨越該基板延伸之直徑，該方法包含：
 - 在該基板中形成差排源層；及
 - 徑向壓縮該基板以產生差排並使該等差排自該差排源層朝向該表面層滑動。
2. 如請求項1之方法，其中使該等差排滑動至該基板-表面層界面並在該界面處形成錯配界面差排。
3. 如請求項1之方法，其中該結構之直徑係約150 mm或更大、約200 mm或更大、約300 mm或更大或甚至約450 mm或更大。
4. 如請求項1之方法，其中該基板由選自由下列組成之群之材料組成：矽、碳化矽、藍寶石、鍺、矽鍺、氮化鎵、氮化鋁、砷化鎵、砷化銻鎵或其任一組合。
5. 如請求項1之方法，其中該表面層係由選自由下列組成之群之材料組成：矽、碳化矽、藍寶石、鍺、矽鍺、氮化鎵、氮化鋁、砷化鎵、砷化銻鎵或其任一組合。
6. 如請求項1之方法，其中該基板係由矽組成。
7. 如請求項6之方法，其中該表面層係由氮化鎵組成。
8. 如請求項1之方法，其中該差排源層係藉由自包含半導體材料之錠塊切割該基板來形成。
9. 如請求項1之方法，其中該差排源層係藉由研光該基板之該背表面來形成。
10. 如請求項1之方法，其中該差排源層係藉由對該基板之該背表面

實施噴砂來形成。

11. 如請求項1之方法，其中該差排源層係藉由穿過該基板之該背表面將離子植入至該基板中來形成。
12. 如請求項1之方法，其中在徑向壓縮該異質結構的同時將該基板加熱至至少約550°C或在徑向壓縮該異質結構的同時將該基板加熱至至少約650°C、至少約700°C、約550°C至約1000°C、約650°C至約1000°C或約700°C至約1000°C。
13. 如請求項1之方法，其中在該徑向壓縮期間對該異質結構施加應力，該應力為至少約5 MPa、至少約10 MPa、約5 MPa至約100 MPa、約10 MPa至約100 MPa、約10 MPa至約50 MPa或約10 MPa至約25 Mpa。
14. 如請求項1之方法，其中徑向壓縮該基板至少約10秒、約10秒至約5小時或約10分鐘至約20分鐘時間段。
15. 如請求項1之方法，其中徑向壓縮該基板之步驟包含徑向壓縮該異質結構。
16. 如請求項1之方法，其中在該徑向壓縮期間對該異質結構施加應力 S_1 ，該方法進一步包含將該應力 S_1 減低至應力 S_2 ， S_2 小於 S_1 ， S_2 係小於自該差排源產生差排之臨限值且高於允許現有差排朝向該基板-表面層界面滑動以產生實質上不含差排之基板之臨限值的應力。
17. 如請求項1之方法，其中該表面層實質上不含貫穿式差排 (threading dislocation)或具有小於約 10^4 個貫穿式差排/cm²之貫穿式差排濃度。
18. 如請求項1之方法，其中該表面層跨越該基板之該直徑連續地延伸。
19. 如請求項1之方法，其中該表面層包含不連續區段。

20. 一種製備鬆弛異質結構之方法，該方法包含：

在半導體基板之前表面上沈積表面層，藉此在該表面層與該基板之間產生應變；

藉由如請求項1至19之方法鬆弛該表面層及該基板中之該應變。

21. 如請求項20之方法，其中該半導體基板具有晶格常數 a_s ，且該表面層具有晶格常數 a_{sL} ，比率 a_{sL}/a_s 小於約1、約0.84至約0.99、約0.90至約0.99、約0.95至約0.99、約0.84至約0.95、約0.84至約0.90或約0.90至約0.95。

22. 如請求項20之方法，其中該表面層包含不連續區段，該方法進一步包含在徑向壓縮該基板後在該半導體基板之該前表面上沈積半導體材料，該沈積在該基板之該表面上產生連續表面層。

23. 一種在裝置中徑向壓縮半導體結構之方法，該結構具有前表面、背表面及圓周邊緣，該裝置包括結構夾具，該結構夾具包含毗鄰該結構之圓周邊緣接觸該結構之頂板及背板，該頂板適於接觸該結構之該前表面且該背板適於接觸該結構之該背表面，該方法包含：

在該頂板、該背板及該結構之該圓周邊緣之間形成周邊室；

及

改變該周邊室中之壓力以徑向壓縮該結構。

24. 如請求項23之方法，其中該周邊室係藉由以下方式形成：

將該半導體結構定位於該背板上；及

使該頂板下降至該結構上。

25. 如請求項23之方法，其中該壓力藉由增加該周邊室中之壓力來改變。

26. 如請求項23之方法，其中該裝置包含其中安裝該結構夾具之主

室，該方法包含在該主室與該周邊室之間產生差壓。

27. 如請求項26之方法，其中該主室中之壓力比該周邊室中之壓力小至少約10 MPa或比該周邊室中之壓力小至少約20 MPa、至少約50 MPa、至少約75 MPa、約10 MPa至約100 MPa、約10 MPa至約50 MPa或約10 MPa至約25 MPa。
28. 如請求項26之方法，其包含藉由減小該主室中之壓力來改變該主室中之壓力。
29. 如請求項23之方法，其進一步包含在該結構之徑向壓縮期間加熱該結構。
30. 如請求項23之方法，其中該頂板包含由環形壁界定之凹部，該方法包含：
 - 在該頂板與該結構之該前表面之間形成中心室；及
 - 藉由減小該中心室中之壓力來改變該中心室中之壓力。
31. 如請求項30之方法，其包含將該結構徑向壓縮至該環形壁，以在該中心室與該周邊室之間提供流體連通以停止該結構之徑向壓縮。
32. 如請求項30之方法，其中該中心室中之壓力比該周邊室中之壓力小至少約10 MPa或比該周邊室中之壓力小至少約20 MPa、至少約50 MPa、至少約75 MPa、約10 MPa至約100 MPa、約10 MPa至約50 MPa或約10 MPa至約25 MPa。
33. 如請求項23之方法，其中同時徑向壓縮複數個半導體結構。
34. 如請求項33之方法，其包含將複數個結構定位於該背板上並使一或多個頂板下降至該等結構上。
35. 如請求項23之方法，其中該半導體結構包含基板及磊晶層，該基板及該磊晶層形成基板-磊晶層界面。

圖式

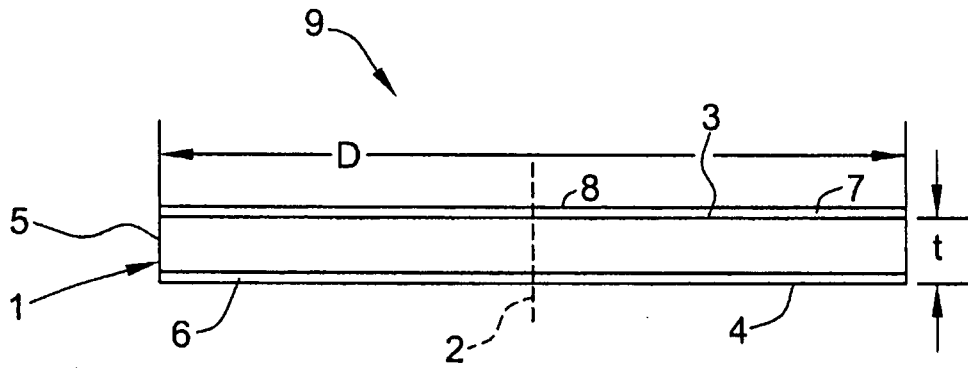


圖 1

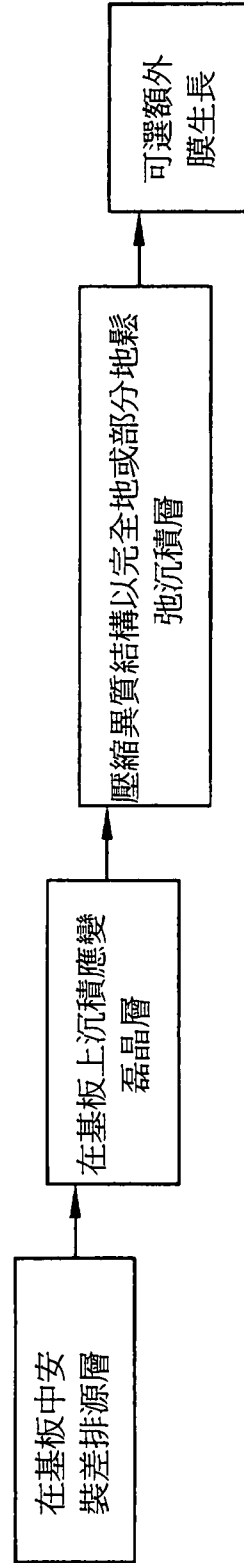


圖 2

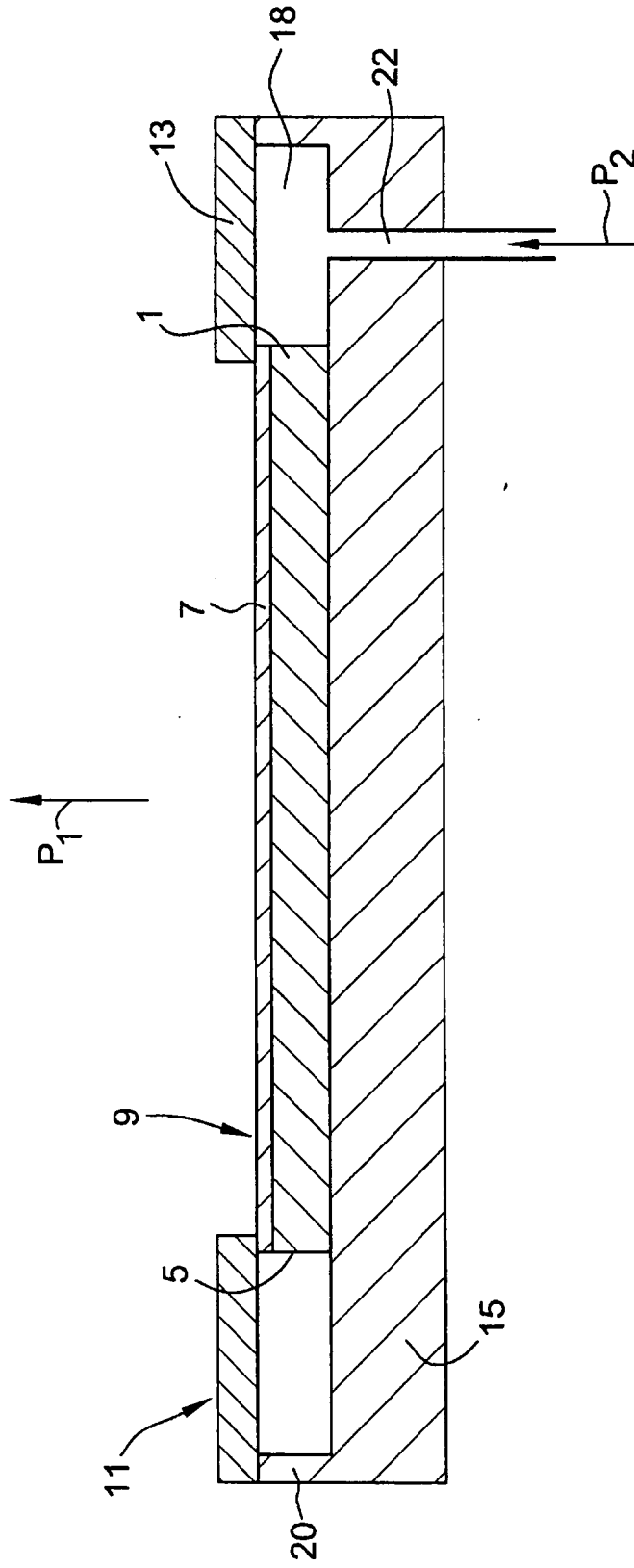


圖 3

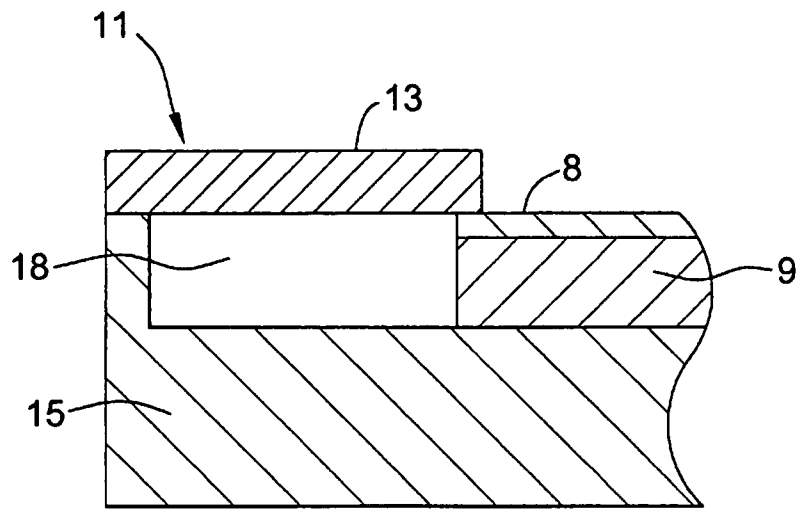


圖 4

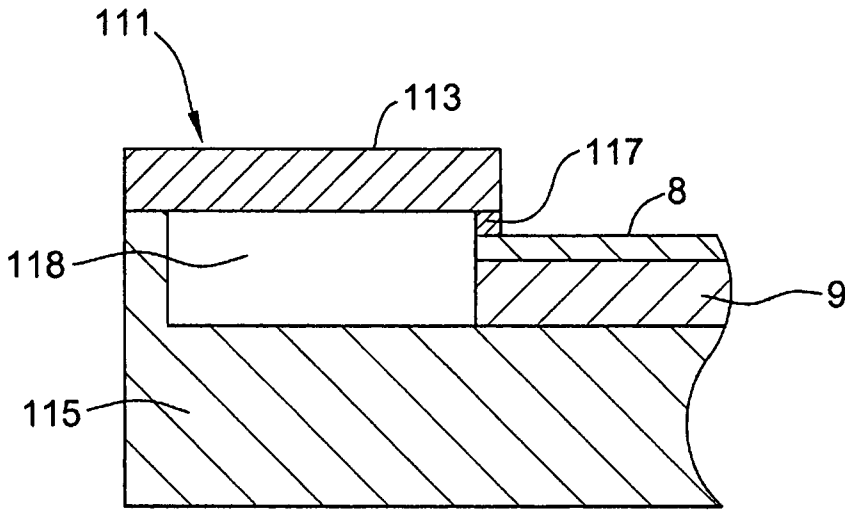


圖 5

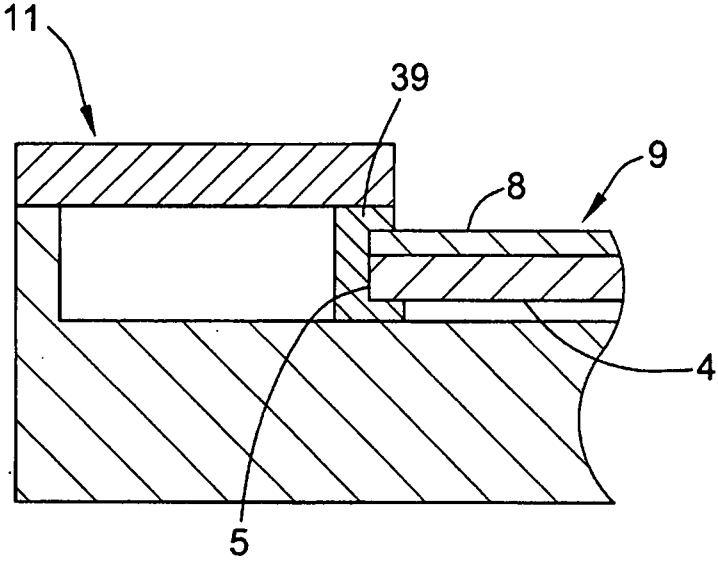


圖 6

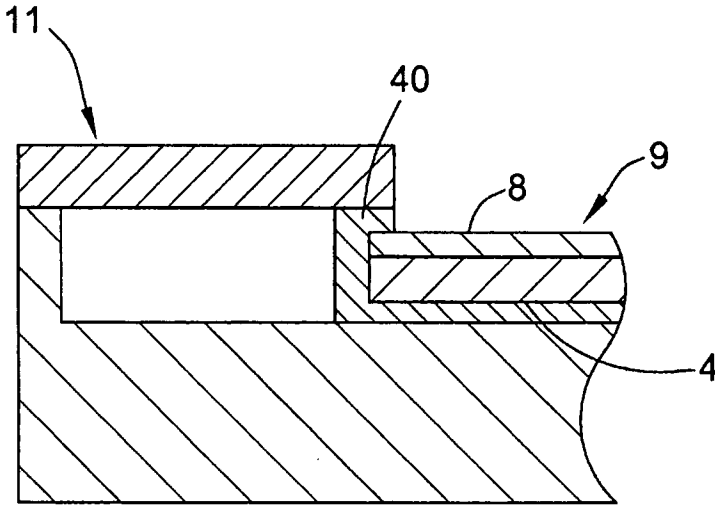


圖 7

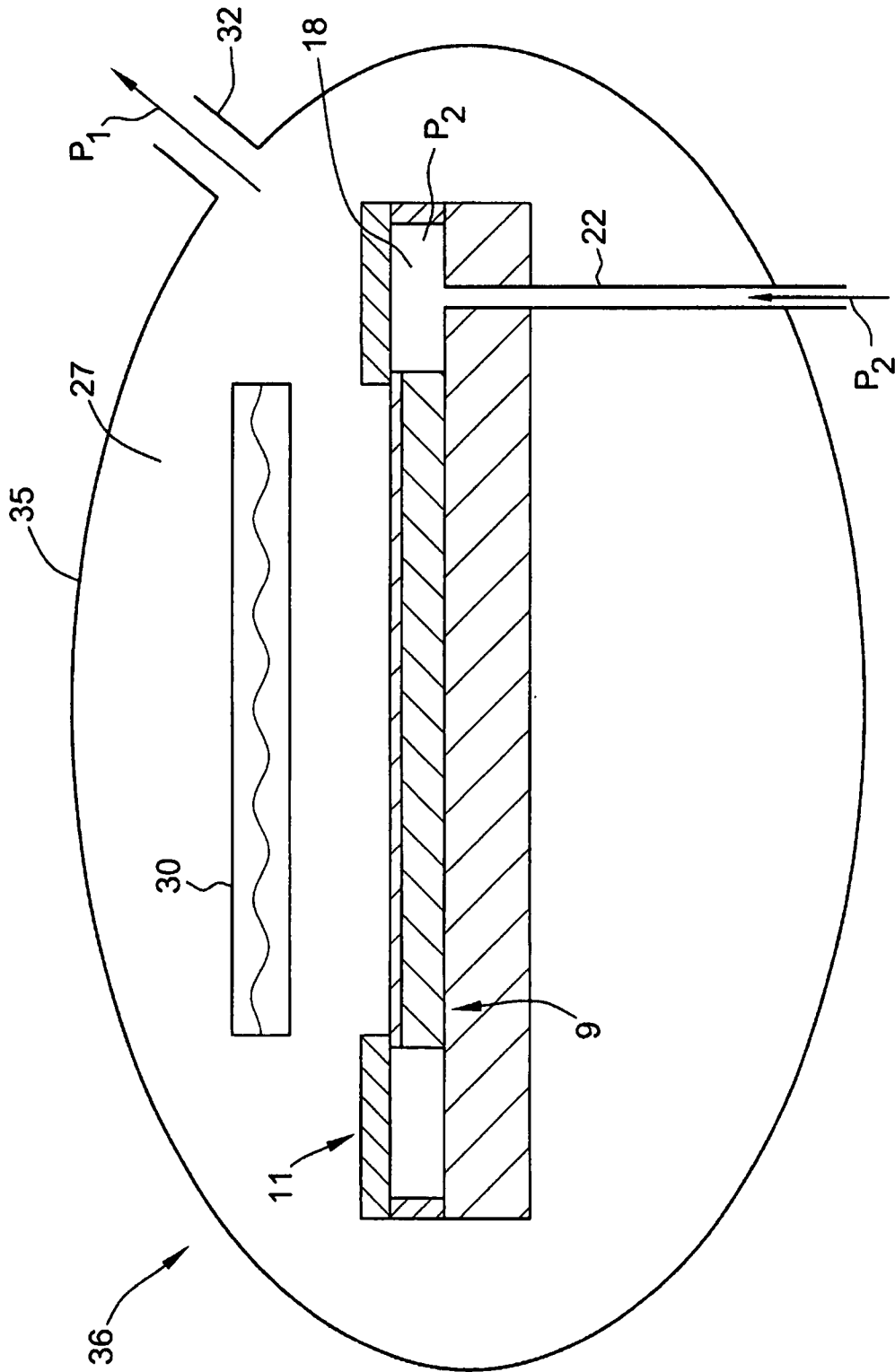


圖 8

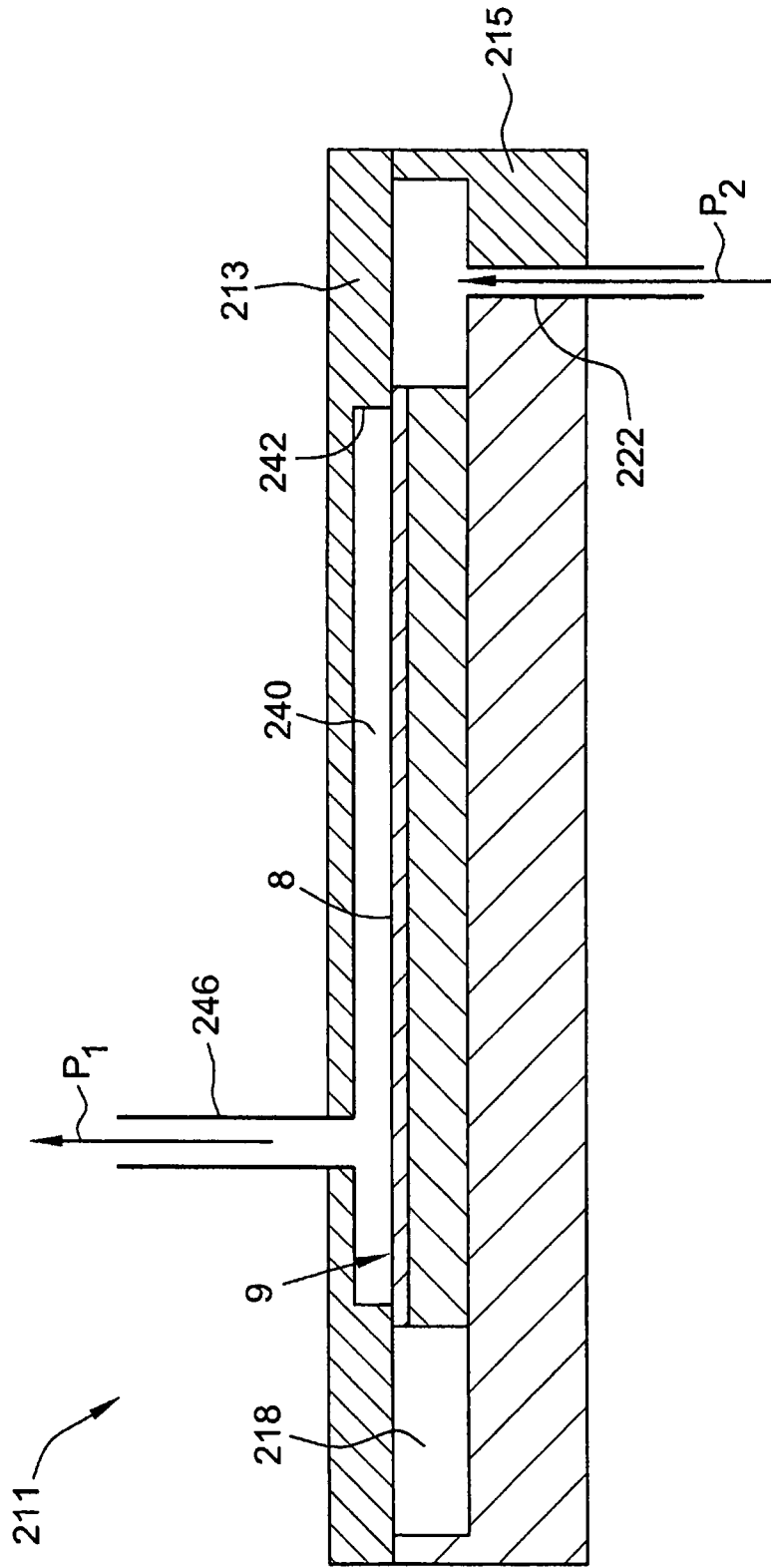


圖 9

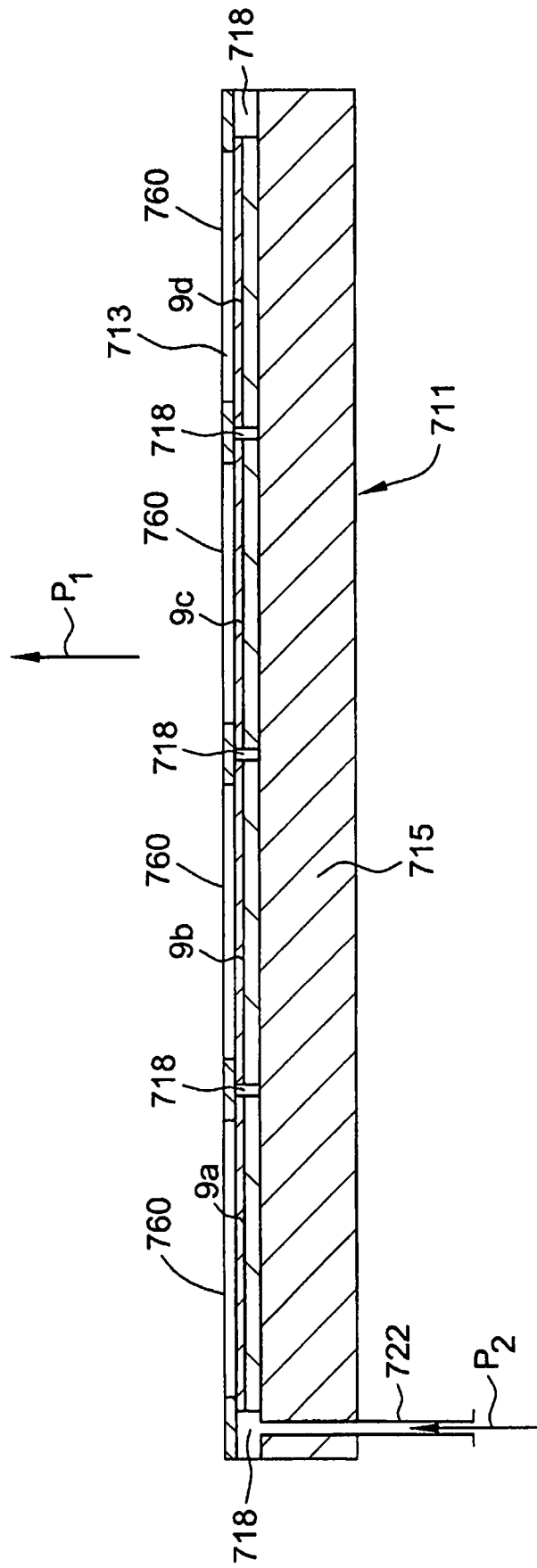


圖 10

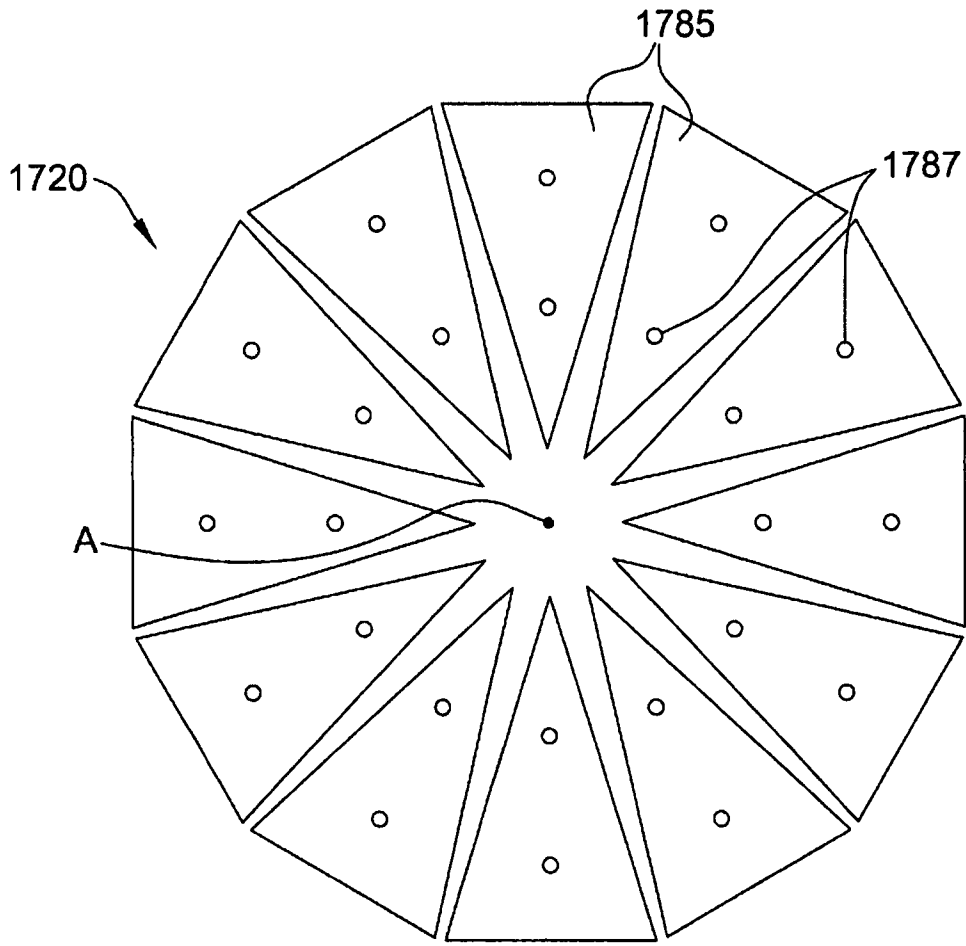


圖 11

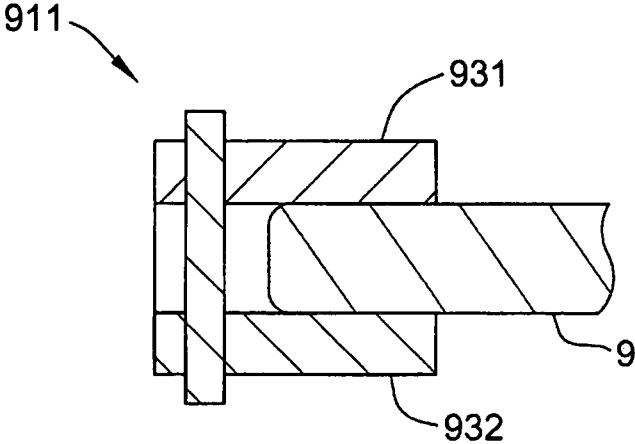


圖 12

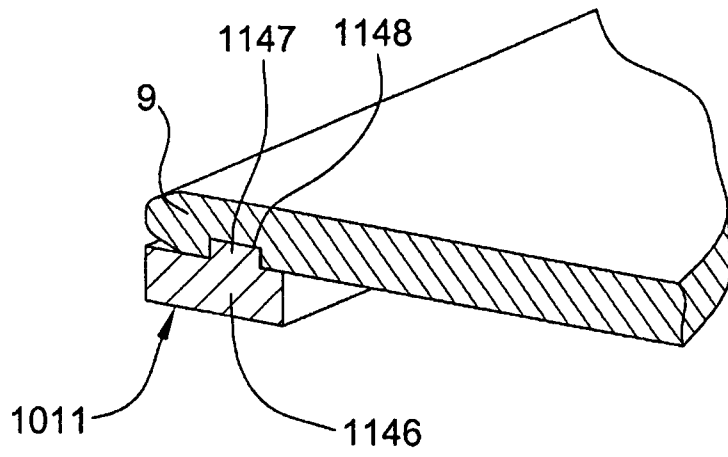


圖 13

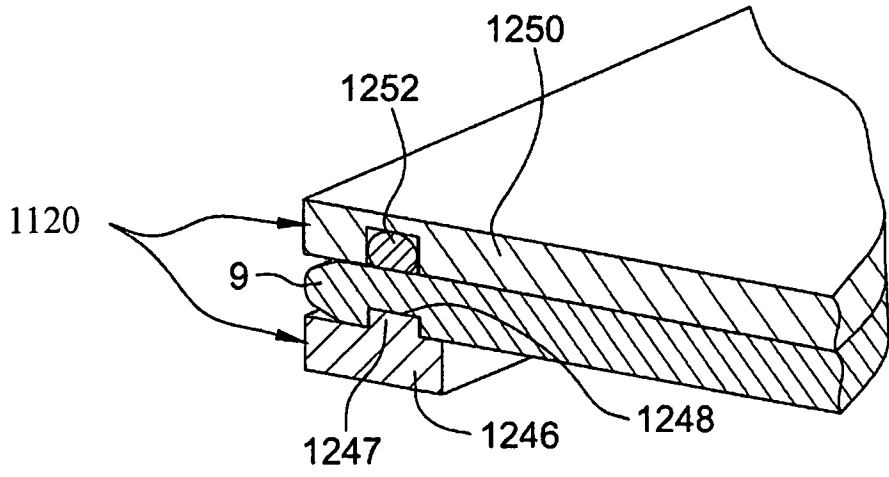


圖 14

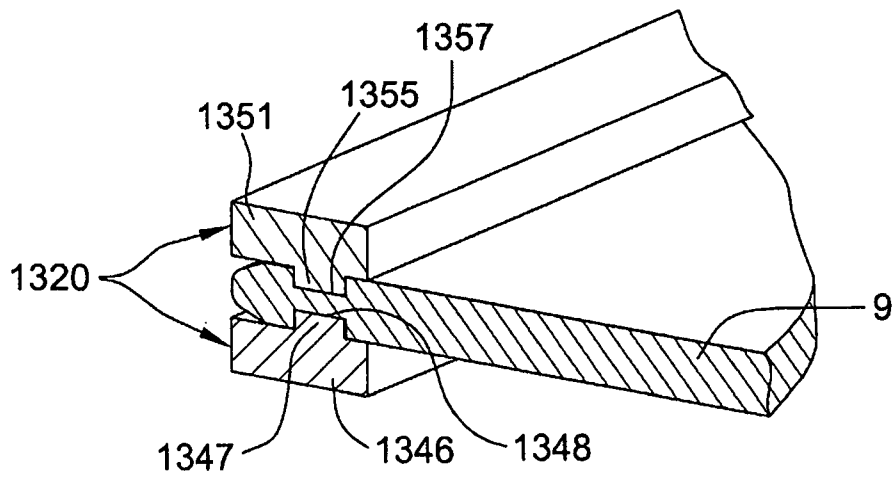


圖 15

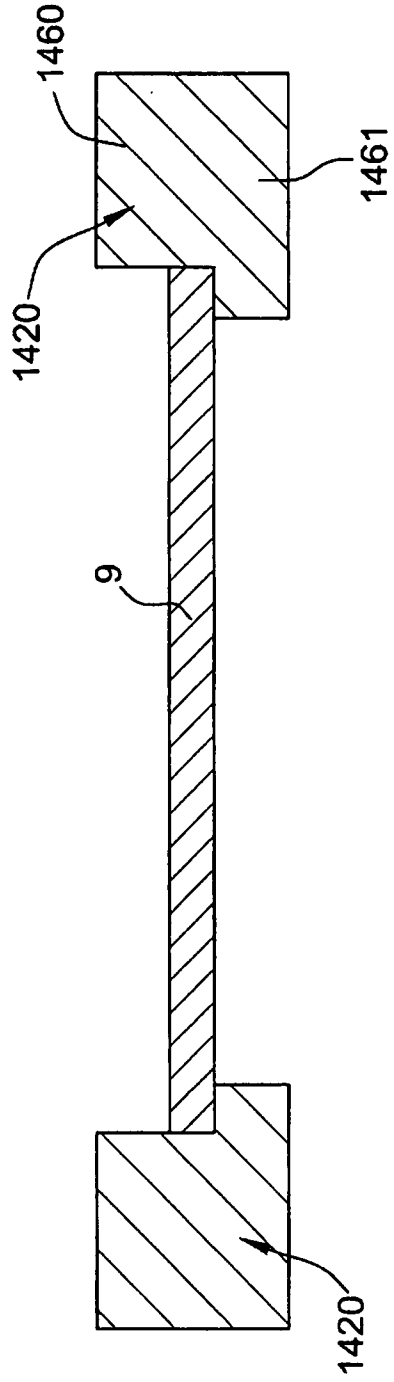


圖 16

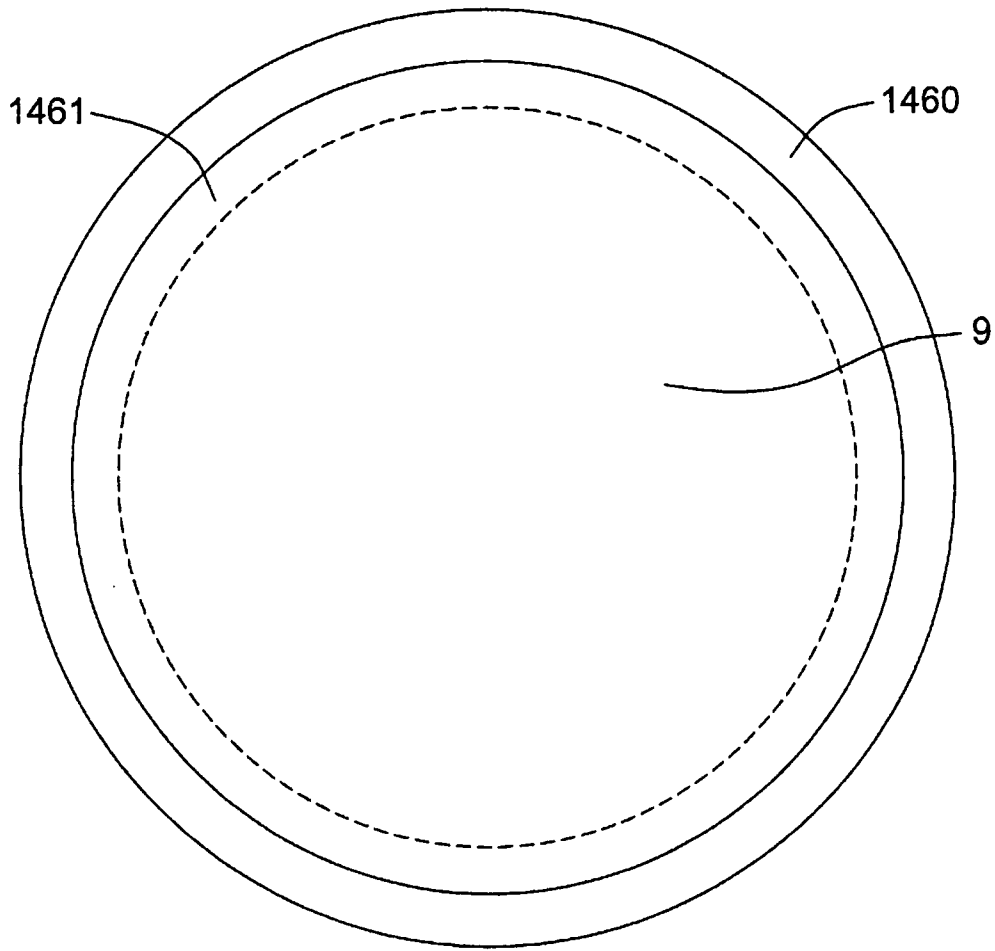


圖 17

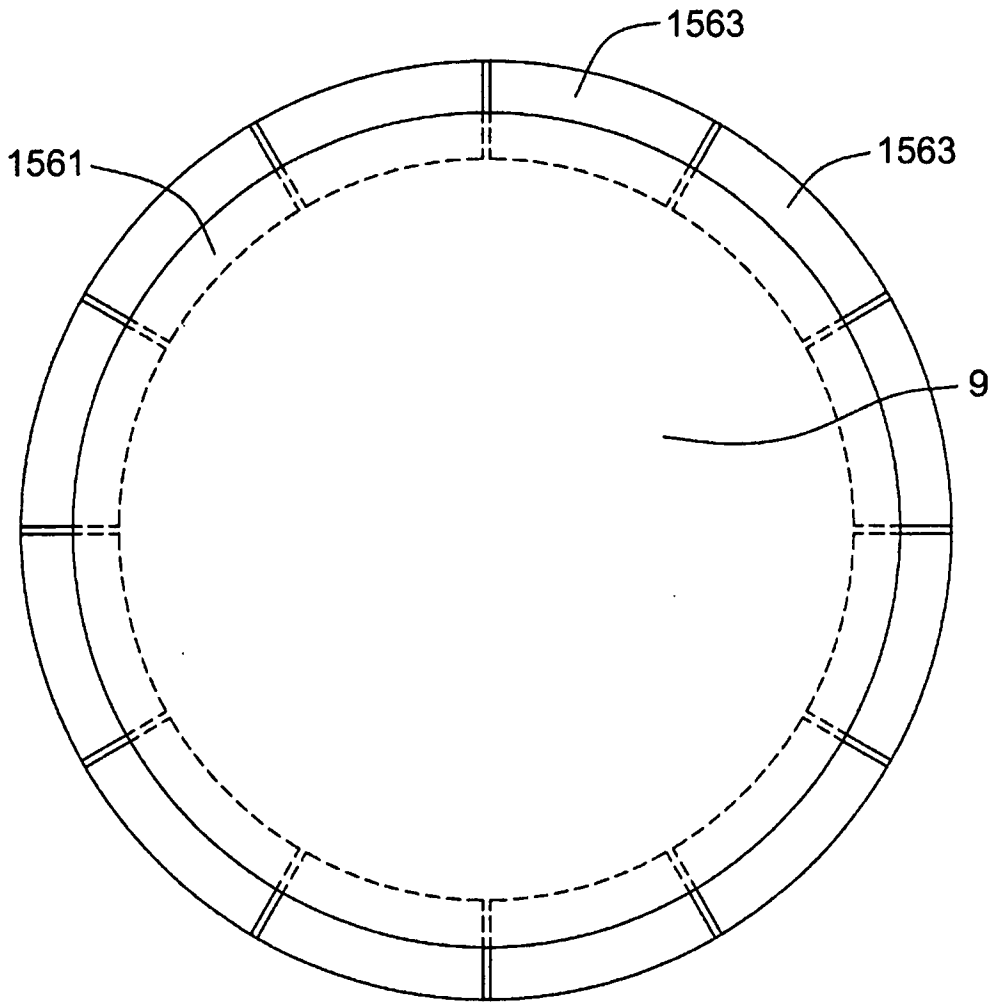


圖 18

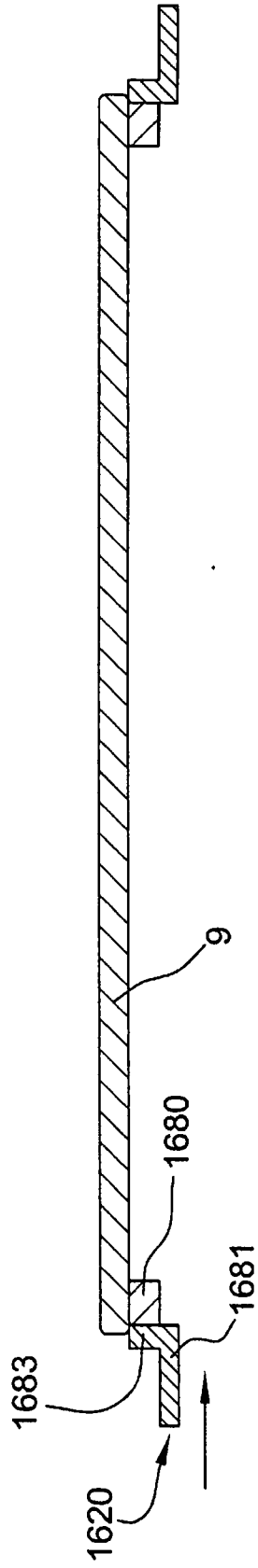


圖 19