

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-208662

(P2012-208662A)

(43) 公開日 平成24年10月25日(2012.10.25)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G06F 9/38 (2006.01)</b>	G06F 9/38 380X	5B013
<b>G06F 11/22 (2006.01)</b>	G06F 11/22 310A	5B048
	G06F 9/38 370X	
	G06F 11/22 330G	
	G06F 11/22 360A	

審査請求 未請求 請求項の数 6 O L (全 11 頁)

(21) 出願番号 特願2011-72945 (P2011-72945)  
 (22) 出願日 平成23年3月29日 (2011. 3. 29)

(71) 出願人 000003207  
 トヨタ自動車株式会社  
 愛知県豊田市トヨタ町1番地  
 (74) 代理人 100070150  
 弁理士 伊東 忠彦  
 (72) 発明者 谷口 和也  
 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内  
 Fターム(参考) 5B013 DD04 EE08  
 5B048 AA03 CC01 CC05 CC11 DD01  
 FF06

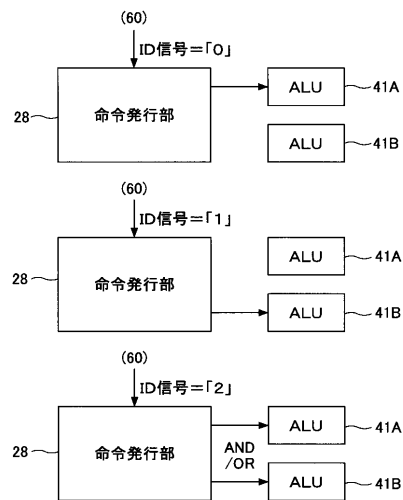
(54) 【発明の名称】 マルチスレッド・プロセッサ

(57) 【要約】

【課題】複数の命令実行手段を備えるマルチスレッド・プロセッサにおいて、命令実行手段の正確な機能チェックを行うこと。

【解決手段】複数のスレッドがハードウェア・マルチスレディング処理を行うマルチスレッド・プロセッサであって、前記複数のスレッドによって使用可能な、演算器その他の複数の命令実行手段と、前記複数の命令実行手段に対して前記複数のスレッドのいずれかに属する命令を発行すると共に、所定のタイミングで前記複数の命令実行手段の機能チェック用命令と該機能チェック用命令が正しく実行されたか否かを確認する確認用命令を発行する命令発行手段と、前記命令発行手段が前記機能チェック用命令を発行する際と、前記確認用命令を発行する際とで前記複数の命令実行手段のうち異なる命令実行手段に命令を発行するように前記命令発行手段を制御する制御手段と、を備えるマルチスレッド・プロセッサ。

【選択図】 図3



**【特許請求の範囲】****【請求項 1】**

複数のスレッドがハードウェア・マルチスレッディング処理を行うマルチスレッド・プロセッサであって、

前記複数のスレッドによって使用可能な、演算器その他の複数の命令実行手段と、

前記複数の命令実行手段に対して前記複数のスレッドのいずれかに属する命令を発行すると共に、所定のタイミングで前記複数の命令実行手段の機能チェック用命令と該機能チェック用命令が正しく実行されたか否かを確認する確認用命令を発行する命令発行手段と、

前記命令発行手段が前記機能チェック用命令を発行する際と、前記確認用命令を発行する際とで前記複数の命令実行手段のうち異なる命令実行手段に命令を発行するように前記命令発行手段を制御する制御手段と、

を備えるマルチスレッド・プロセッサ。

**【請求項 2】**

請求項 1 に記載のマルチスレッド・プロセッサであって、

前記制御手段は、

前記命令発行手段が発行しようとする命令の属するスレッドを特定可能な手段を有し、

前記命令発行手段が前記機能チェック用命令及び前記確認用命令を発行しようとする際に、前記機能チェック用命令の属するスレッドと、前記確認用命令の属するスレッドのそれぞれに対応した異なる ID 信号を前記命令発行手段に出力する手段であり、

前記命令発行手段は、前記制御手段から入力される ID 信号に応じて、前記複数の命令実行手段のうち命令を発行する命令実行手段を決定する手段である、

マルチスレッド・プロセッサ。

**【請求項 3】**

請求項 2 に記載のマルチスレッド・プロセッサであって、

前記制御手段は、前記命令発行手段が前記機能チェック用命令の属するスレッド及び前記確認用命令の属するスレッドとは、異なるスレッドに属する命令を発行しようとする際に、前記命令発行手段が前記機能チェック用命令及び前記確認用命令を発行しようとする際に出力する ID 信号とは異なる ID 信号を前記命令発行手段に出力する手段である、

マルチスレッド・プロセッサ。

**【請求項 4】**

請求項 1 に記載のマルチスレッド・プロセッサであって、

前記制御手段は、

前記命令発行手段が発行しようとする命令の属するスレッドグループを特定可能な手段を有し、

前記命令発行手段が前記機能チェック用命令及び前記確認用命令を発行しようとする際に、前記機能チェック用命令の属するスレッドグループと、前記確認用命令の属するスレッドグループのそれぞれに対応した異なる ID 信号を前記命令発行手段に出力する手段であり、

前記命令発行手段は、前記制御手段から入力される ID 信号に応じて、前記複数の命令実行手段のうち命令を発行する命令実行手段を決定する手段である、

マルチスレッド・プロセッサ。

**【請求項 5】**

請求項 4 に記載のマルチスレッド・プロセッサであって、

前記制御手段は、前記命令発行手段が前記機能チェック用命令の属するスレッドグループ及び前記確認用命令の属するスレッドグループとは異なるスレッドグループに属する命令を発行しようとする際には、前記命令発行手段が前記機能チェック用命令及び前記確認用命令を発行しようとする際に出力する ID 信号とは異なる ID 信号を前記命令発行手段に出力する手段である、

10

20

30

40

50

マルチスレッド・プロセッサ。

【請求項 6】

複数のスレッドがハードウェア・マルチスレッディング処理を行うマルチスレッド・プロセッサであって、

前記複数のスレッドによって使用可能な、演算器その他の複数の命令実行手段と、

前記複数の処理手段のそれぞれに対して命令発行可能な命令発行手段と、

を備え、

前記命令発行手段は、発行する命令の属するスレッド又はスレッドグループを示す入力信号に応じて前記複数の命令実行手段のうち命令を発行する命令実行手段を決定する手段である、

10

マルチスレッド・プロセッサ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数のスレッドがハードウェア・マルチスレッディング処理を行うマルチスレッド・プロセッサに関する。

【背景技術】

【0002】

近年、プロセッサの性能向上に伴い、複数の機能を一つのプロセッサにより実現させるための技術が研究・実用化されている。例えば、車両に搭載される車載制御装置の分野では、ある車載機器を制御する制御装置と他の車載機器を制御する制御装置（例えば変速機の制御装置とエンジンの制御装置等）を統合して、コンピュータ・ハードウェアを縮小し、コストや重量の低減を図る動きが見られる。

20

【0003】

こうしたハードウェア統合の一手法として、ハードウェア・マルチスレッディング処理と称されるものが知られている。ハードウェア・マルチスレッディング処理とは、例えば専用の命令バッファや演算結果の格納場所（レジスタ）等を有する複数のスレッドが、命令デコーダや演算回路等、ハードウェアの一部を共有して処理を行なうものである。

【0004】

ところで、こうしたプロセッサが自動車等の移動体に搭載された制御装置、プラント等の制御装置として用いられる場合、処理の正確性を保証するために、定期的に演算器等の機能チェックを行うことが好ましい。

30

【0005】

特許文献 1 には、こうした機能チェックを行う演算処理装置について記載されている。この装置は、二個の演算器を備え、スーパースカラ動作を行うことが可能となっている。そして、演算器のうち一方にのみ命令有効信号が発行されなかったときに、命令を実行していないもう一方の演算器の入力部にある選択回路を切り替えて同一のオペランド入力データおよび演算制御信号を分配し、命令発行がなされた演算器と同一の演算を実行させて演算結果を比較することにより、演算器が故障状態にあるか否かを検出している。

【先行技術文献】

40

【特許文献】

【0006】

【特許文献 1】特開平 9 - 305423 号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、ハードウェア・マルチスレッディング処理を行うマルチスレッド・プロセッサの場合、仮に、共有される演算器を用いて機能チェックをしようとすると、同一の演算器による演算結果を比較することになり、正確なチェックを行うことができない。

【0008】

50

また、演算器等を複数備える場合であっても、従来のマルチスレッド・プロセッサでは、演算器の選択とスレッドの対応付けに関する制御を行っておらず、同一の演算器による演算結果を比較する結果となる場合がある。

【0009】

本発明はこのような課題を解決するためのものであり、複数の命令実行手段を備えるマルチスレッド・プロセッサにおいて、命令実行手段の正確な機能チェックを行うことを、主たる目的とする。

【課題を解決するための手段】

【0010】

上記目的を達成するための本発明の第1の態様は、

複数のスレッドがハードウェア・マルチスレッディング処理を行うマルチスレッド・プロセッサであって、

前記複数のスレッドによって使用可能な、演算器その他の複数の命令実行手段と、

前記複数の命令実行手段に対して前記複数のスレッドのいずれかに属する命令を発行すると共に、所定のタイミングで前記複数の命令実行手段の機能チェック用命令と該機能チェック用命令が正しく実行されたか否かを確認する確認用命令を発行する命令発行手段と

、  
前記命令発行手段が前記機能チェック用命令を発行する際と、前記確認用命令を発行する際とで前記複数の命令実行手段のうち異なる命令実行手段に命令を発行するように前記命令発行手段を制御する制御手段と、

を備えるマルチスレッド・プロセッサである。

【0011】

この本発明の第1の態様によれば、命令発行手段が機能チェック用命令を発行する際と、確認用命令を発行する際とで複数の命令実行手段のうち異なる命令実行手段に命令を発行するように命令発行手段を制御するため、複数の命令実行手段を備えるマルチスレッド・プロセッサにおいて、命令実行手段の正確な機能チェックを行うことができる。

【0012】

本発明の第1の態様において、

前記制御手段は、

前記命令発行手段が発行しようとする命令の属するスレッドを特定可能な手段を有し

、  
前記命令発行手段が前記機能チェック用命令及び前記確認用命令を発行しようとする際に、前記機能チェック用命令の属するスレッドと、前記確認用命令の属するスレッドのそれぞれに対応した異なるID信号を前記命令発行手段に出力する手段であり、

前記命令発行手段は、前記制御手段から入力されるID信号に応じて、前記複数の命令実行手段のうち命令を発行する命令実行手段を決定する手段であるものとしてもよい。

【0013】

この場合、

前記制御手段は、前記命令発行手段が前記機能チェック用命令の属するスレッド及び前記確認用命令の属するスレッドとは、異なるスレッドに属する命令を発行しようとする際に、前記命令発行手段が前記機能チェック用命令及び前記確認用命令を発行しようとする際に出力するID信号とは異なるID信号を前記命令発行手段に出力する手段であるものとしてもよい。

【0014】

また、本発明の第1の態様において、

前記制御手段は、

前記命令発行手段が発行しようとする命令の属するスレッドグループを特定可能な手段を有し、

前記命令発行手段が前記機能チェック用命令及び前記確認用命令を発行しようとする際に、前記機能チェック用命令の属するスレッドグループと、前記確認用命令の属するス

10

20

30

40

50

レッドグループのそれぞれに対応した異なる I D 信号を前記命令発行手段に出力する手段であり、

前記命令発行手段は、前記制御手段から入力される I D 信号に応じて、前記複数の命令実行手段のうち命令を発行する命令実行手段を決定する手段であるものとしてもよい。

【 0 0 1 5 】

この場合、

前記制御手段は、前記命令発行手段が前記機能チェック用命令の属するスレッドグループ及び前記確認用命令の属するスレッドグループとは異なるスレッドグループに属する命令を発行しようとする際には、前記命令発行手段が前記機能チェック用命令及び前記確認用命令を発行しようとする際に出力する I D 信号とは異なる I D 信号を前記命令発行手段に出力する手段であるものとしてもよい。

10

【 0 0 1 6 】

本発明の第 2 の態様は、

複数のスレッドがハードウェア・マルチスレッディング処理を行うマルチスレッド・プロセッサであって、

前記複数のスレッドによって使用可能な、演算器その他の複数の命令実行手段と、

前記複数の処理手段のそれぞれに対して命令発行可能な命令発行手段と、

を備え、

前記命令発行手段は、発行する命令の属するスレッド又はスレッドグループを示す入力信号に応じて前記複数の命令実行手段のうち命令を発行する命令実行手段を決定する手段である、

20

マルチスレッド・プロセッサである。

【 0 0 1 7 】

この本発明の第 2 の態様によれば、命令発行手段が、発行する命令の属するスレッド又はスレッドグループを示す入力信号に応じて複数の命令実行手段のうち命令を発行する命令実行手段を決定するため、命令実行手段の正確な機能チェックを行うことができる。

【発明の効果】

【 0 0 1 8 】

本発明によれば、複数の命令実行手段を備えるマルチスレッド・プロセッサにおいて、命令実行手段の正確な機能チェックを行うことができる。

30

【図面の簡単な説明】

【 0 0 1 9 】

【図 1】本発明の一実施例に係るマルチスレッド・プロセッサ 1 のシステム構成例である。

【図 2】スレッド実行順格納用レジスタ 6 2 に格納されるデータの内容を例示した図である。

【図 3】、命令発行部 2 8 が I D 信号に応じて命令を発行する命令実行手段を決定する様子を示す図である。

【図 4】命令発行制御の結果として実現されるパイプライン動作を模式的に示す図である。

40

【図 5】機能チェック用命令の処理フローの一例を示す図である。

【図 6】確認用命令の処理フローの一例を示す図である。

【図 7】アンド演算の正しい演算結果（期待値）を示す図である。

【発明を実施するための形態】

【 0 0 2 0 】

以下、本発明を実施するための形態について、添付図面を参照しながら実施例を挙げて説明する。

【実施例】

【 0 0 2 1 】

以下、図面を参照し、本発明の一実施例に係るマルチスレッド・プロセッサ 1 について

50

説明する。

【0022】

図1は、本発明の一実施例に係るマルチスレッド・プロセッサ1のシステム構成例である。マルチスレッド・プロセッサ1は、主要な構成として、プログラムメモリ10と、命令フェッチユニット20と、命令バッファ22#1~22#nと、命令デコーダ24と、レジスタフェッチユニット26と、命令発行部28と、汎用レジスタ30#1~30#nと、システムレジスタ32と、実行ユニット40と、パイプライン制御回路50と、ID信号出力部60と、を備える。

【0023】

なお、本実施例では、二以上の任意の数であるスレッド数（後述するアクセス専用スレッドを含む）がnであるとし、「#」の後の数字がスレッドナンバーを示すものとする。また、図1に示す構成は、ハードウェア・マルチスレッディング処理を行うための一般的な構成を例示したものであり、ハードウェア・マルチスレッディング処理を行うことが可能な構成であれば、任意の構成要素を置換、削除、追加等してよい。

10

【0024】

ハードウェア・マルチスレッディング処理とは、複数のスレッドが、命令デコーダや演算回路等のハードウェアの一部を共有して処理を行なうものである。スレッドとは、ハードウェアを部分的に共有して処理を行なう仮想的な処理主体をいう。本実施例では、命令バッファやレジスタはスレッド毎に用意されているが、その他の構成要素はスレッド間で共用されるものとする。

20

【0025】

スレッドの切り替えは、所定の実行順に従って、図示しないOS（オペレーティングシステム）に含まれるスレッドスケジューラによって制御されるものとする。

【0026】

プログラムメモリ10は、例えばフラッシュROM（Read Only Memory）であり、各スレッドが実行するプログラム（命令列）を格納する。プログラムメモリ10は、命令フェッチユニット20から命令の格納場所を示すアドレスが入力されると、当該アドレスに格納された命令を出力する。なお、フラッシュROMに代えて、EEPROM（Electrically Erasable and Programmable Read Only Memory）や通常のROM等が用いられ得る。

30

【0027】

命令フェッチユニット20は、スレッド毎のプログラムカウンタ21#1~21#nを有し、図示しない命令フェッチバスを介してプログラムメモリ10から命令等をフェッチし、命令バッファ22#1~22#nのうち、スレッドに対応した命令バッファに格納する。

【0028】

すなわち、スレッド#1が実行する命令等をフェッチした場合は命令バッファ22#1に命令を格納し、スレッド#2が実行する命令等をフェッチした場合は命令バッファ22#2に命令を格納する。命令バッファ22#1~22#nは、例えばFIFO（First In, First Out）に従って命令を入出力するように制御される。

40

【0029】

命令デコーダ24は、いずれかの命令バッファから供給される命令及びオペランドの格納場所（より具体的には、汎用レジスタ30#1~30#n又は図示しないRAM等におけるアドレス）を解読（デコード）する。レジスタフェッチユニット26は、解読されたオペランドの格納場所に格納されたオペランドを取得する。

【0030】

命令発行部28は、命令デコーダ24及びレジスタフェッチユニット26によって用意された命令、オペランド、演算結果の格納場所等からなる命令を、実行ユニット40に発行する。

【0031】

50

実行ユニット 4 0 は、例えば、四則演算その他の演算処理を行うための複数の A L U ( Arithmetic Logic Unit ) 4 1 A、4 1 B の他、乗算器 ( M U L ) 4 2、除算器 ( D I V ) 4 3、L S U ( Load Store Unit ) 4 4 A、4 4 B 等の命令実行手段を備え、スーパースカラ動作を可能にしている。また、この他に、F P G A ( Field Programmable Gate Array ) や S I M D ( Single Instruction Multiple Data ) 演算器等を備えてもよい。実行ユニット 4 0 は、実行した演算等の結果を、スレッドに対応した汎用レジスタ 3 0 # 1 ~ 3 0 # n に格納する ( ライトバック ) 。

【 0 0 3 2 】

命令発行部 2 8 は、命令の属するスレッドに応じて、命令を発行する実行ユニット 4 0 に含まれる命令実行手段のうちいずれに命令を実行するかを決定する。

10

【 0 0 3 3 】

また、命令発行部 2 8 は、必要に応じて、実行ユニット 4 0 に含まれる命令実行手段のうち複数のものに対して命令の同時発行が可能であるかどうかを判定し、その結果に応じて命令を同時発行して並行処理を行わせる ( スーパースカラ動作 ) 。スーパースカラ動作が可能であるかどうかの判定は、オペランドチェック ( 先の命令の演算結果を後の命令が用いて演算を行うかをチェックする等 ) その他の手法により行われる。また、スレッド毎にスーパースカラ動作の許可又は不許可が設定されている場合は、これが加味されてよい。

【 0 0 3 4 】

システムレジスタ 3 2 は、コンテキストデータ等のデータを格納する。

20

【 0 0 3 5 】

パイプライン制御回路 5 0 は、上記パイプライン動作全体を制御する。具体的には、内部クロックの立ち上がり等に応じて、命令フェッチユニット 2 0、命令デコーダ 2 4、命令発行部 2 8、実行ユニット 4 0 が有する命令実行手段等を作動させる。また、O S から入力される信号等を参照し、これらの動作がいずれのスレッドに属するものであるかを把握している。

【 0 0 3 6 】

I D 信号出力部 6 0 は、例えば、スレッドの実行順を規定したデータが格納されるスレッド実行順格納用レジスタ 6 2 を備える。必然的に、スレッド実行順格納用レジスタ 6 2 に格納されたスレッドの実行順は、O S に含まれるスレッドスケジューラによって制御される実行順と一致している。

30

【 0 0 3 7 】

図 2 は、スレッド実行順格納用レジスタ 6 2 に格納されるデータの内容を例示した図である。係るデータは、マルチスレッド・プロセッサの起動時に、プログラムメモリ 1 0 又は図示しない R O M 等からダウンロードされて用いられる。

【 0 0 3 8 】

本実施例では、スレッド # 1 は、命令実行手段の機能チェック用の命令のみを含み、スレッド # 3 は、機能チェック用命令が正しく実行されたか否かを確認する確認用命令のみを含む。確認用命令は、機能チェック用の命令と全く同一の命令であってもよいし、異なる命令であっても構わない。

40

【 0 0 3 9 】

また、図 2 に示すように、スレッド実行順格納用レジスタ 6 2 には、次に命令発行するスレッドを示すポインタ 6 4 が附設されている。ポインタ 6 4 は、具体的には、スレッド実行順格納用レジスタ 6 2 のアドレスのうち所定のアドレスを示す値が格納されるレジスタであってもよい。ポインタ 6 4 の示すアドレスは、パイプライン制御回路 5 0 によってクロック毎に変更される。

【 0 0 4 0 】

I D 信号出力部 6 0 は、ポインタ 6 4 が示すスレッド実行順格納用レジスタ 6 2 のアドレスに格納された値に基づいて、I D 信号を命令発行部 2 8 に出力する。例えば、ポインタ 6 4 がスレッド # 1 を示している場合は「 0」、ポインタ 6 4 がスレッド # 3 を示して

50

いる場合は「1」、ポインタ64がスレッド#1及び#3以外のスレッドを示している場合は「2」をID信号として出力する。

【0041】

そして、命令発行部28は、以下のように、ID信号が「0」である場合と「1」である場合で異なる命令実行手段に命令を発行する。例えば、ID信号出力部60から入力されたID信号が「0」である場合は、ALU41A(ロード・ストア等が付随する場合は、更にLSU44A又は44B)に命令を発行し、ID信号出力部60から入力されたID信号が「1」である場合は、ALU41B(ロード・ストア等が付随する場合は、更にLSU44A又は44B)に命令を発行し、ID信号出力部60から入力されたID信号が「2」である場合は、ALU41AとALU41Bのうち任意の一方又は双方に命令を発行する。

10

【0042】

図3は、命令発行部28がID信号に応じて命令を発行する命令実行手段を決定する様子を示す図である。

【0043】

図4は、このような命令発行制御の結果として実現されるパイプライン動作を模式的に示す図である。本図では、スレッド数が#0~#3の4つであるものとしている。図中、「IF」は命令フェッチ(Instruction Fetch)を、「DEC」はデコード及びレジスタフェッチを、ID#\*は、ID信号の受信を、それぞれ示している。

20

【0044】

図示するように、時点t1でスレッド#1によってALU41Aを用いた機能チェック用命令が実行されると、その後、スレッド#3によってALU41Bを用いた確認用命令が実行される。

【0045】

また、時点t2では、時点1とは逆に、スレッド#3によってALU41Bを用いた機能チェック用命令が実行され、その後、スレッド#1によってALU41Aを用いた確認用命令が実行される。

【0046】

これらの命令実行結果を比較することにより、ALU41AとALU41Bのいずれかに異常が発生していないかどうかを正確に検知することができる。

30

【0047】

図5は機能チェック用命令の処理フローの一例を示す図であり、図6は、確認用命令の処理フローの一例を示す図である。

【0048】

機能チェック用命令を実行するALUは、機能チェック用命令及びオペランドを取得し(S100)、演算処理を行う(S102)。ここでは、演算処理として、{x[7:0]}で示されるオペランドと、{0x55}という値とのアンド演算を行うものとする。図7は、係るアンド演算の正しい演算結果(期待値)を示す図である。図示するように、期待値は、{0b01010100}すなわち{0x54}となる。

40

【0049】

機能チェック用命令を実行したALUは、演算結果を汎用レジスタの所定領域に格納する(S104)。

【0050】

一方、確認用命令を実行するALUは、汎用レジスタの他の領域に予め格納されている期待値を取得し(S200)、更にいずれかのLSUが、機能チェック用命令を実行したALUによって格納された演算結果を取得すると(S202)、これらと比較して、一致するかどうかを判定する(S204)。一致判定は、具体的には双方の値を減算して値0となるか否かにより行われる。

【0051】

S204において、期待値と演算結果が一致しないと判定された場合には、OS等によ

50

り所定のエラー処理が行われる（S206）。エラー処理は、実行ユニット40のリセット、マルチスレッド・プロセッサ全体のリセット等、段階的に行われる。

【0052】

以上説明した本実施例のマルチスレッド・プロセッサ1によれば、複数の命令実行手段を備えるマルチスレッド・プロセッサにおいて、命令実行手段の正確な機能チェックを行うことができる。

【0053】

以上、本発明を実施するための最良の形態について実施例を用いて説明したが、本発明はこうした実施例に何等限定されるものではなく、本発明の要旨を逸脱しない範囲内において種々の変形及び置換を加えることができる。

10

【0054】

例えば、ID信号出力部60において、スレッド毎にID信号を決定するものとしたが、機能チェック用命令や確認用命令の属するスレッドを含めて、複数のスレッドを含むスレッドグループ毎にID信号を決定するものとしてもよい。具体的には、ポインタ64がスレッド#0及び#1を示している場合は「0」、ポインタ64がスレッド#2及び#3を示している場合は「1」をID信号として出力するものとしてもよい。このように、機能チェック用命令が実行される際のID信号と、確認用命令が実行される際のID信号が異なっていればよく、この限りにおいて、スレッドのグルーピングは如何なる態様を採用してもよい。

【0055】

20

また、スレッド実行順格納用レジスタ62を備え、ポインタ64をパイプライン制御回路50が制御する構成を例示したが、パイプライン制御回路50が直接的に、次に命令発行するスレッドを示す信号を命令発行部28に出力する構成であってもよい。

【符号の説明】

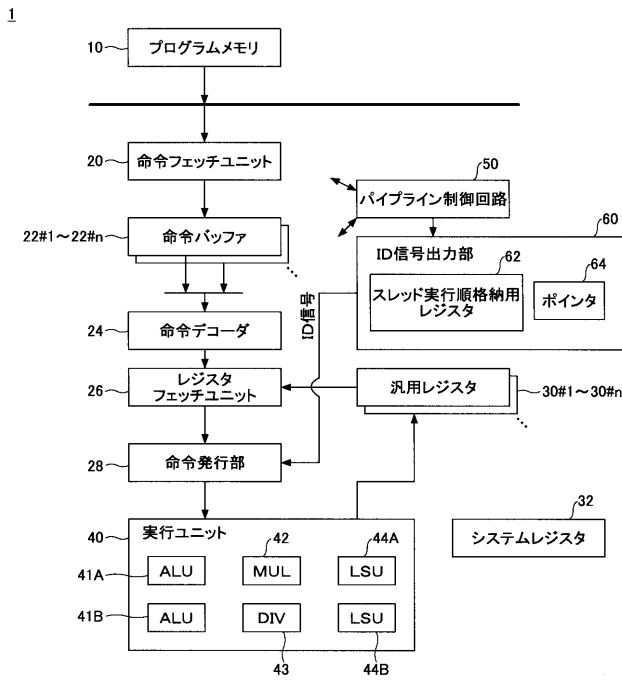
【0056】

- 1 マルチスレッド・プロセッサ
- 10 プログラムメモリ
- 20 命令フェッチユニット
- 22 #1～22#n 命令バッファ
- 24 命令デコーダ
- 26 レジスタフェッチユニット
- 28 命令発行部
- 30 #1～30#n 汎用レジスタ
- 32 システムレジスタ
- 40 実行ユニット
- 41 A、41 B ALU
- 42 乗算器
- 43 除算器
- 44 A、44 B LSU
- 50 パイプライン制御回路
- 60 ID信号出力部
- 62 スレッド実行順格納用レジスタ
- 64 ポインタ

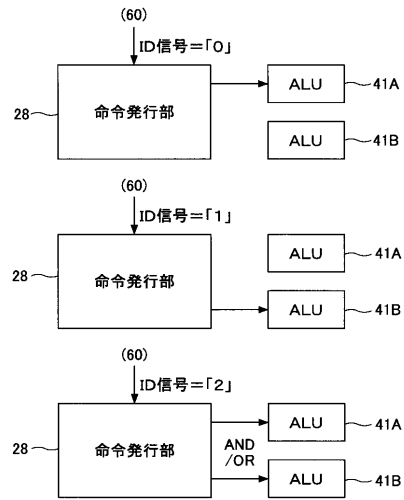
30

40

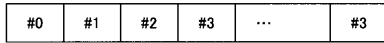
【 図 1 】



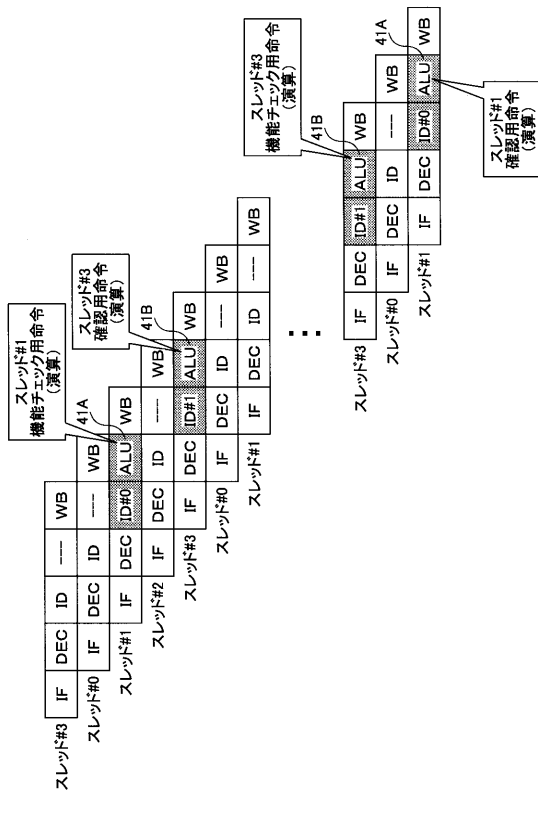
【 図 3 】



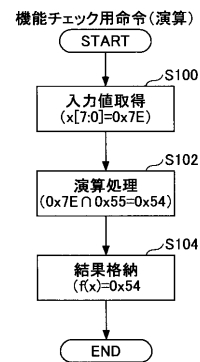
【 図 2 】



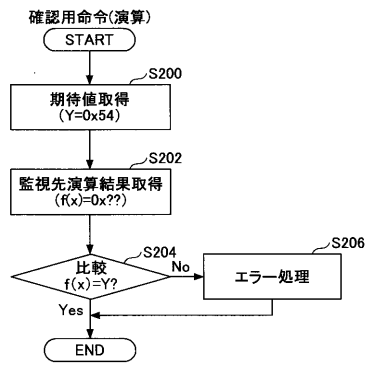
【 図 4 】



【 図 5 】



【 図 6 】



【 図 7 】

$0x7E \cap 0x55 = 0x54$
$0x7E \rightarrow 0b01111110$
$\cap 0x55 \rightarrow 0b01010100$
$0b01010100 \rightarrow 0x54$