

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年8月20日(20.08.2020)



(10) 国際公開番号

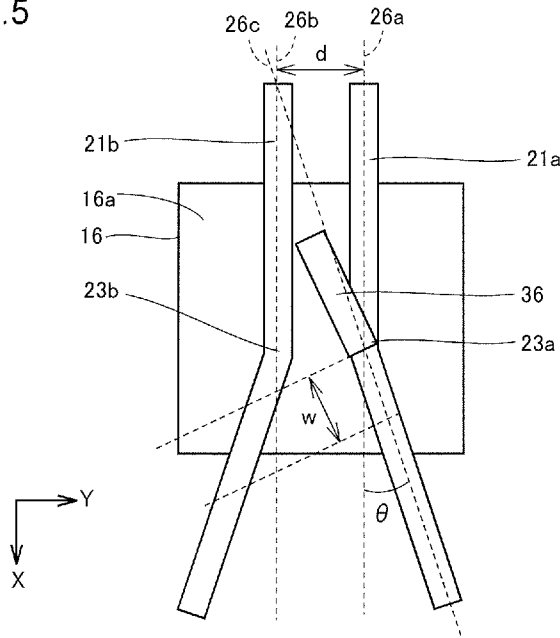
WO 2020/166283 A1

- (51) 国際特許分類:
H01L 25/07 (2006.01) *H01L 21/60* (2006.01)
H01L 25/18 (2006.01) *H01L 29/78* (2006.01)
- (21) 国際出願番号: PCT/JP2020/001952
- (22) 国際出願日: 2020年1月21日(21.01.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2019-023136 2019年2月13日(13.02.2019) JP
- (71) 出願人: 住友電気工業株式会社
(SUMITOMO ELECTRIC INDUSTRIES, LTD.)
[JP/JP]; 〒5410041 大阪府大阪市中央区北浜四丁目5番33号 Osaka (JP).
- (72) 発明者: 金田 達志 (KANEDA, Tatsushi);
〒5410041 大阪府大阪市中央区北浜四丁目5番33号 住友電気工業株式会社内 Osaka (JP).
大森 弘貴 (OOMORI, Hirotaka); 〒5410041 大阪府大阪市中央区北浜四丁目5番33号 住友電気工業株式会社内 Osaka (JP).
木村 錬 (KIMURA, Ren); 〒5410041 大阪府大阪市中央区北浜四丁目5番33号 住友電気工業株式会社内 Osaka (JP).
日吉 透 (HIYOSHI, Toru); 〒5410041 大阪府大阪市中央区北浜四丁目5番33号 住友電気工業株式会社内 Osaka (JP).
- (74) 代理人: 北野 修平, 外 (KITANO, Shuhei et al.);
〒5410041 大阪府大阪市中央区北浜一丁目

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

FIG.5



(57) **Abstract:** This semiconductor device is provided with: a substrate; a first region, a second region positioned away from the first region, and a third region positioned between the first region and the second region; a first joint portion and fourth joint portion joined to the first region; a second joint portion and fifth joint portion joined to a second chip; a third joint portion and sixth joint portion joined to a first chip; a first wire including the first to third joint portions; and a second wire including the fourth to sixth joint portions and disposed adjacent to the first wire. A first imaginary straight line passing through the center of mass of the

1 番 1 4 号北浜一丁目平和ビル 9 F K &
T 特許商標事務所 Osaka (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

first joint portion and the center of mass of the second joint portion is parallel to a second imaginary straight line passing through the center of mass of the fourth joint portion and the center of mass of the fifth joint portion, the distance between the second imaginary straight line and the center of mass of the third joint portion is larger than the distance between the second imaginary straight line and the center of mass of the second joint portion, and the relation $0 < \theta < \sin^{-1} d/w$ is satisfied, where d is the distance between the first imaginary straight line and the second imaginary straight line, θ is the acute angle formed between the first imaginary straight line and a third imaginary straight line passing through the center of mass of the second joint portion and the third joint portion, and w is the width of the second joint portion in the direction in which the first wire extends.

(57) 要約: 基板と、第1領域、第1領域と離れて位置する第2領域、第1領域と2領域との間に位置する第3領域と、第1領域と接合される第1接合部、第4接合部と、第2チップと接合される第2接合部、第5接合部と、第1チップと接合される第3接合部、第6接合部と、第1～3接合部を含む第1ワイヤと、第4～6接合部を含み、第1ワイヤと隣り合うよう配置される第2ワイヤとを備え、第1接合部の重心と第2接合部の重心とを通る第1仮想直線と第4接合部の重心と第5接合部の重心とを通る第2仮想直線は平行であり、第2仮想直線と第3接合部の重心との距離は、第2仮想直線と第2接合部の重心との距離よりも大きく、第1仮想直線と第2仮想直線との距離を d 、第2接合部及び第3接合部の重心を通る第3仮想直線と第1仮想直線とのなす鋭角の角度を θ 、第1ワイヤが延びる方向における第2接合部の幅を w としたとき、 $0 < \theta < \sin^{-1} d/w$ の関係にある半導体装置。

明 細 書

発明の名称 : 半導体装置

技術分野

[0001] 本開示は、半導体装置に関するものである。

[0002] 本出願は、2019年2月13日出願の日本出願第2019-023136号に基づく優先権を主張し、前記日本出願に記載された全ての記載内容を援用するものである。

背景技術

[0003] 半導体チップを回路基板上に配置した半導体装置が知られている（例えば、特許文献1および特許文献2参照）。回路パターンと半導体チップおよび半導体チップ同士は、ワイヤによって接続される。

先行技術文献

特許文献

[0004] 特許文献1：特開2014-195082号公報

特許文献2：特開2015-18946号公報

発明の概要

[0005] 本開示の第一の局面に従った半導体装置は、基板と、第1領域、第1領域と離れて位置する第2領域および第1領域と第2領域との間に位置する第3領域を含み、基板上に配置される回路パターンと、ダイオードを含み、第2領域に配置される第1チップと、基板の板厚方向において第3領域と対向する面の反対側の面に配置されるソースパッドおよびソースパッドと異なる位置に配置されるゲートパッドを有する縦型トランジスタを含み、第3領域に配置される第2チップと、第1領域と接合される第1接合部、第2チップと接合される第2接合部および第1チップと接合される第3接合部を含む第1ワイヤと、第1領域と接合される第4接合部、第2チップと接合される第5接合部および第1チップと接合される第6接合部を含み、ゲートパッドを挟んで第1ワイヤと隣り合うよう配置される第2ワイヤと、を備える。基板の

板厚方向に見て、第1接合部の重心と第2接合部の重心とを通る第1仮想直線と、第4接合部の重心と第5接合部の重心とを通る第2仮想直線とは、平行である。第2仮想直線と第3接合部の重心との距離は、第2仮想直線と第2接合部の重心との距離よりも大きい。第1仮想直線と第2仮想直線との距離を d とし、第2接合部の重心と第3接合部の重心とを通る第3仮想直線と第1仮想直線とのなす鋭角の角度を θ とし、第1ワイヤが延びる方向における第2接合部の幅を w とすると、 $0 < \theta < \sin^{-1} d/w$ の関係が成立する。

[0006] 本開示の第二の局面に従った半導体装置は、基板と、第1領域、第1領域と離れて位置する第2領域および第1領域と第2領域との間に位置する第3領域を含み、基板上に配置される回路パターンと、第1ダイオードを含み、第2領域に配置される第3チップと、第2ダイオードを含み、第2領域の、第3チップとは異なる位置に配置される第4チップと、基板の板厚方向において第3領域と対向する面の反対側の面に配置されるソースパッドおよびソースパッドと異なる位置に配置されるゲートパッドを有する縦型トランジスタを含み、第3領域に配置される第2チップと、第1領域と接合される第1接合部、第2チップと接合される第2接合部および第1チップと接合される第3接合部を含む第1ワイヤと、第1領域と接合される第4接合部、第2チップと接合される第5接合部および第1チップと接合される第6接合部を含み、ゲートパッドを挟んで第1ワイヤと隣り合うよう配置される第2ワイヤと、を備える。基板の板厚方向に見て、第1接合部の重心と第2接合部の重心とを通る第1仮想直線と、第4接合部の重心と第5接合部の重心とを通る第2仮想直線とは、平行である。第2仮想直線と第3接合部の重心との距離は、第2仮想直線と第2接合部の重心との距離よりも大きい。第1仮想直線と第2仮想直線との距離を d とし、第2接合部の重心と第3接合部の重心とを通る第3仮想直線と第1仮想直線とのなす鋭角の角度を θ とし、第1ワイヤが延びる方向における第2接合部の幅を w とすると、 $0 < \theta < \sin^{-1} d/w$ の関係が成立する。

図面の簡単な説明

[0007] [図1]図1は、実施の形態1における半導体装置の概略断面図である。

[図2]図2は、図1に示す半導体装置を基板の板厚方向に見た場合の概略平面図である。

[図3]図3は、ワイヤを第2チップに接合する場合の概略断面図である。

[図4]図4は、ワイヤを第2チップに接合した状態を示す概略断面図である。

[図5]図5は、第2接合部において第1ワイヤを屈曲させて第1ワイヤと第2チップとを接合する状態を示す概略平面図である。

[図6]図6は、実施の形態2の半導体装置を基板の板厚方向に見た概略平面図である。

[図7]図7は、実施の形態3の半導体装置を基板の板厚方向に見た概略平面図である。

[図8]図8は、実施の形態3における第1ワイヤと第3ワイヤと第5ワイヤとを示す概略側面図である。

[図9]図9は、ワイヤのループの高さを規定する際の半導体装置の概略側面図である。

[図10]図10は、実施の形態4の半導体装置を基板の板厚方向に見た概略平面図である。

[図11]図11は、実施の形態4における第1ワイヤと第3ワイヤと第5ワイヤとを示す概略側面図である。

[図12]図12は、ワイヤのループの立ち上がり角度を規定する際の半導体装置の概略側面図である。

発明を実施するための形態

[0008] [本開示が解決しようとする課題]

半導体装置の製造工程においては、回路パターンが形成された基板上に半導体チップを配置した後、ワイヤによって回路パターンの一部の領域と半導体チップおよび半導体チップ同士が接続される。ワイヤを回路パターンや半導体チップに接合するためのツール（ボンドツール）と既に設置されたワイ

ヤとが接触すると、ワイヤの折れ曲がりが生じる。その結果、半導体装置の動作不良が生じるおそれがある。製造時におけるワイヤの折れ曲がりを抑制することが求められる。

[0009] そこで、ワイヤの折れ曲がりの抑制を図ることができる半導体装置を提供することを目的の1つとする。

[0010] [本開示の効果]

上記半導体装置によれば、ワイヤの折れ曲がりの抑制を図ることができる。

[0011] [本開示の実施形態の説明]

最初に本開示の実施態様を列記して説明する。本開示の第一の局面に係る半導体装置は、基板と、第1領域、第1領域と離れて位置する第2領域および第1領域と第2領域との間に位置する第3領域を含み、基板上に配置される回路パターンと、ダイオードを含み、第2領域に配置される第1チップと、基板の板厚方向において第3領域と対向する面の反対側の面に配置されるソースパッドおよびソースパッドと異なる位置に配置されるゲートパッドを有する縦型トランジスタを含み、第3領域に配置される第2チップと、第1領域と接合される第1接合部、第2チップと接合される第2接合部および第1チップと接合される第3接合部を含む第1ワイヤと、第1領域と接合される第4接合部、第2チップと接合される第5接合部および第1チップと接合される第6接合部を含み、ゲートパッドを挟んで第1ワイヤと隣り合うよう配置される第2ワイヤと、を備える。基板の板厚方向に見て、第1接合部の重心と第2接合部の重心とを通る第1仮想直線と、第4接合部の重心と第5接合部の重心とを通る第2仮想直線とは、平行である。第2仮想直線と第3接合部の重心との距離は、第2仮想直線と第2接合部の重心との距離よりも大きい。第1仮想直線と第2仮想直線との距離を d とし、第2接合部の重心と第3接合部の重心とを通る第3仮想直線と第1仮想直線とのなす鋭角の角度を θ とし、第1ワイヤが延びる方向における第2接合部の幅を w とすると、 $0 < \theta < \sin^{-1} d/w$ の関係が成立する。

[0012] 半導体装置に備えられる縦型トランジスタを含む第2チップにおいて、寄生ダイオードがオン状態となって基底面転位が増大するおそれを低減するために、第2チップと並列にダイオードを含む第1チップを配置することが好ましい。この時、第1チップ、第2チップ、回路パターンの順にステッチボンディングを実施すると、例えばターンオフ時に第2チップにおけるドレインソース間に生ずるサージ電圧に起因するリングングの発生を低減することができる。

[0013] 寄生ダイオードがオン状態になることをより確実に抑制するためには、第1チップの順バイアス時の抵抗を小さくすることが望ましい。第1チップの順バイアス時の抵抗を小さくするべく、基板の板厚方向に見て、第2チップの面積よりも第1チップの面積を大きくする場合がある。面積の大きい第1チップから面積の小さい第2チップに対してワイヤを連続的に接合する際、第2チップとの接合部においてワイヤが屈曲する場合がある。

[0014] ステッチボンディングは、例えばボンドツールを備えるワイヤボンダを用いて実施することができる。上記半導体装置においては、 $0 < \theta < \sin^{-1} d/w$ の関係が成立する。すなわち、 $0 < \theta < \sin^{-1} d/w$ の関係が成立するように、 θ を設定する。これにより、第2接合部において屈曲させて第1ワイヤと第2チップとを接合する際に、ボンドツールと既に設置された第2ワイヤとが接触するおそれを低減することができる。したがって、このような半導体装置によれば、ワイヤの折れ曲がりを抑制することができる。なお、平行とは二本の直線が並列に延在することを意味するのであって、幾何学的に厳密な意味での平行をいうものではない。

[0015] 上記半導体装置は、第1領域と接合される第7接合部、第2チップと接合される第8接合部および第1チップと接合される第9接合部を含む第3ワイヤをさらに備えてもよい。第2接合部と第3接合部との距離を D_1 とし、第8接合部と第9接合部との距離を D_2 とし、第2接合部から第3接合部までの第1ワイヤの長さを L_1 とし、第8接合部から第9接合部までの第3ワイヤの長さを L_2 とすると、 $|D_1 - D_2| > |L_1 - L_2|$ の関係が成立してもよい。

- [0016] このようにすることにより、第2チップと第1チップとを繋ぐ部分における第1ワイヤと第3ワイヤとの長さの差を小さくして、ワイヤの抵抗の差を小さくすることができる。よって、第1チップ内での電流の集中を回避し、実質的に第1チップの抵抗が上がることを抑制することができる。また、特定のワイヤに電流が集中するのを回避し、ワイヤの発熱に伴うワイヤの寿命の低下を抑制することができる。
- [0017] 上記半導体装置において、基板の板厚方向に見て、回路パターンは、第1チップから見て第1領域と反対側に位置する第4領域をさらに含んでもよい。半導体装置は、ゲートパッドと第4領域とを接続するゲートワイヤをさらに備えてもよい。このようにすることにより、ゲートワイヤを容易に配置することができる。
- [0018] 上記半導体装置において、基板の板厚方向に見て、第1チップの面積は、第2チップの面積よりも大きくてもよい。このようにすることにより、第1チップにおける抵抗の低減を図ることができる。
- [0019] 上記半導体装置において、第2チップは、SiC半導体を含んでもよい。このような高耐圧および低オン抵抗を達成可能な第2チップを採用することにより、高性能な半導体装置を得ることができる。
- [0020] 上記半導体装置において、第1チップは、SiC半導体を含んでもよい。このような高耐圧および低抵抗を達成可能な第1チップを採用することにより、高性能な半導体装置を得ることができる。
- [0021] 本開示の第二の局面に係る半導体装置は、基板と、第1領域、第1領域と離れて位置する第2領域および第1領域と第2領域との間に位置する第3領域を含み、基板上に配置される回路パターンと、第1ダイオードを含み、第2領域に配置される第3チップと、第2ダイオードを含み、第2領域の、第3チップとは異なる位置に配置される第4チップと、基板の板厚方向において第3領域と対向する面の反対側の面に配置されるソースパッドおよびソースパッドと異なる位置に配置されるゲートパッドを有する縦型トランジスタを含み、第3領域に配置される第2チップと、第1領域と接合される第1接

合部、第2チップと接合される第2接合部および第1チップと接合される第3接合部を含む第1ワイヤと、第1領域と接合される第4接合部、第2チップと接合される第5接合部および第1チップと接合される第6接合部を含み、ゲートパッドを挟んで第1ワイヤと隣り合うよう配置される第2ワイヤと、を備える。基板の板厚方向に見て、第1接合部の重心と第2接合部の重心とを通る第1仮想直線と、第4接合部の重心と第5接合部の重心とを通る第2仮想直線とは、平行である。第2仮想直線と第3接合部の重心との距離は、第2仮想直線と第2接合部の重心との距離よりも大きい。第1仮想直線と第2仮想直線との距離を d とし、第2接合部の重心と第3接合部の重心とを通る第3仮想直線と第1仮想直線とのなす鋭角の角度を θ とし、第1ワイヤが延びる方向における第2接合部の幅を w とすると、 $0 < \theta < \sin^{-1} d/w$ の関係が成立する。

[0022] このような半導体装置によれば、上記第一の局面に係る半導体装置と同様に、ワイヤの折れ曲がりを抑制することができる。

[0023] 上記半導体装置において、基板の板厚方向に見て、第1チップおよび第3チップの総面積は、第2チップの面積よりも大きくてもよい。このようにすることにより、第2チップ側へ流れる電流を少なくすることができる。

[0024] [本開示の実施形態の詳細]

次に、本開示の半導体装置の一実施形態を、図面を参照しつつ説明する。以下の図面において同一または相当する部分には同一の参照符号を付しその説明は繰り返さない。

[0025] (実施の形態1)

本開示の実施の形態1における半導体装置の構成について説明する。図1は、実施の形態1における半導体装置の概略断面図である。図2は、図1に示す半導体装置を基板の板厚方向に見た場合の概略平面図である。

[0026] 図1および図2を参照して、実施の形態1における半導体装置11aは、放熱板12と、放熱板12上に配置され、基板13と、回路パターン14と、ダイオードを含む第1チップ15と、縦型トランジスタを含む第2チップ

16とを備える。

[0027] 放熱板12は、金属製である。放熱板12は、例えば銅製である。放熱板12の表面には、例えばニッケルめっき処理が施される。放熱板12の平面形状は、例えば長方形である。放熱板12の一方の主面12a上に基板13が配置される。放熱板12の他方の主面12bには、例えば放熱を効率的に行うための放熱フィン（図示しない）等が取り付けられる場合がある。

[0028] 基板13は、絶縁性を有する。基板13は、例えばセラミック製である。基板13は、例えばAlN、SiNおよびAl₂O₃のうちの少なくともいずれか一つから構成される。基板13は、ガラス製であってもよい。基板13の平面形状は、例えば長方形である。基板13は、放熱板12の一方の主面12aと基板13の他方の主面13bとが接触するよう配置される。

[0029] 回路パターン14は、基板13上に配置される。具体的には、回路パターン14は、基板13の一方の主面13a上に配置される。回路パターン14は、例えば銅製である。回路パターン14は、具体的には銅配線である。回路パターン14は、第1領域14a、第2領域14b、第3領域14cおよび第4領域14d、を含む。第2領域14bは、第1領域14aと離れて位置する。第3領域14cは、第1領域14aと第2領域14bとの間に位置する。第2領域14bには、第1チップ15が配置される。第3領域14cには、第2チップ16が配置される。第4領域14dは、第1チップ15から見て第1領域14aと反対側に位置する。

[0030] 第1チップ15は、例えばショットキーバリアダイオードを含むチップである。第1チップ15の平面形状は、例えば長方形である。すなわち、基板13の板厚方向に見て、第1チップ15は、長方形形状を有する。第1チップ15において、第2領域14bに接触する面15b側にカソード電極が配置され、面15bと基板13の板厚方向の反対側の面15a側にアノード電極が配置される。第1チップ15は、SiC半導体層を含む。SiC半導体層は、アノード電極とカソード電極との間に配置される。

[0031] 第2チップ16は、例えば縦型のMOSFET (Metal-Oxide

−Semiconductor Field Effect Transistor)である。第2チップ16の平面形状は、例えば長方形である。すなわち、基板13の板厚方向に見て、第2チップ16は、長方形形状を有する。第2チップ16は、基板13の板厚方向において第3領域14cと対向する面16bの反対側の面16aに配置されるソースパッド18およびソースパッド18と異なる位置に配置されるゲートパッド17を有する。第2チップ16において、第3領域14cに接触する面16b側にドレイン電極が配置され、面16bと基板13の板厚方向の反対側の面16a側にソースパッド18と電氣的に接続されるソース電極およびゲートパッド17が配置される。ゲートパッド17は、第2チップ16のゲート電極と電氣的に接続される。第2チップ16は、SiC半導体層を含む。SiC半導体層は、ドレイン電極とソース電極との間に配置される。

[0032] 基板13の板厚方向に見て、第1チップ15の面積は、第2チップ16の面積よりも大きい。本実施形態においては、第1チップ15のX方向の長さは、第2チップ16のX方向の長さよりも長い。第1チップ15のY方向の長さは、第2チップ16のY方向の長さよりも長い。第1チップ15の面積を広く確保することにより、後述するワイヤを多く接続することが容易となるので、第1チップ15の抵抗を下げるのが容易となる。

[0033] 第2チップ16は、基板13の板厚方向に見て、第1領域14aと第1チップ15との間に配置される。半導体装置11aにおいては、基板13の板厚方向に見て、X方向に沿って、回路パターン14の第1領域14a、第2チップ16、第1チップ15、回路パターン14の第4領域14dの順に並んで配置される。

[0034] 半導体装置11aは、第1ワイヤ21aと、第2ワイヤ21bと、第3ワイヤ21cと、第4ワイヤ21dとを備える。第1ワイヤ21a〜第4ワイヤ21dは、Y方向において、第4ワイヤ21d、第2ワイヤ21b、第1ワイヤ21a、第3ワイヤ21cの順に並んで配置される。第3ワイヤ21cと第4ワイヤ21dとがY方向において両端に位置する。Y方向において

、第1ワイヤ21aと第2ワイヤ21bとの間に、ゲートパッド17が配置される。

[0035] 第1ワイヤ21a、第2ワイヤ21b、第3ワイヤ21cおよび第4ワイヤ21dはそれぞれ、回路パターン14の第1領域14a、第2チップ16および第1チップ15を電氣的に接続する。第1ワイヤ21a、第2ワイヤ21b、第3ワイヤ21c、第4ワイヤ21dは、第1領域14aと第2チップ16とが接続される領域において、それぞれX方向に沿って平行に配置される。第1ワイヤ21aを構成する材料としては、例えばアルミニウムを採用することができる。第2ワイヤ21b、第3ワイヤ21c、第4ワイヤ21dを構成する材料についても同様である。

[0036] 第1ワイヤ21aは、第1領域14aと接合される第1接合部22a、第2チップ16と接合される第2接合部23aおよび第1チップ15と接合される第3接合部24aを含む。回路パターン14の第1領域14a、第2チップ16および第1チップ15は、第1ワイヤ21aにより連続的に接続される。第1ワイヤ21aは、ステッチボンディングにより、回路パターン14の第1領域14a、第2チップ16および第1チップ15に接合される。第1ワイヤ21aは、第2接合部23aにおいて屈曲して接合される。第1ワイヤ21aは、第3接合部24aが第3ワイヤ21cに近づくように屈曲して接合される。

[0037] 第2ワイヤ21bは、ゲートパッド17を挟んで第1ワイヤ21aと隣り合うように配置される。第2ワイヤ21bは、第1領域14aと接合される第4接合部22b、第2チップ16と接合される第5接合部23bおよび第1チップ15と接合される第6接合部24bを含む。回路パターン14の第1領域14a、第2チップ16および第1チップ15は、第2ワイヤ21bにより連続的に接続される。第2ワイヤ21bは、ステッチボンディングにより、回路パターン14の第1領域14a、第2チップ16および第1チップ15に接合される。第2ワイヤ21bは、第5接合部23bにおいて屈曲して接合される。第2ワイヤ21bは、第6接合部24bが第4ワイヤ21

dに近づくように屈曲して接合される。

[0038] 第3ワイヤ21cは、Y方向において第1ワイヤ21aと間隔をあけて配置される。第3ワイヤ21cは、第1領域14aと接合される第7接合部22c、第2チップ16と接合される第8接合部23cおよび第1チップ15と接合される第9接合部24cを含む。第3ワイヤ21cは、第1ワイヤ21aと同様に、ステッチボンディングにより、回路パターン14の第1領域14a、第2チップ16および第1チップ15に接合される。第3ワイヤ21cは、第8接合部23cにおいて屈曲して接合される。第3ワイヤ21cは、第9接合部24cが第1ワイヤ21aから遠ざかるよう屈曲して接合される。

[0039] 第4ワイヤ21dは、第2ワイヤ21bと同様に、ステッチボンディングにより、回路パターン14の第1領域14a、第2チップ16および第1チップ15に接合される。回路パターン14の第1領域14a、第2チップ16および第1チップ15は、合計4本のワイヤによって連続的に接続されている。

[0040] 半導体装置11aにおいて、第2接合部23aと第3接合部24aとの距離を D_1 とし、第8接合部23cと第9接合部24cとの距離を D_2 とし、第2接合部23aから第3接合部24aまでの第1ワイヤ21aの長さを L_1 とし、第8接合部23cから第9接合部24cまでの第3ワイヤ21cの長さを L_2 とすると、 $|D_1 - D_2| > |L_1 - L_2|$ の関係が成立する。これについては、実施の形態3において詳細に述べる。

[0041] 半導体装置11aは、ゲートワイヤ25を備える。ゲートワイヤ25によりゲートパッド17と第4領域14dとが接続される。ゲートワイヤ25は、X方向に沿って延びるように配置される。ゲートワイヤ25とゲートパッド17との接合部は、Y方向において、第1ワイヤ21aと第2ワイヤ21bとの間に位置する。

[0042] 基板13の板厚方向に見て、第1接合部22aの重心と第2接合部23aの重心とを通る第1仮想直線26aと、第4接合部22bの重心と第5接合

部23bの重心とを通る第2仮想直線26bとは、平行である。ここで、第1接合部22aの重心とは、例えば第1接合部22aがX方向およびY方向にそれぞれ幅を有する場合には、その幅のX方向およびY方向のそれぞれの中間部分をいう。他の接合部についても同様である。第2仮想直線26bと第3接合部24aとの距離は、第2仮想直線26bと第2接合部23aとの距離よりも大きい。すなわち、第2接合部23aの重心と第3接合部24aの重心とを通る第3仮想直線26cと、第1仮想直線26aとは、交差している。第1仮想直線26a、第2仮想直線26bおよび第3仮想直線26cはそれぞれ破線で図示している。

[0043] 第1仮想直線26aと第2仮想直線26bとの距離を d とし、第2接合部23aの重心と第3接合部24aの重心とを通る第3仮想直線26cと第1仮想直線26aとのなす鋭角の角度を θ とし、第1ワイヤ21aが延びる方向における第2接合部23aの幅を w とすると、 $0 < \theta < \sin^{-1} d/w$ の関係が成立する。これについては、後述する。

[0044] 半導体装置11aによると、第2チップ16と並列に第1チップ15を配置している。第1チップ15、第2チップ16、回路パターン14の順にステッチボンディングが実施されている。したがって、半導体装置11aにおいて、例えばターンオフ時に第2チップ16におけるドレインソース間に生ずるサージ電圧に起因するリングングの発生を低減することができる。

[0045] 半導体装置11aでは、第1チップ15の順バイアス時の抵抗を小さくするべく、基板13の板厚方向に見て、第2チップ16の面積よりも第1チップ15の面積を大きい。面積の大きい第1チップ15から面積の小さい第2チップ16に対してワイヤを連続的に接合する際、第2チップ16との接合部においてワイヤを屈曲している。

[0046] 本実施形態においては、基板13の板厚方向に見て、第1チップ15の面積は、第2チップ16の面積よりも大きい。したがって、第1チップ15における抵抗の低減を図ることができる。

[0047] 本実施形態においては、基板13の板厚方向に見て、回路パターン14は

、第1チップ15から見て第1領域14aと反対側に位置する第4領域14dを含む。半導体装置11aは、ゲートパッド17と第4領域14dとを接続するゲートワイヤ25を備えている。したがって、ゲートワイヤ25を容易に配置することができる。

[0048] 本実施形態においては、第2チップ16は、SiC半導体を含む。高耐圧および低オン抵抗を達成可能なこのような第2チップ16を採用することにより、高性能な半導体装置11aを得ることができる。

[0049] 本実施形態において、第1チップ15は、SiC半導体を含む。高耐圧および低抵抗を達成可能なこのような第1チップ15を採用することにより、高性能な半導体装置11aを得ることができる。

[0050] 次に、上記半導体装置11aの製造方法の一例について簡単に説明する。まず回路パターン14を有する基板13および放熱板12を準備する。そして、放熱板12上に基板13を配置し、回路パターン14の第3領域14cの上に第2チップ16を配置し、第2領域14bの上に第1チップ15を配置する。その後、リフローはんだ付けにより放熱板12と基板13とを接合すると共に、第2チップ16および第1チップ15を回路パターン14に接合する。その後、ステッチボンディングによって、回路パターン14と第2チップ16と第1チップ15とをワイヤにより接合する。ここで、第1ワイヤ21a、第2ワイヤ21b、第3ワイヤ21cおよび第4ワイヤ21dのステッチボンディングについては、最後に第1ワイヤ21aのステッチボンディングを行うようにする。例えば、第4ワイヤ21d、第2ワイヤ21b、第3ワイヤ21c、第1ワイヤ21aの順にステッチボンディングを行う。また、図示しない端子と回路パターン14等とのワイヤによる接合を行う。その後、樹脂により封止する。このようにして半導体装置11aを製造する。

[0051] 次に、半導体装置11aの製造方法において、ワイヤをステッチボンディングにより接合する工程について説明する。図3は、ワイヤを第2チップ16に接合する場合の概略断面図である。図4は、ワイヤを第2チップ16に

接合した状態を示す概略断面図である。

[0052] 図3および図4を参照して、ワイヤ31のステッチボンディングについては、例えばワイヤボンダ先端部36を備えるワイヤボンダ33を用いて実施することができる。図3において、ワイヤボンダ先端部36の外形形状の概略を破線で示している。ワイヤボンダ先端部36は、ワイヤ31と接触する接触部34を有するボンドツール32と、ワイヤ31を供給するワイヤ供給部35とを含む。

[0053] ワイヤボンダ先端部36は、ワイヤ供給部35から随時ワイヤ31を供給しながら矢印Bで示す方向に移動する。移動時において、ワイヤ供給部35からワイヤ31を供給しながらボンドツール32の接触部34をワイヤ31に接触させて超音波振動させることにより、ワイヤ31を第2チップ16の面16aに接合する。ここで、ワイヤボンダ33においては、ボンドツール32の接触部34によって接合される接合幅wに加えて移動における進行方向において、ワイヤ供給部35のスペースを確保する必要があるため、接合幅wと同等の幅Cが必要となる。接合幅wは、図4において、ワイヤ31が延びる方向における第2接合部23aの両端部37a, 37bの間隔で示される。

[0054] 図5は、第2接合部23aにおいて第1ワイヤ21aを屈曲させて第1ワイヤ21aと第2チップ16とを接合する状態を示す概略平面図である。なお、図5においては、理解の容易の観点から、第1ワイヤ21aおよび第2ワイヤ21bの太さを誇張して太く図示している。

[0055] 図5を参照して、上記したように半導体装置11aにおいては、 $0 < \theta < \sin^{-1} d/w$ の関係が成立する。よって、第2接合部23aにおいて屈曲させて第1ワイヤ21aと第2チップ16とを接合する際に、ワイヤボンダ先端部36と既に設置された第2ワイヤ21bとが接触するおそれを低減することができる。すなわち、上記半導体装置11aにおいては、第1仮想直線26aと第3仮想直線26cとのなす鋭角の角度 θ をできるだけ小さくして、ステッチボンディング時におけるワイヤボンダ33と第2ワイヤ21b

との接触を抑制しようとするものである。したがって、上記した半導体装置 1 1 a によれば、第 2 ワイヤ 2 1 b の折れ曲がりを抑制することができる。

[0056] (実施の形態 2)

次に、他の実施の形態である実施の形態 2 について説明する。図 6 は、実施の形態 2 の半導体装置を基板の板厚方向に見た概略平面図である。実施の形態 2 は、ダイオードを含むチップが複数個配置される点において実施の形態 1 の場合とは異なっている。

[0057] 図 1、図 2 および図 6 を参照して、実施の形態 2 の半導体装置 1 1 b は、実施の形態 1 の半導体装置 1 1 a の第 1 チップ 1 5 に代えて Y 方向に並ぶ 2 つの第 3 チップ 1 5 c、第 4 チップ 1 5 d が配置されている点において実施の形態 1 と異なる。

[0058] 実施の形態 2 における半導体装置 1 1 b は、基板 1 3 と、回路パターン 1 4 と、第 2 チップ 1 6 と、第 3 チップ 1 5 c と、第 4 チップ 1 5 d とを備える。回路パターン 1 4 は、第 1 領域 1 4 a、第 2 領域 1 4 b、第 3 領域 1 4 c および第 4 領域 1 4 d、を含む。第 2 領域 1 4 b は、第 1 領域 1 4 a と離れて位置する。第 3 領域 1 4 c は、第 1 領域 1 4 a と第 2 領域 1 4 b との間に位置する。第 3 チップ 1 5 c は、第 1 ダイオードを含む。第 3 チップ 1 5 c は、第 2 領域 1 4 b に配置される。第 4 チップ 1 5 d は、第 2 ダイオードを含む。第 4 チップ 1 5 d は、第 2 領域 1 4 b の、第 3 チップ 1 5 c とは異なる位置に配置される。具体的には、第 3 チップ 1 5 c と第 4 チップ 1 5 d とは、Y 方向に間隔をあけて配置される。第 4 領域 1 4 d は、第 3 チップ 1 5 c および第 4 チップ 1 5 d から見て第 1 領域 1 4 a と反対側に位置する。本実施形態においては、第 3 チップ 1 5 c と第 4 領域 1 4 d との X 方向の距離は、第 4 チップ 1 5 d と第 4 領域 1 4 d との X 方向の距離と同じである。

[0059] 半導体装置 1 1 b は、第 1 ワイヤ 2 1 a と、第 2 ワイヤ 2 1 b と、を備える。第 1 ワイヤ 2 1 a は、第 1 領域 1 4 a と接合される第 1 接合部 2 2 a、第 2 チップ 1 6 と接合される第 2 接合部 2 3 a および第 3 チップ 1 5 c と接合される第 3 接合部 2 4 a を含む。第 2 ワイヤ 2 1 b は、ゲートパッド 1 7

を挟んで第1ワイヤ21aと隣り合うよう配置される。第2ワイヤ21bは、第1領域14aと接合される第4接合部22b、第2チップ16と接合される第5接合部23bおよび第4チップ15dと接合される第6接合部24bを含む。

[0060] 基板13の板厚方向に見て、第1接合部22aの重心と第2接合部23aの重心とを通る第1仮想直線26aと、第4接合部22bの重心と第5接合部23bの重心とを通る第2仮想直線26bとは、平行である。第2仮想直線26bと第3接合部24aの重心との距離は、第2仮想直線26bと第2接合部23aの重心との距離よりも大きい。第1仮想直線26aと第2仮想直線26bとの距離をdとし、第2接合部23aの重心と第3接合部24aの重心とを通る第3仮想直線26cと第1仮想直線26aとのなす鋭角の角度を θ とし、第1ワイヤ21aが延びる方向における第2接合部23aの幅をwとすると、 $0 < \theta < \sin^{-1} d/w$ の関係が成立する。

[0061] このような半導体装置11bによれば、実施の形態1における半導体装置11aと同様に、第2ワイヤ21bの折れ曲がりを抑制することができる。

[0062] 本実施形態において、基板13の板厚方向に見て、第3チップ15cおよび第4チップ15dの総面積は、第2チップ16の面積よりも大きい。したがって、第2チップ16側へ流れる電流を少なくすることができる。

[0063] なお、本実施形態においては、2つのダイオードを含むチップを備えることとしたが、これに限らず、半導体装置11bは、3つ以上のダイオードを含むチップを備えてもよい。

[0064] (実施の形態3)

次に、さらに他の実施の形態である実施の形態3について説明する。図7は、実施の形態3の半導体装置を基板の板厚方向に見た概略平面図である。実施の形態3は、ワイヤの形状および数量が異なる点において実施の形態1の場合とは異なっている。

[0065] 図7を参照して、実施の形態3における半導体装置11cは、第1ワイヤ41aと、第2ワイヤ41bと、第3ワイヤ41cと、第4ワイヤ41dと

、第5ワイヤ41eと、第6ワイヤ41fとを備える。第1ワイヤ41a～第6ワイヤ41fは、Y方向において第6ワイヤ41f、第4ワイヤ41d、第2ワイヤ41b、第1ワイヤ41a、第3ワイヤ41c、第5ワイヤ41eの順に並んで配置される。第1ワイヤ41a～第6ワイヤ41fはそれぞれ、第1領域14aと第2チップ16と第1チップ15とを電氣的に接続する。以下、第1ワイヤ41a、第3ワイヤ41cおよび第5ワイヤ41eの構成について説明する。なお、第2ワイヤ41b、第4ワイヤ41dおよび第6ワイヤ41fの構成は、屈曲する向きが第1ワイヤ41a、第3ワイヤ41cおよび第5ワイヤ41eとそれぞれ異なるだけで、同様の構成である。よって、これらの説明を省略する。

[0066] 第1ワイヤ41aは、第1領域14aと接合される第1接合部42a、第2チップ16と接合される第2接合部43aおよび第1チップ15と接合される第3接合部44aを含む。第1ワイヤ41aは、第2接合部43aにおいて、屈曲している。第3ワイヤ41cは、第1領域14aと接合される第7接合部42c、第2チップ16と接合される第8接合部43cおよび第1チップ15と接合される第9接合部44cを含む。第3ワイヤ41cは、第8接合部43cにおいて、屈曲している。第5ワイヤ41eは、第1領域14aと接合される第10接合部42e、第2チップ16と接合される第11接合部43eおよび第1チップ15と接合される第12接合部44eを含む。第5ワイヤ41eは、第11接合部43eにおいて、屈曲している。

[0067] 図8は、実施の形態3における第1ワイヤ41aと第3ワイヤ41cと第5ワイヤ41eとを示す概略側面図である。理解の容易の観点から、図8において、第1ワイヤ41aと第3ワイヤ41cと第5ワイヤ41eとを並べて図示している。図8および以下に示す図9、図11、図12において、ワイヤのうち、第2チップ16と回路パターン14の第1領域14aとを繋ぐ部分の図示を省略している。

[0068] 図7および図8を参照して、実施の形態3における半導体装置11cにおいて、第2接合部43aと第3接合部44aとの距離を D_1 とし、第8接合部

4 3 c と第 9 接合部 4 4 c との距離を D_2 とし、第 2 接合部 4 3 a から第 3 接合部 4 4 a までの第 1 ワイヤ 4 1 a の長さを L_1 とし、第 8 接合部 4 3 c から第 9 接合部 4 4 c までの第 3 ワイヤ 4 1 c の長さを L_2 とすると、 $|D_1 - D_2| > |L_1 - L_2|$ の関係が成立する。

[0069] このようにすることにより、第 2 チップ 1 6 と第 1 チップ 1 5 とを繋ぐ部分における第 1 ワイヤ 4 1 a と第 3 ワイヤ 4 1 c との長さの差を小さくして、ワイヤの抵抗の差を小さくすることができる。よって、第 1 チップ 1 5 内での電流の集中を回避し、実質的に第 1 チップ 1 5 の抵抗が上がることを抑制することができる。また、特定のワイヤに電流が集中するのを回避し、ワイヤの発熱に伴うワイヤの寿命の低下を抑制することができる。

[0070] なお、上記した実施の形態 1 については、半導体装置 1 1 a において、第 2 接合部 2 3 a と第 3 接合部 2 4 a との距離を D_1 とし、第 8 接合部 2 3 c と第 9 接合部 2 4 c との距離を D_2 とし、第 2 接合部 2 3 a から第 3 接合部 2 4 a までの第 1 ワイヤ 2 1 a の長さを L_1 とし、第 8 接合部 2 3 c から第 9 接合部 2 4 c までの第 3 ワイヤ 2 1 c の長さを L_2 とすると、 $|D_1 - D_2| > |L_1 - L_2|$ の関係が成立する。このようにすることにより、実施の形態 3 と同様に、第 2 チップ 1 6 と第 1 チップ 1 5 とを繋ぐ部分における第 1 ワイヤ 2 1 a と第 3 ワイヤ 2 1 c との長さの差を小さくして、ワイヤの抵抗の差を小さくすることができる。よって、第 1 チップ 1 5 内での電流の集中を回避し、実質的に第 1 チップ 1 5 の抵抗が上がることを抑制することができる。また、特定のワイヤに電流が集中するのを回避し、ワイヤの発熱に伴うワイヤの寿命の低下を抑制することができる。なお、実施の形態 1 において、第 1 ワイヤ 2 1 a と第 3 ワイヤ 2 1 c との関係について規定したが、他のワイヤ、例えば第 1 ワイヤ 2 1 a と第 2 ワイヤ 2 1 b との関係について、上記した $|D_1 - D_2| > |L_1 - L_2|$ の関係が成立するようにしてもよい。

[0071] また、実施の形態 3 における半導体装置 1 1 c においては、第 1 1 接合部 4 3 e と第 1 2 接合部 4 4 e との距離を D_3 とし、第 1 1 接合部 4 3 e から第 1 2 接合部 4 4 e までの第 5 ワイヤ 4 1 e の長さを L_3 とすると、 $|D_2 - D_3|$

$| > | L_2 - L_3 |$ の関係が成立する。また、 $| D_1 - D_3 | > | L_1 - L_3 |$ の関係が成立する。このようにすることにより、第1チップ15の抵抗が上がることを抑制することができ、ワイヤの発熱に伴うワイヤの寿命の低下を抑制することができる。

[0072] 具体的には、例えば第1ワイヤ41aと第3ワイヤ41cと第5ワイヤ41eのそれぞれのワイヤのループの高さが異なる構造を採用することができる。ここで、ワイヤのループの高さの定義について説明する。図9は、ワイヤのループの高さを規定する際の半導体装置の概略側面図である。

[0073] 図9を参照して、ワイヤ41gは、第2チップ16と第2接合部43gにおいて接合され、第1チップ15と第3接合部44gにおいて接合される。第2接合部43gと第3接合部44gとを通る直線と、ワイヤ41gとを結ぶこの直線に垂直な線分の長さの最大値を、ワイヤ41gのループの高さhとする。

[0074] 図8を再び参照して、第1ワイヤ41aにおいて、第2接合部43aと第3接合部44aとを通る直線と、第1ワイヤ41aとを結ぶこの直線に垂直な線分の長さの最大値を、第1ワイヤ41aの高さ h_1 とする。第3ワイヤ41cにおいて、第8接合部43cと第9接合部44cとを通る直線と、第3ワイヤ41cとを結ぶこの直線に垂直な線分の長さの最大値を、第3ワイヤ41cの高さ h_2 とする。そして、 $D_1 \leq D_2$ の場合、 $h_1 \geq h_2$ とすることにより、 $| D_1 - D_2 | > | L_1 - L_2 |$ の関係を成立させることが容易となる。

[0075] また、第5ワイヤ41eにおいて、第11接合部43eと第12接合部44eとを通る直線と、第5ワイヤ41eとを結ぶこの直線に垂直な線分の長さの最大値を、第5ワイヤ41eの高さ h_3 とする。そして、 $D_2 \leq D_3$ の場合、 $h_2 \geq h_3$ とすることにより、 $| D_2 - D_3 | > | L_2 - L_3 |$ の関係を成立させることが容易となる。また、 $D_1 \leq D_3$ の場合、 $h_1 \geq h_3$ とすることにより、 $| D_1 - D_3 | > | L_1 - L_3 |$ の関係を成立させることが容易となる。

[0076] なお、第1ワイヤ41aおよび第3ワイヤ41cと第5ワイヤ41eとの関係においては、 $D_1 \leq D_2 \leq D_3$ の場合、 $h_1 \geq h_2 \geq h_3$ とする。このように

することにより、それぞれのワイヤについて、 $|D_1 - D_2| > |L_1 - L_2|$ の関係、 $|D_1 - D_3| > |L_1 - L_3|$ の関係および $|D_2 - D_3| > |L_2 - L_3|$ の関係を成立させることが容易となる。

[0077] なお、用いられる一般的なワイヤの最小径は $10\mu\text{m}$ である。また、半導体装置11cにおいて樹脂により封止する際の封止材の高さとしては、一般的には 3cm である。したがって、各高さ h_1 、 h_2 、 h_3 については、ワイヤの露出を避けるためにも、 $10\mu\text{m}$ より長くすることが好ましい。また、 3cm よりも短くすることが好ましい。より好ましくは、各高さ h_1 、 h_2 、 h_3 については、封止材にフィラーが含有される場合にフィラーが詰まらないよう $100\mu\text{m}$ よりも大きくするのが良い。またインダクタンス等の実用上の条件より 2cm よりも小さくするのが良い。

[0078] また、高さ h_1 、 h_2 、 h_3 同士の差については、ワイヤの最小径である $10\mu\text{m}$ よりも大きくすることが好ましい。より好ましくは、高さ h_1 、 h_2 、 h_3 同士の差については、上記と同様の理由でフィラーが詰まらないように $100\mu\text{m}$ よりも大きくするのが良い。

[0079] (実施の形態4)

次に、さらに他の実施の形態である実施の形態4について説明する。図10は、実施の形態4の半導体装置を基板の板厚方向に見た概略平面図である。実施の形態4は、ワイヤの形状において実施の形態3の場合とは異なっている。

[0080] 図10を参照して、実施の形態4における半導体装置11dは、第1ワイヤ46aと、第2ワイヤ46bと、第3ワイヤ46cと、第4ワイヤ46dと、第5ワイヤ46eと、第6ワイヤ46fとを備える。第1ワイヤ46a～第6ワイヤ46fは、Y方向において、第6ワイヤ46f、第4ワイヤ46d、第2ワイヤ46b、第1ワイヤ46a、第3ワイヤ46c、第5ワイヤ46eの順に並んで配置される。第1ワイヤ46a～第6ワイヤ46fはそれぞれ、第1領域14aと第2チップ16と第1チップ15とを電氣的に接続する。以下、第1ワイヤ46aと第3ワイヤ46cと第5ワイヤ46e

の構成について説明する。なお、第2ワイヤ46b、第4ワイヤ46dおよび第6ワイヤ46fの構成は、屈曲する向きが第1ワイヤ46a、第3ワイヤ46cおよび第5ワイヤ46eとそれぞれ異なるだけで、同様の構成である。よって、これらの説明を省略する。

[0081] 第1ワイヤ46aは、第1領域14aと接合される第1接合部47a、第2チップ16と接合される第2接合部48aおよび第1チップ15と接合される第3接合部49aを含む。第1ワイヤ46aは、第2接合部48aにおいて屈曲している。第3ワイヤ46cは、第1領域14aと接合される第7接合部47c、第2チップ16と接合される第8接合部48cおよび第1チップ15と接合される第9接合部49cを含む。第3ワイヤ46cは、第8接合部48cにおいて屈曲している。第5ワイヤ46eは、第1領域14aと接合される第10接合部47e、第2チップ16と接合される第11接合部48eおよび第1チップ15と接合される第12接合部49eを含む。第5ワイヤ46eは、第11接合部48eにおいて屈曲している。

[0082] 図11は、実施の形態4における第1ワイヤ46aと第3ワイヤ46cと第5ワイヤ46eとを示す概略側面図である。理解の容易の観点から、図11において、第1ワイヤ46aと第3ワイヤ46cと第5ワイヤ46eとを並べて図示している。

[0083] 図10および図11を参照して、実施の形態4における半導体装置11dにおいて、第2接合部48aと第3接合部49aとの距離を D_1 とし、第8接合部48cと第9接合部49cとの距離を D_2 とし、第2接合部48aから第3接合部49aまでの第1ワイヤ46aの長さを L_1 とし、第8接合部48cから第9接合部49cまでの第3ワイヤ46cの長さを L_2 とすると、 $|D_1 - D_2| > |L_1 - L_2|$ の関係が成立する。

[0084] このようにすることにより、第2チップ16と第1チップ15とを繋ぐ部分における第1ワイヤ46aと第3ワイヤ46cとの長さの差を小さくして、ワイヤの抵抗の差を小さくすることができる。よって、第1チップ15内の電流の集中を回避し、実質的に第1チップ15の抵抗が上がることを抑

制することができる。また、特定のワイヤに電流が集中するのを回避し、ワイヤの発熱に伴うワイヤの寿命の低下を抑制することができる。

[0085] 具体的には、例えば第1ワイヤ41aと第3ワイヤ41cと第5ワイヤ41eのそれぞれのワイヤの接合部におけるループの立ち上がりの角度が異なる構造を採用することができる。ここで、ワイヤの接合部におけるループの立ち上がりの角度の定義について説明する。図12は、ワイヤの接合部におけるループの立ち上がり角度を規定する際の半導体装置の概略側面図である。

[0086] 図12を参照して、ワイヤ46gは、第2チップ16と第2接合部43gにおいて接合され、第1チップ15と第3接合部44gにおいて接合される。第2接合部43gと第3接合部44gとを通る直線と垂直な線とワイヤ41gとの交わる長さhを、ワイヤ41gのループの高さとする。ループの高さhの導出については、上記した実施の形態3の場合と同様である。そして、ワイヤのループの高さの半分の高さである $1/2h$ の位置において、第2接合部48gに近いワイヤ46gとの交点50aと第2接合部48gとを通る直線と、第2接合部48gと第3接合部49gとを通る直線とのなす鋭角の角度を θ_F とする。また、 $1/2h$ の位置において、第3接合部49gに近いワイヤ46gとの交点50bと第3接合部49gとを通る直線と第2接合部48gと第3接合部49gとを通る直線とのなす鋭角の角度を θ_S とする。 $\theta_F + \theta_S = \theta$ とする。 $\theta_{F1} + \theta_{S1} = \theta_1$ とする。 $\theta_{F2} + \theta_{S2} = \theta_2$ とする。そして、 $D_1 \leq D_2$ の場合、 $\theta_1 \geq \theta_2$ とする。このようにすることにより、 $|D_1 - D_2| > |L_1 - L_2|$ の関係を成立させることが容易となる。

[0087] また、第5ワイヤ46eにおいて、 $\theta_{F3} + \theta_{S3} = \theta_3$ として、同様に角度 θ_3 を導出する。そして、 $D_2 \leq D_3$ の場合、 $\theta_2 \geq \theta_3$ とすることにより、 $|D_2 - D_3| > |L_2 - L_3|$ の関係を成立させることが容易となる。また、 $D_1 \leq D_3$ の場合、 $\theta_1 \geq \theta_3$ とすることにより、 $|D_1 - D_3| > |L_1 - L_3|$ の関係を成立させることが容易となる。

[0088] なお、第1ワイヤ46aおよび第3ワイヤ46cと第5ワイヤ46eとの

関係においては、 $D_1 \leq D_2 \leq D_3$ の場合、 $\theta_1 \geq \theta_2 \geq \theta_3$ とする。このようにすることにより、それぞれのワイヤについて、 $|D_1 - D_2| > |L_1 - L_2|$ の関係、 $|D_1 - D_3| > |L_1 - L_3|$ の関係および $|D_2 - D_3| > |L_2 - L_3|$ の関係を成立させることが容易となる。

[0089] なお、上記した実施の形態4におけるワイヤの接合部におけるループの立ち上がりの角度の調整や、実施の形態3におけるワイヤのループの高さの調整については、例えば、ステッチボンディングを行う際のワイヤボンダ先端部の移動速度やワイヤ供給部におけるワイヤの供給速度等によって調整することができる。

[0090] (他の実施の形態)

なお、上記の実施の形態においては、基板の板厚方向に見て、回路パターンは、第1チップから見て第1領域と反対側に位置する第4領域を含み、半導体装置は、ゲートパッドと第4領域とを接続するゲートワイヤを備えることとしたが、これに限らず、回路パターンは、第4領域を有しない構成としてもよい。

[0091] 今回開示された実施の形態はすべての点で例示であって、どのような面からも制限的なものではないと理解されるべきである。本発明の範囲は上記した説明ではなく、請求の範囲によって規定され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0092] 11 a, 11 b, 11 c, 11 d 半導体装置

12 放熱板

12 a, 12 b, 13 a, 13 b 主面

13 基板

14 回路パターン

14 a 第1領域

14 b 第2領域

14 c 第3領域

- 1 4 d 第4領域
- 1 5 第1チップ
- 1 5 a, 1 5 b, 1 6 a, 1 6 b 面
- 1 5 c 第3チップ
- 1 5 d 第4チップ
- 1 6 第2チップ
- 1 7 ゲートパッド
- 1 8 ソースパッド
- 2 1 a, 4 1 a, 4 6 a 第1ワイヤ
- 2 1 b, 4 1 b, 4 6 b 第2ワイヤ
- 2 1 c, 4 1 c, 4 6 c 第3ワイヤ
- 2 1 d, 4 1 d, 4 6 d 第4ワイヤ
- 2 2 a, 4 2 a, 4 7 a 第1接合部
- 2 2 b 第4接合部
- 2 3 a, 4 3 a, 4 3 g, 4 8 a 第2接合部
- 2 3 b 第5接合部
- 2 4 a, 4 4 a, 4 4 g, 4 9 a 第3接合部
- 2 4 b 第6接合部
- 2 5 ゲートワイヤ
- 2 6 a 第1仮想直線
- 2 6 b 第2仮想直線
- 2 6 c 第3仮想直線
- 3 1 ワイヤ
- 3 2 ワイヤツール
- 3 3 ワイヤボンダ
- 3 4 接触部
- 3 5 ワイヤ供給部
- 3 6 ワイヤボンダ先端部

3 7 a, 3 7 b	端部
4 1 e, 4 6 e	第5ワイヤ
4 1 f, 4 6 f	第6ワイヤ
4 2 c, 4 7 c	第7接合部
4 2 e, 4 7 e	第10接合部
4 3 c, 4 8 c	第8接合部
4 3 e, 4 8 e	第11接合部
4 4 c, 4 9 c	第9接合部
4 4 e, 4 9 e	第12接合部
5 0 a, 5 0 b	交点

請求の範囲

[請求項1]

基板と、

第1領域、前記第1領域と離れて位置する第2領域および前記第1領域と前記第2領域との間に位置する第3領域を含み、前記基板上に配置される回路パターンと、

ダイオードを含み、前記第2領域に配置される第1チップと、

前記基板の板厚方向において前記第3領域と対向する面の反対側の面に配置されるソースパッドおよび前記ソースパッドと異なる位置に配置されるゲートパッドを有する縦型トランジスタを含み、前記第3領域に配置される第2チップと、

前記第1領域と接合される第1接合部、前記第2チップと接合される第2接合部および前記第1チップと接合される第3接合部を含む第1ワイヤと、

前記第1領域と接合される第4接合部、前記第2チップと接合される第5接合部および前記第1チップと接合される第6接合部を含み、前記ゲートパッドを挟んで前記第1ワイヤと隣り合うよう配置される第2ワイヤと、を備え、

前記基板の板厚方向に見て、

前記第1接合部の重心と前記第2接合部の重心とを通る第1仮想直線と、前記第4接合部の重心と前記第5接合部の重心とを通る第2仮想直線とは、平行であり、

前記第2仮想直線と前記第3接合部の重心との距離は、前記第2仮想直線と前記第2接合部の重心との距離よりも大きく、

前記第1仮想直線と前記第2仮想直線との距離を d とし、前記第2接合部の重心と前記第3接合部の重心とを通る第3仮想直線と前記第1仮想直線とのなす鋭角の角度を θ とし、前記第1ワイヤが延びる方向における前記第2接合部の幅を w とすると、 $0 < \theta < \sin^{-1} d/w$ の関係が成立する、半導体装置。

[請求項2] 前記第1領域と接合される第7接合部、前記第2チップと接合される第8接合部および前記第1チップと接合される第9接合部を含む第3ワイヤをさらに備え、

前記第2接合部と前記第3接合部との距離を D_1 とし、前記第8接合部と前記第9接合部との距離を D_2 とし、前記第2接合部から前記第3接合部までの前記第1ワイヤの長さを L_1 とし、前記第8接合部から前記第9接合部までの前記第3ワイヤの長さを L_2 とすると、

$|D_1 - D_2| > |L_1 - L_2|$ の関係が成立する、請求項1に記載の半導体装置。

[請求項3] 前記基板の板厚方向に見て、前記回路パターンは、前記第1チップから見て前記第1領域と反対側に位置する第4領域をさらに含み、

前記半導体装置は、前記ゲートパッドと前記第4領域とを接続するゲートワイヤをさらに備える、請求項1または請求項2に記載の半導体装置。

[請求項4] 前記基板の板厚方向に見て、前記第1チップの面積は、前記第2チップの面積よりも大きい、請求項1から請求項3のいずれか1項に記載の半導体装置。

[請求項5] 前記第2チップは、SiC半導体層を含む、請求項1から請求項4のいずれか1項に記載の半導体装置。

[請求項6] 前記第1チップは、SiC半導体層を含む、請求項1から請求項5のいずれか1項に記載の半導体装置。

[請求項7] 基板と、

第1領域、前記第1領域と離れて位置する第2領域および前記第1領域と前記第2領域との間に位置する第3領域を含み、前記基板上に配置される回路パターンと、

第1ダイオードを含み、前記第2領域に配置される第3チップと、

第2ダイオードを含み、前記第2領域の、前記第3チップとは異なる位置に配置される第4チップと、

前記基板の板厚方向において前記第3領域と対向する面の反対側の面に配置されるソースパッドおよび前記ソースパッドと異なる位置に配置されるゲートパッドを有する縦型トランジスタを含み、前記第3領域に配置される第2チップと、

前記第1領域と接合される第1接合部、前記第2チップと接合される第2接合部および前記第1チップと接合される第3接合部を含む第1ワイヤと、

前記第1領域と接合される第4接合部、前記第2チップと接合される第5接合部および前記第1チップと接合される第6接合部を含み、前記ゲートパッドを挟んで前記第1ワイヤと隣り合うよう配置される第2ワイヤと、を備え、

前記基板の板厚方向に見て、

前記第1接合部の重心と前記第2接合部の重心とを通る第1仮想直線と、前記第4接合部の重心と前記第5接合部の重心とを通る第2仮想直線とは、平行であり、

前記第2仮想直線と前記第3接合部の重心との距離は、前記第2仮想直線と前記第2接合部の重心との距離よりも大きく、

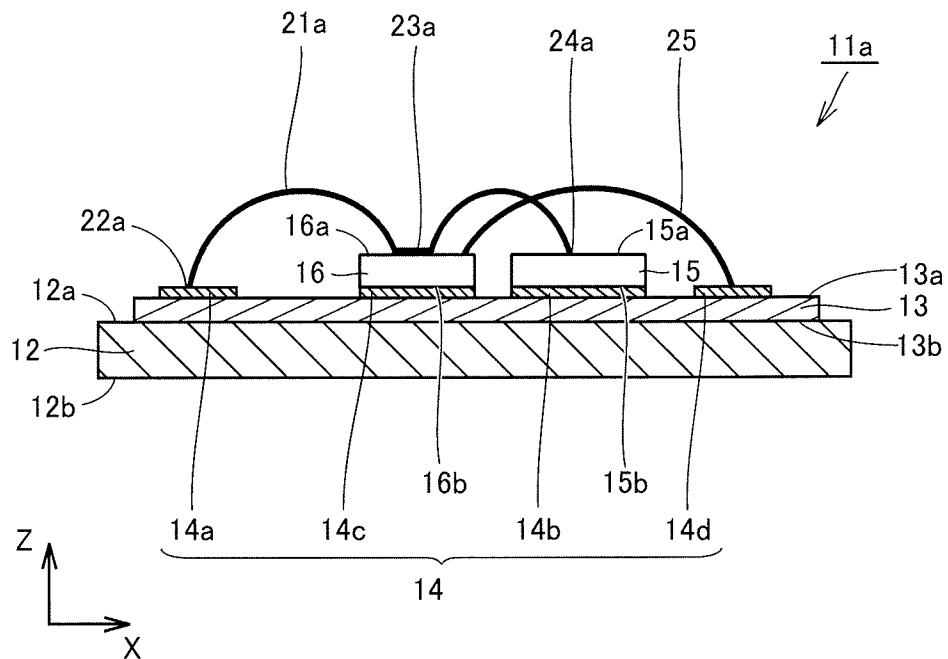
前記第1仮想直線と前記第2仮想直線との距離を d とし、前記第2接合部の重心と前記第3接合部の重心とを通る第3仮想直線と前記第1仮想直線とのなす鋭角の角度を θ とし、前記第1ワイヤが延びる方向における前記第2接合部の幅を w とすると、 $0 < \theta < \sin^{-1} d/w$ の関係が成立する、半導体装置。

[請求項8]

前記基板の板厚方向に見て、前記第3チップおよび前記第4チップの総面積は、前記第2チップの面積よりも大きい、請求項7に記載の半導体装置。

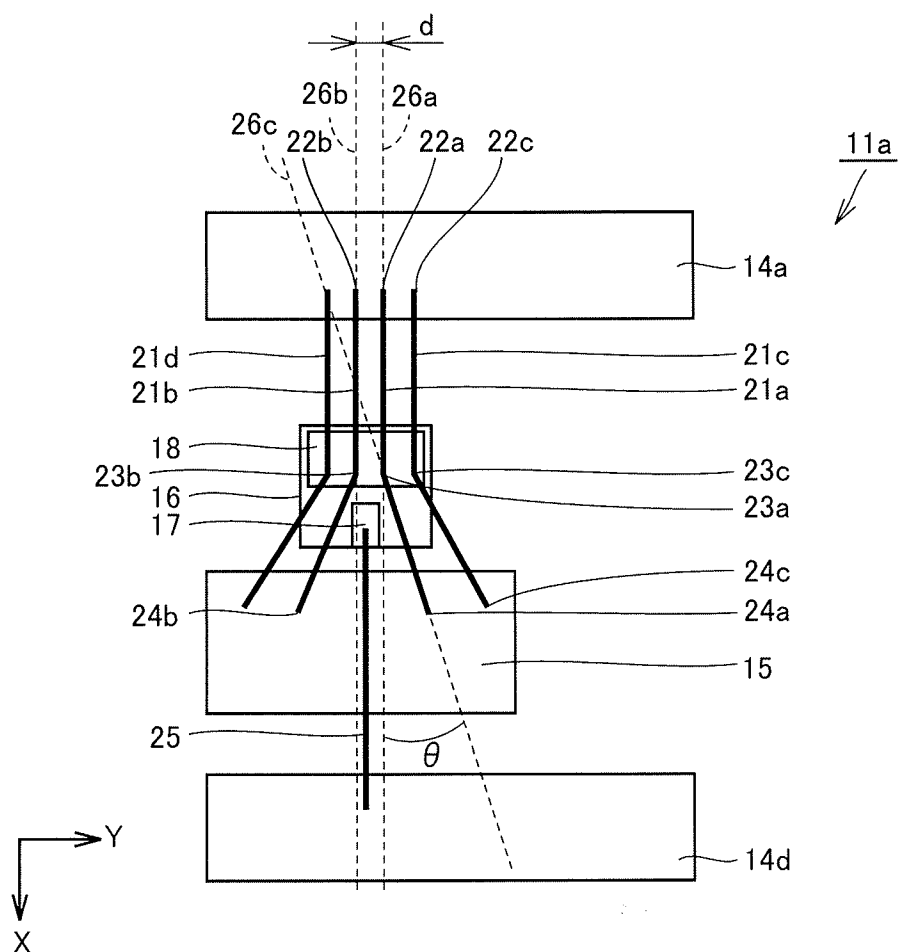
[図1]

FIG.1



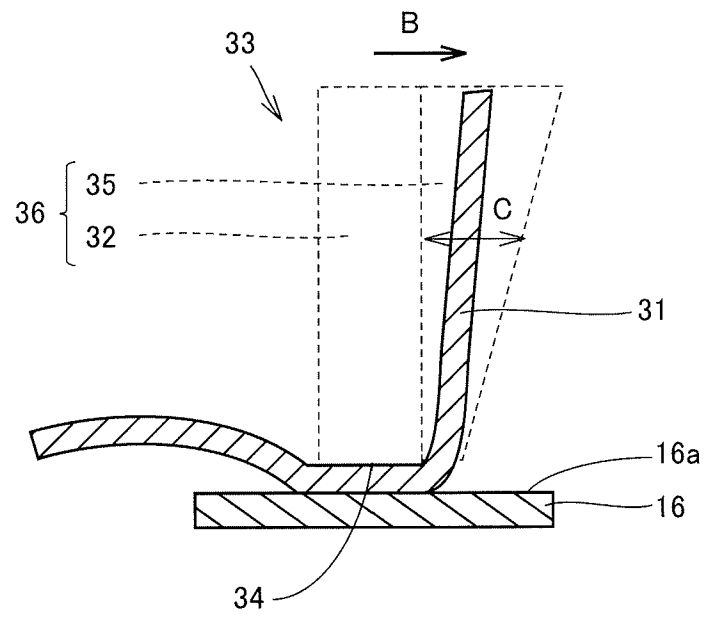
[図2]

FIG.2



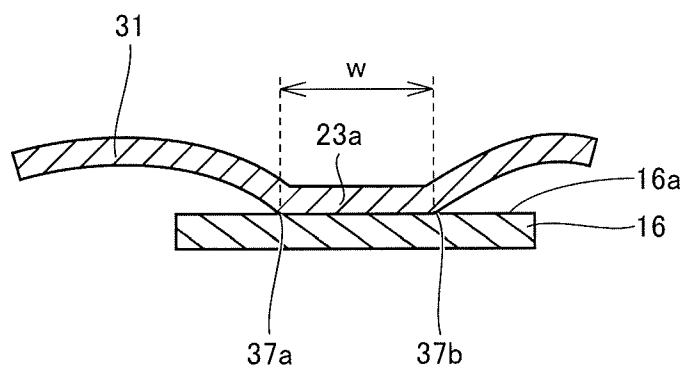
[図3]

FIG.3



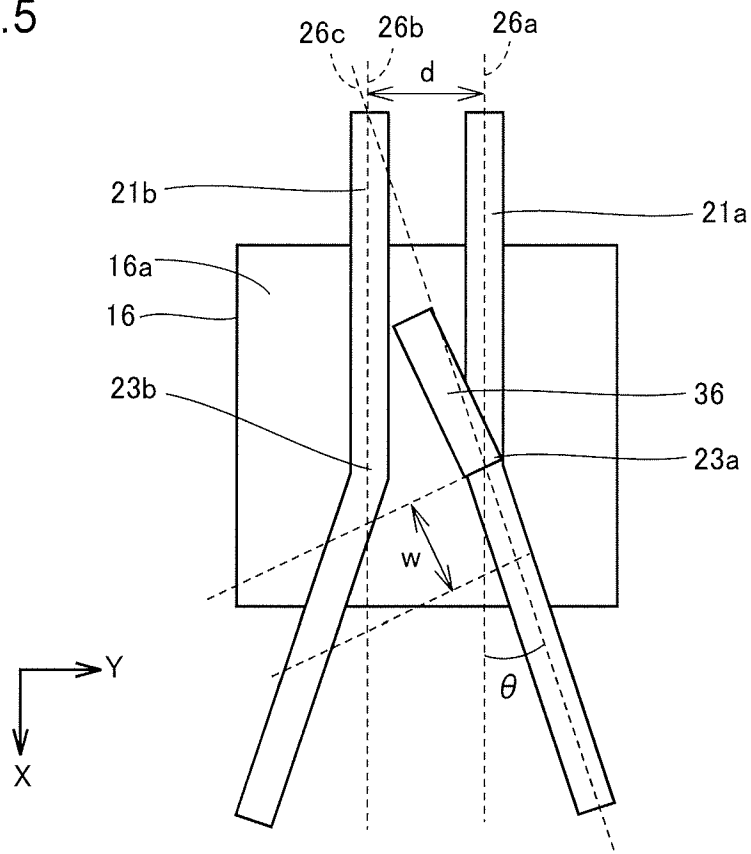
[図4]

FIG.4



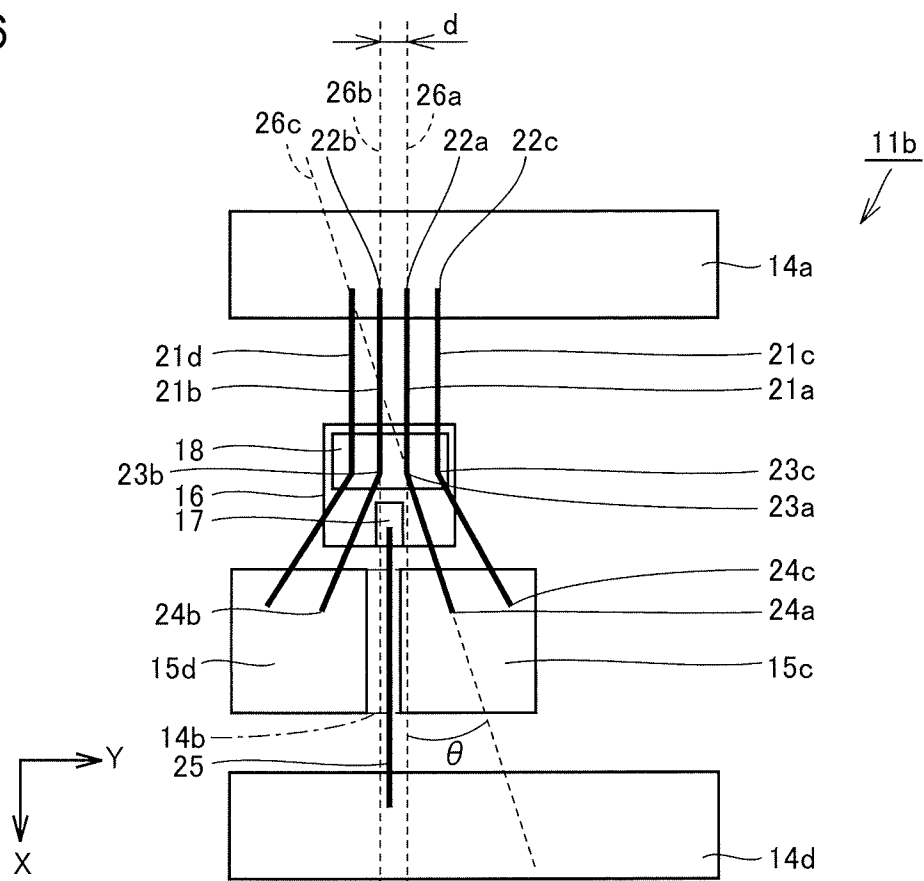
[図5]

FIG.5



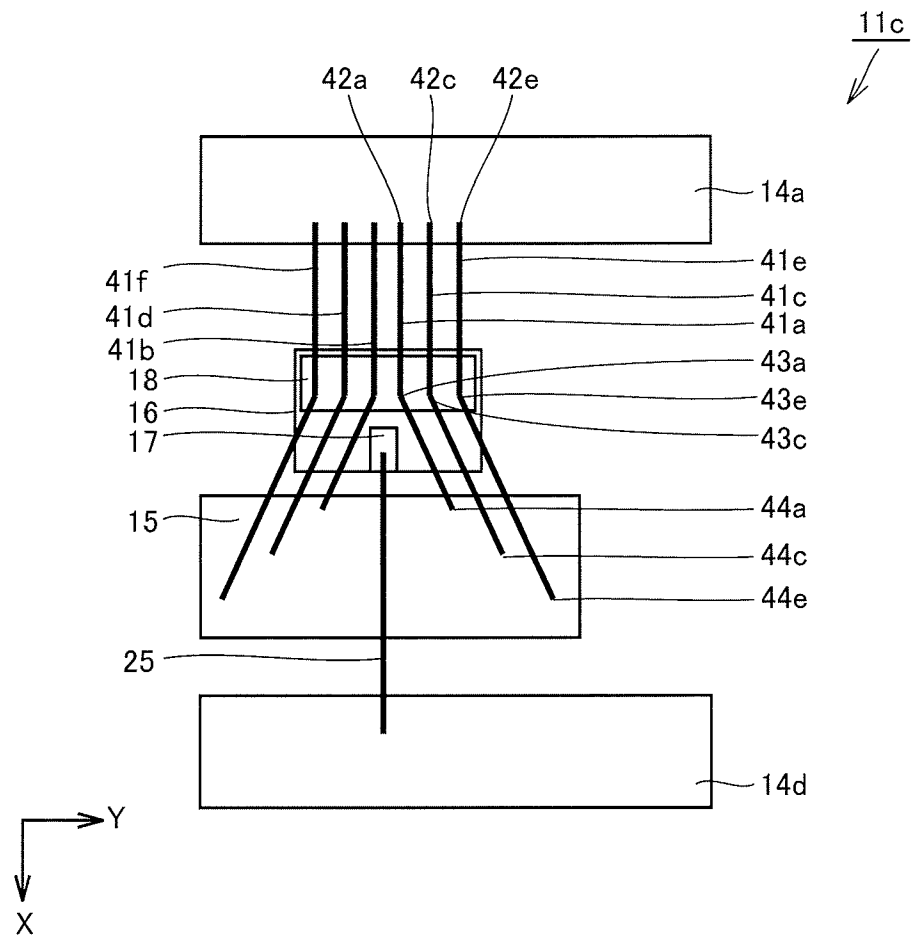
[図6]

FIG.6



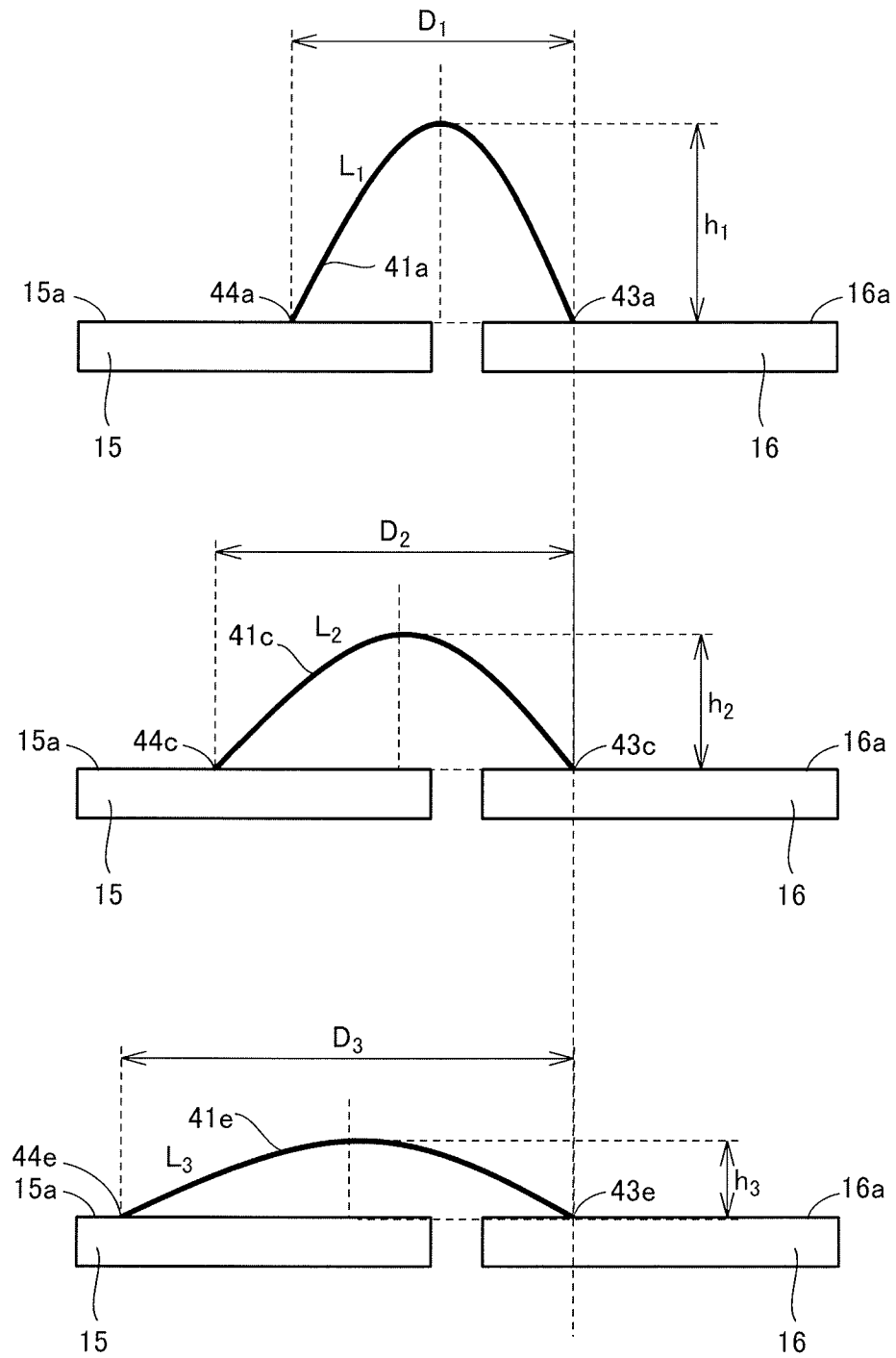
[図7]

FIG.7



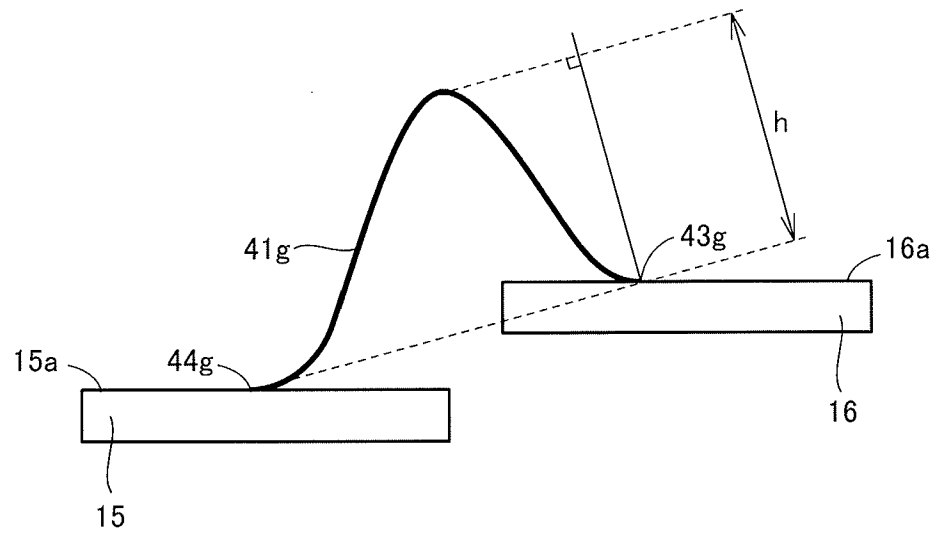
[図8]

FIG.8



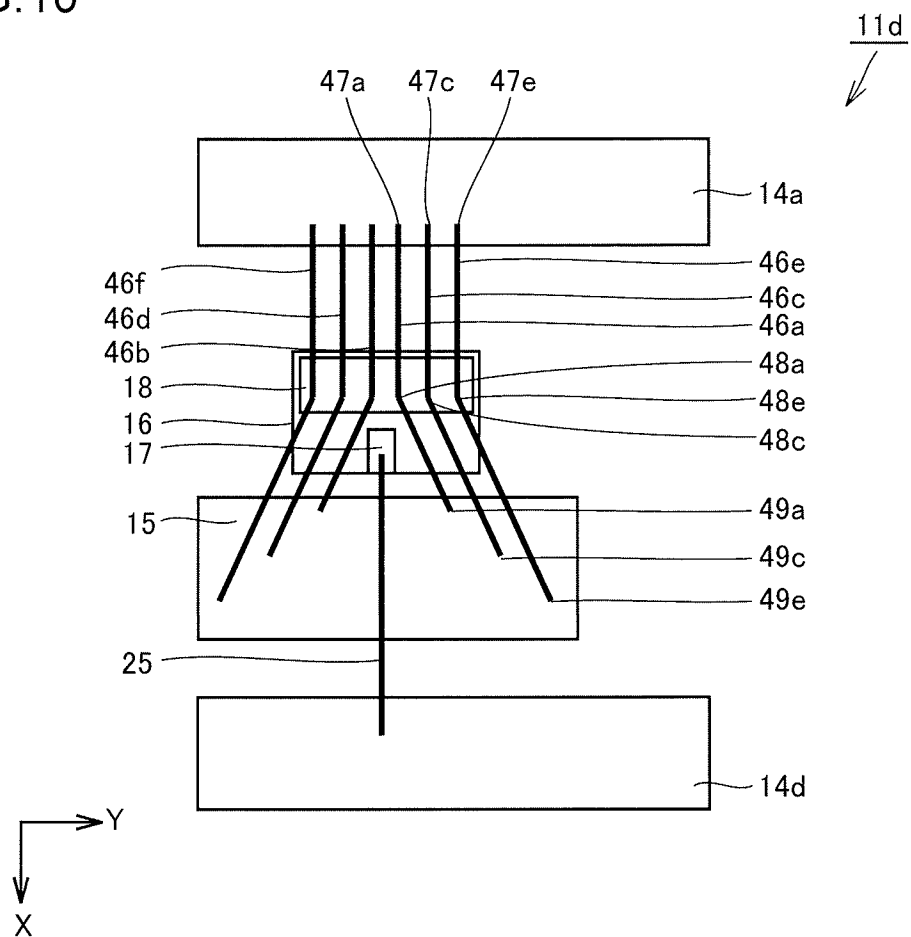
[図9]

FIG.9



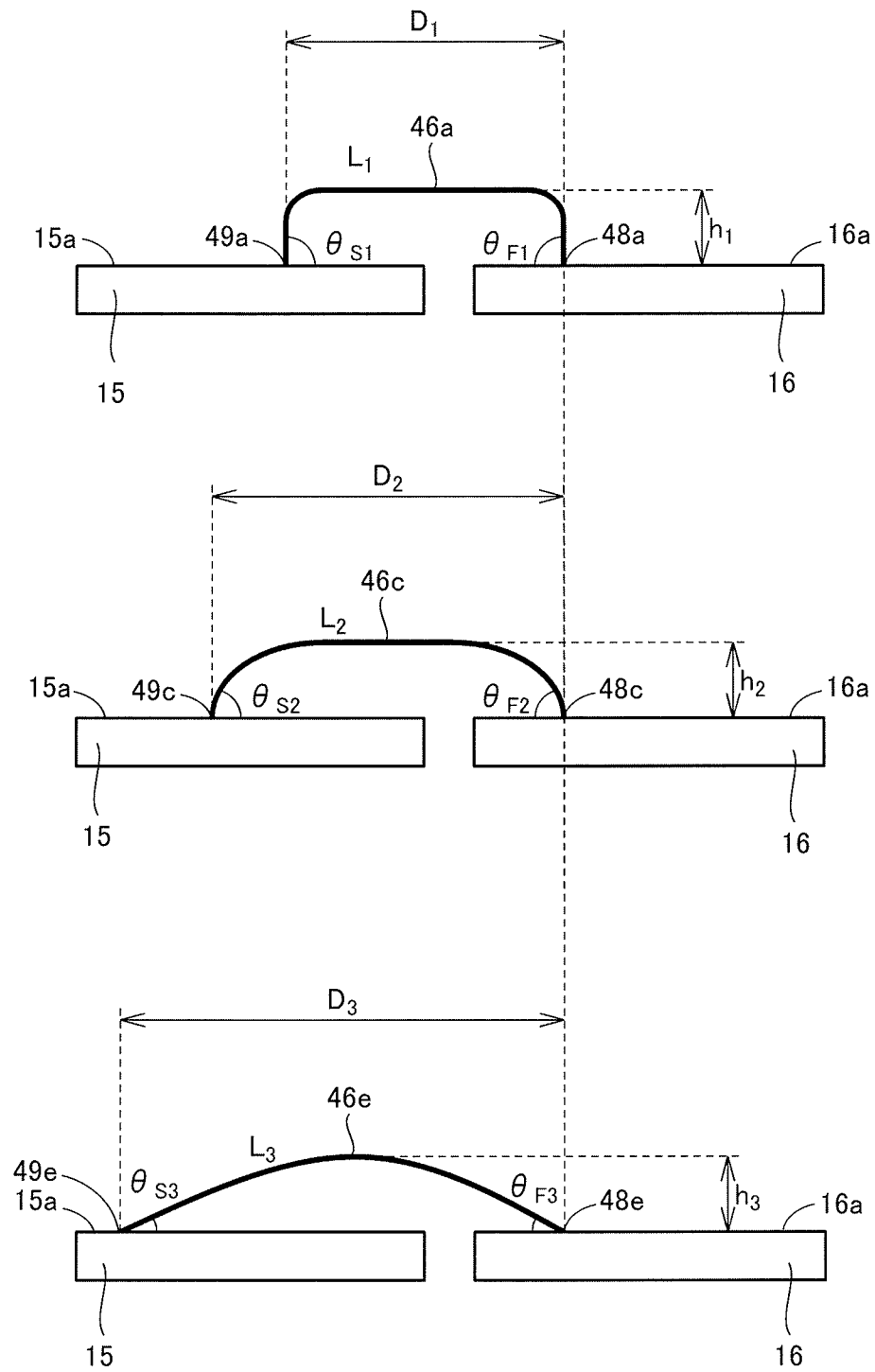
[図10]

FIG.10



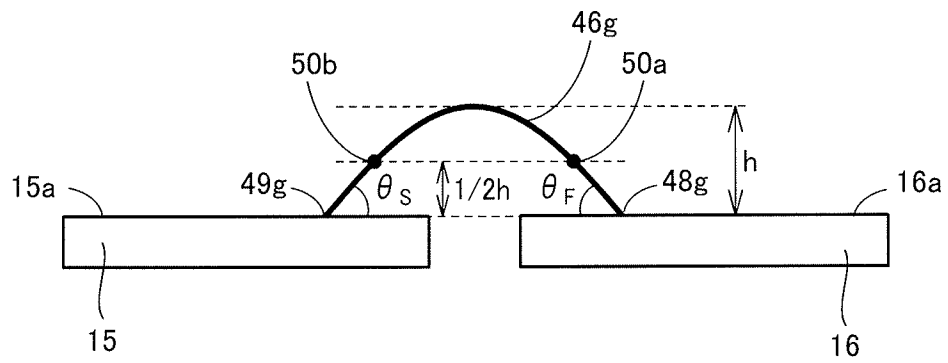
[図11]

FIG.11



[図12]

FIG.12



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/001952

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L25/07(2006.01)i, H01L25/18(2006.01)i, H01L21/60(2006.01)i, H01L29/78(2006.01)i

FI: H01L25/04 C, H01L29/78 652Q, H01L21/60 301A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L25/07, H01L25/18, H01L21/60, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2020

Registered utility model specifications of Japan 1996-2020

Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2013/046824 A1 (ROHM CO., LTD.) 04 April 2013, paragraphs [0126]-[0142], fig. 11	1-8
A	JP 2003-218318 A (MITSUBISHI ELECTRIC CORP.) 31 July 2003, entire text, all drawings	1-8
A	JP 2010-27814 A (MITSUBISHI ELECTRIC CORP.) 04 February 2010, entire text, all drawings	1-8

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
19.03.2020

Date of mailing of the international search report
31.03.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2020/001952

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
WO 2013/046824 A1	04.04.2013	US 2014/0231926 A1 paragraphs [0175]- [0196], fig. 11 EP 2765600 A1 (Family: none)	
JP 2003-218318 A	31.07.2003		
JP 2010-27814 A	04.02.2010	US 2010/0013085 A1 entire text, all drawings	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 25/07(2006.01)i; H01L 25/18(2006.01)i; H01L 21/60(2006.01)i; H01L 29/78(2006.01)i FI: H01L25/04 C; H01L29/78 652Q; H01L21/60 301A														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） H01L25/07; H01L25/18; H01L21/60; H01L29/78														
最小限資料以外の資料で調査を行った分野に含まれるもの														
<table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2020年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2020年	日本国実用新案登録公報	1996 - 2020年	日本国登録実用新案公報	1994 - 2020年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2020年													
日本国実用新案登録公報	1996 - 2020年													
日本国登録実用新案公報	1994 - 2020年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
A	WO 2013/046824 A1（ローム株式会社）04.04.2013（2013 - 04 - 04） 段落0126-0142, 図11	1-8												
A	JP 2003-218318 A（三菱電機株式会社）31.07.2003（2003 - 07 - 31） 全文全文	1-8												
A	JP 2010-27814 A（三菱電機株式会社）04.02.2010（2010 - 02 - 04） 全文全文	1-8												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 19.03.2020	国際調査報告の発送日 31.03.2020													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 平野 崇 5F 1164 電話番号 03-3581-1101 内線 3514													

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2020/001952

引用文献			公表日	パテントファミリー文献	公表日
WO	2013/046824	A1	04.04.2013	US 2014/0231926 A1 Paragraphs0175-0196, FIG. 11 EP 2765600 A1	
JP	2003-218318	A	31.07.2003	(ファミリーなし)	
JP	2010-27814	A	04.02.2010	US 2010/0013085 A1 entire text, all drawings	