



(12) 发明专利

(10) 授权公告号 CN 102903742 B

(45) 授权公告日 2015. 08. 05

(21) 申请号 201210026682. 4

US 2010/0065926 A1, 2010. 03. 18, 全文.

(22) 申请日 2012. 02. 07

CN 102104061 A, 2011. 06. 22, 全文.

(30) 优先权数据

审查员 张海洋

13/189, 732 2011. 07. 25 US

(73) 专利权人 台湾积体电路制造股份有限公司

地址 中国台湾新竹

(72) 发明人 侯承浩 林秉顺 李达元 于雄飞

周群渊 徐帆毅 陈建豪 许光源

(74) 专利代理机构 北京德恒律师事务所 11306

代理人 陆鑫 房岭梅

(51) Int. Cl.

H01L 29/423(2006. 01)

H01L 29/78(2006. 01)

H01L 21/28(2006. 01)

(56) 对比文件

CN 101438389 A, 2009. 05. 20, 说明书第 3 页
第 5 段 - 第 7 页第 3 段、附图 2, 3A-3J.

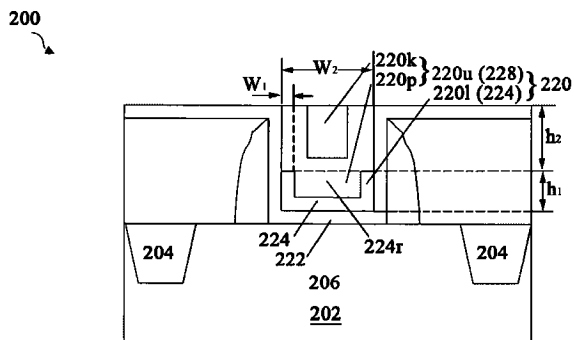
权利要求书 2 页 说明书 7 页 附图 6 页

(54) 发明名称

场效应晶体管的金属栅电极

(57) 摘要

公开了一种集成电路制造, 更具体而言, 公开了具有低电阻金属栅电极的场效应晶体管。用于场效应晶体管的金属栅电极的示例性结构包括由第一金属材料形成的下部, 其中所述下部具有凹部、底部和侧壁部, 其中每个侧壁部具有第一宽度; 以及由第二金属材料形成的上部, 其中所述上部具有突出部和本体部, 其中所述本体部具有第二宽度, 其中所述突出部延伸至凹部内, 其中第二宽度与第一宽度的比值为约 5 至 10。本发明还提供了一种场效应晶体管的金属栅电极。



1. 一种用于场效应晶体管的金属栅电极,包括:

下部,由第一金属材料形成,其中,所述下部具有凹部、底部和侧壁部,其中每个所述侧壁部具有第一宽度,以及

上部,由第二金属材料形成,其中,所述上部具有突出部和本体部,其中所述本体部具有第二宽度,其中所述突出部延伸至所述凹部内,其中所述第二宽度与所述第一宽度的比值是 5 至 10,

并且其中,所述第二金属材料包括功函金属和信号金属,所述功函金属围绕所述信号金属,且所述信号金属具有恒定的宽度。

2. 根据权利要求 1 所述的金属栅电极,其中,所述下部是 U 形的。

3. 根据权利要求 1 所述的金属栅电极,其中,所述下部的最大高度与所述上部的最小高度的比值是 0.1 至 0.9。

4. 根据权利要求 1 所述的金属栅电极,其中,所述第一金属材料包括选自 TiN、TaN 和 WN 的组的材料。

5. 根据权利要求 1 所述的金属栅电极,其中,所述上部是 T 形的。

6. 根据权利要求 1 所述的金属栅电极,其中,所述第二金属材料包括 N 型功函数金属。

7. 根据权利要求 6 所述的金属栅电极,其中,所述 N 型功函数金属包括选自 Ti、Ag、Al、TiAl、TiAlN、TaC、TaCN、TaSiN、Mn 和 Zr 的组的金属。

8. 根据权利要求 1 所述的金属栅电极,其中,所述功函数金属包括底部和侧壁部,所述底部具有第一厚度,所述侧壁部具有小于所述第一厚度的第二厚度。

9. 根据权利要求 8 所述的金属栅电极,其中,所述第二厚度与所述第一厚度的比值是 0.5 至 0.9。

10. 根据权利要求 1 所述的金属栅电极,其中,所述第二金属材料包括 P 型功函数金属。

11. 根据权利要求 10 所述的金属栅电极,其中,所述 P 型功函数金属包括选自 TiN、WN、TaN 和 Ru 的组的金属。

12. 根据权利要求 1 所述的金属栅电极,其中,所述功函数金属包括底部和侧壁部,所述底部具有第一厚度,所述侧壁部具有等于所述第一厚度的第二厚度。

13. 一种制造场效应晶体管的金属栅电极的方法,包括:

提供包括隔离区的衬底,所述隔离区围绕有源区;

在所述有源区上方形成介电层;

在所述介电层中形成开口;

用高介电常数材料部分地填充所述开口;

在所述高介电常数材料上方用共形第一金属材料部分地填充所述开口;

在所述第一金属材料上方用保护层填充所述开口;

将所述保护层平坦化至所述高介电常数材料;

采用湿式蚀刻工艺以包含 H_2O_2 、 NH_4OH 、 HCl 、 H_2SO_4 、和稀 HF 的溶液部分地去除所述开口中的所述第一金属材料 and 所述保护层;

采用湿式蚀刻工艺以包含 NH_4OH 和稀 HF 的溶液完全去除所述开口中的剩余的所述保护层;

在所述开口中在剩余的所述第一金属材料上方沉积第二金属材料,其中所述第二金属

材料包括功函数金属和信号金属,所述功函数金属围绕所述信号金属,且所述信号金属具有恒定的宽度;以及

平坦化所述第二金属材料,

其中,所述第二金属材料具有的第二宽度与所述第一金属材料具有的第一宽度的比值是 5 至 10。

14. 根据权利要求 13 所述的方法,其中,所述第一金属材料包括选自 TiN、TaN 和 WN 的组材料。

15. 根据权利要求 13 所述的方法,其中,所述功函数金属包括底部和侧壁部,所述底部具有第一厚度,所述侧壁部具有小于所述第一厚度的第二厚度。

16. 根据权利要求 13 所述的方法,其中,所述功函数金属包括底部和侧壁部,所述底部具有第一厚度,所述侧壁部具有等于所述第一厚度的第二厚度。

17. 根据权利要求 16 所述的方法,其中所述第二金属材料包括 N 型功函数金属。

18. 根据权利要求 13 所述的方法,其中所述第二金属材料包括 P 型功函数金属。

场效应晶体管的金属栅电极

技术领域

[0001] 本发明涉及集成电路制造,具体而言,涉及具有金属栅电极的场效应晶体管。

背景技术

[0002] 在大量的诸如计算机、移动电话及其他的电子器件中使用半导体器件。半导体器件包括在半导体晶圆上形成的集成电路(IC),通过在半导体晶圆上方沉积很多类型的材料薄膜,并图案化材料薄膜来形成IC。IC包括场效应晶体管(FET),比如金属氧化物半导体场效应晶体管(MOSFET)。

[0003] 随着技术节点的缩小,在一些IC设计中,一直期望用金属栅电极替换通常所用的多晶硅栅电极来改进部件尺寸减小的器件性能。形成金属栅电极的一个工艺被称为“后栅极”工艺,在该工艺中,在所有其他的晶体管元件之后最后制造金属栅电极,该工艺实现了后续工艺数量的减少,该后续工艺包括必须在栅极形成之后实施的高温处理。

[0004] 然而,在互补金属氧化物半导体(CMOS)制造中实施这些部件和工艺仍然存在众多挑战。随着栅极长度和器件之间的间隔的减小,加剧了这些问题。例如,在“后栅极”制造工艺中,对FET难以实现低栅电阻,因为在用于高纵横比沟槽的间隙填充的金属层沉积之后在金属栅电极中生成空隙,从而增加了器件不稳定和/或器件故障的可能性。

发明内容

[0005] 为了解决现有技术中存在的问题,根据本发明的一个方面,提供了一种用于场效应晶体管的金属栅电极,包括:下部,由第一金属材料形成,其中,所述下部具有凹部、底部和侧壁部,其中每个所述侧壁部具有第一宽度,以及上部,由第二金属材料形成,其中,所述上部具有突出部和本体部,其中所述本体部具有第二宽度,其中所述突出部延伸至所述凹部内,其中所述第二宽度与所述第一宽度的比值是约5至10。

[0006] 在上述金属栅电极中,其中,所述下部基本上是U形的。

[0007] 在上述金属栅电极中,其中,所述下部的最大高度与所述上部的最小高度的比值是0.1至0.9。

[0008] 在上述金属栅电极中,其中,所述第一金属材料包括选自TiN、TaN和WN的组的材料。

[0009] 在上述金属栅电极中,其中,所述上部基本上是T形的。

[0010] 在上述金属栅电极中,其中,所述第二金属材料包括N型功函数金属。

[0011] 在上述金属栅电极中,其中所述第二金属材料包括N型功函数金属,并且其中所述N型功函数金属包括选自Ti、Ag、Al、TiAl、TiAlN、TaC、TaCN、TaSiN、Mn和Zr的组的金属。

[0012] 在上述金属栅电极中,其中所述第二金属材料包括N型功函数金属,其中,所述第二金属材料进一步包括位于所述N型功函数金属上方的信号金属。

[0013] 在上述金属栅电极中,其中,所述第二金属材料包括功函数金属,其中所述功函数

金属包括底部和侧壁部,所述底部具有第一厚度,所述侧壁部具有小于所述第一厚度的第二厚度。

[0014] 在上述金属栅电极中,其中所述第二金属材料包括功函数金属,其中所述功函数金属包括底部和侧壁部,所述底部具有第一厚度,所述侧壁部具有小于所述第一厚度的第二厚度,其中所述第二厚度与所述第一厚度的比值是 0.5 至 0.9。

[0015] 在上述金属栅电极中,其中所述第二金属材料包括 P 型功函数金属。

[0016] 在上述金属栅电极中,其中所述第二金属材料包括 P 型功函数金属,其中所述 P 型功函数金属包括选自 TiN、WN、TaN 和 Ru 的组的金属。

[0017] 在上述金属栅电极中,其中所述第二金属材料包括 P 型功函数金属,其中所述第二金属材料进一步包括位于所述 P 型功函数金属上方的信号金属。

[0018] 在上述金属栅电极中,其中所述第二金属材料包括功函数金属,其中所述功函数金属包括底部和侧壁部,所述底部具有第一厚度,所述侧壁部具有基本上等于所述第一厚度的第二厚度。

[0019] 根据本发明的另一方面,还提供了一种制造场效应晶体管的金属栅电极的方法,包括:提供包括隔离区的衬底,所述隔离区围绕有源区;在所述有源区上方形成介电层;在所述介电层中形成开口;用高介电常数材料部分地填充所述开口;在所述高介电常数材料上方用共形第一金属材料部分地填充所述开口;在所述第一金属材料上方用保护层填充所述开口;将所述保护层平坦化至所述高介电常数材料;采用湿式蚀刻工艺以包含 H_2O_2 、 NH_4OH 、 HCl 、 H_2SO_4 、和稀 HF 的溶液部分地去除所述开口中的所述第一金属材料和所述保护层;采用湿式蚀刻工艺以包含 NH_4OH 和稀 HF 的溶液完全去除所述开口中的剩余的所述保护层;在所述开口中在剩余的所述第一金属材料上方沉积第二金属材料;以及平坦化所述第二金属材料。

[0020] 在上述方法中,其中所述第一金属材料包括选自 TiN、TaN 和 WN 的组的材料。

[0021] 在上述方法中,其中所述第二金属材料包括功函数金属,其中所述功函数金属包括底部和侧壁部,所述底部具有第一厚度,所述侧壁部具有小于所述第一厚度的第二厚度。

[0022] 在上述方法中,其中所述第二金属材料包括功函数金属,其中所述功函数金属包括底部和侧壁部,所述底部具有第一厚度,所述侧壁部具有基本上等于所述第一厚度的第二厚度。

[0023] 在上述方法中,其中所述第二金属材料包括功函数金属,其中所述功函数金属包括底部和侧壁部,所述底部具有第一厚度,所述侧壁部具有基本上等于所述第一厚度的第二厚度,其中所述第二金属材料包括 N 型功函数金属。

[0024] 在上述方法中,其中所述第二金属材料包括 P 型功函数金属。

附图说明

[0025] 当结合附图进行阅读时,根据下面详细的描述可以更好地理解本发明。应该强调的是,根据工业中的标准实践,各种部件没有被按比例绘制并且仅仅用于说明的目的。实际上,为了清楚的讨论,各种部件的尺寸可以被任意增加或减少。

[0026] 图 1 是示出了根据本发明的各个方面的制造场效应晶体管的金属栅电极的方法的流程图;以及

[0027] 图 2A 至图 2H 示出了在根据本发明的各个方面的制造的各个阶段,包括金属栅电极的场效应晶体管的示意性剖面图。

具体实施方式

[0028] 可以了解为了实施本发明的不同部件,以下公开内容提供了许多不同的实施例或者实例。在下面描述元件和布置的特定实例以简化本发明。当然,这些仅仅是实例并不打算限定。例如,在下面的描述中第一部件在第二部件上或者上方的形成可以包括其中第一部件和第二部件以直接接触形成的实施例,并且也可以包括其中在第一部件和第二部件之间可以形成额外的部件,使得第一部件和第二部件不直接接触的实施例。为了简明和清楚,可以任意地以不同的比例绘制各个部件。此外,本发明提供了“后栅极”金属栅极工艺的实例,然而,本领域技术人员可以意识到适用于其他材料的其他工艺和 / 或使用。

[0029] 参考图 1, 示出了根据本发明的各个方面制造场效应晶体管的金属栅电极的方法 100 的流程图。方法 100 开始于步骤 102, 在步骤 102 中, 提供了包括围绕有源区的隔离区的衬底。方法 100 继续到步骤 104, 在步骤 104 中, 在有源区上方形成介电层。方法 100 继续到步骤 106, 在步骤 106 中, 在介电层中形成开口。方法 100 继续到步骤 108, 在步骤 108 中, 用高介电常数 (高-k) 材料部分地填充开口。方法 100 继续到步骤 110, 在步骤 110 中, 在高介电常数材料上方用共形第一金属材料部分地填充开口。方法 100 继续到步骤 112, 在步骤 112 中, 在第一金属材料上方用保护层填充开口。方法 100 继续到步骤 114, 在步骤 114 中, 将保护层平坦化至高介电常数材料。方法 100 继续到步骤 116, 在步骤 116 中, 采用湿式蚀刻工艺以包含 H_2O_2 、 NH_4OH 、 HCl 、 H_2SO_4 , 和稀 HF 的溶液, 部分地去除开口中的第一金属材料 and 保护层。方法 100 继续到步骤 118, 在步骤 118 中, 采用湿式蚀刻工艺以包含 NH_4OH 和稀 HF 的溶液完全去除开口中剩余的保护层。方法 100 继续到步骤 120, 在步骤 120 中, 在开口中在剩余的第一金属材料上方沉积第二金属材料。方法 100 继续到步骤 122, 在步骤 122 中, 平坦化第二金属材料。下面的讨论示出了能够根据图 1 的方法 100 制造的场效应晶体管的金属栅电极的实施例。

[0030] 图 2A 至图 2H 示出了在根据本发明的各个方面的制造的各个阶段,包括金属栅电极 220 的场效应晶体管 (FET) 200 的示意性剖面图。注意到,图 1 的方法不生成完整的 FET 200。可以采用互补金属氧化物半导体 (CMOS) 技术工艺制造完整的 FET 200。因此,可以理解在图 1 的方法 100 之前、期间和之后可以提供其他工艺,并且其他一些工艺在本文中仅进行简述。而且,为了更好地理解本发明的发明概念,简化了图 1 至图 2H。例如,虽然附图示出了用于 FET 200 的金属栅电极 220,但是可以理解集成电路 (IC) 可以包括许多其他器件,包括电阻器、电容器、电感器、熔丝等。

[0031] 参考图 2A, 提供了衬底 202。衬底 202 可以包括硅衬底。衬底 202 可以可选地包括硅锗、砷化镓、或者其他合适的半导体材料。衬底 202 可以进一步包括其他部件,比如各种掺杂区、埋氧层、和 / 或外延 (epi) 层。而且,衬底 202 可以是绝缘体上半导体比如绝缘体上硅 (SOI)。在其他实施例中,半导体衬底 202 可以包括掺杂的外延层、梯度半导体层,和 / 或可以进一步包括在另一不同类型的半导体层上面的半导体层,比如硅锗层上硅层。在其他实例中,化合物半导体衬底可以包括多层硅结构或者硅衬底可以包括多层化合物半导体结构。

[0032] 在本实施例中,衬底 202 可以包括围绕有源区 206 的隔离区 204。有源区 206 可以包括各种掺杂结构,取决于设计要求。在一些实施例中,有源区 206 可以掺杂有 p 型或者 n 型掺杂剂。例如,有源区 206 可以掺杂有 p 型掺杂剂,比如硼或者 BF_2 ;n 型掺杂剂,比如磷或者砷;和 / 或其组合。有源区 206 可以配置用于 N 型金属氧化物半导体场效应晶体管(被称为 NMOS) 或者用于 P 型金属氧化物半导体场效应晶体管(被称为 PMOS)。

[0033] 隔离区 204 可以利用诸如硅的局部氧化(LOCOS) 或者浅沟槽隔离(STI) 的隔离技术来界定并电隔离各个有源区 206。在本实施例中,隔离区 204 包括 STI。隔离区 204 可以包括诸如氧化硅、氮化硅、氮氧化硅、氟化物掺杂的硅酸盐玻璃(FSG)、低介电常数(低 k) 材料、和 / 或其组合的材料。可以采用任何合适的工艺形成隔离区 204 以及本实施例中的 STI。作为一个实例,STI 的形成可以包括通过光刻工艺图案化半导体衬底 202,在衬底 202 中蚀刻沟槽(例如,通过采用干式蚀刻、湿式蚀刻、和 / 或等离子蚀刻工艺),以及用介电材料填充沟槽(例如,通过采用化学汽相沉积工艺)。在一些实施例中,经过填充的沟槽可以具有多层结构,比如用氮化硅或者氧化硅填充的热氧化衬垫层。

[0034] 在后栅极工艺中,在衬底 202 上形成包含伪氧化物 212 和伪栅电极 214 的伪栅极结构 210。可以采用任何合适的工艺,包括本文所述的工艺形成伪栅极结构 210。在一个实例中,在衬底 202 上相继沉积伪氧化物 212 和伪栅电极 214。在本实施例中,伪氧化物 212 可以由采用热氧化工艺生长的氧化硅形成,具有约 10 至 30 埃(\AA) 的厚度。例如,可以通过快速热氧化(RTO) 工艺或者采用包括氧的退火工艺生长伪氧化物 212。

[0035] 在一些实施例中,伪栅电极 214 可以包括单层或者多层结构。在本实施例中,伪栅电极 214 可以包括多晶硅。而且,伪栅电极 214 可以掺杂有具有相同或者不同掺杂的多晶硅。伪栅电极 214 具有任何合适的厚度。在本实施例中,伪栅电极 214 包括在约 30nm 至约 60nm 范围内的厚度。可以采用低压化学汽相沉积(LPCVD) 工艺形成伪电极 214。

[0036] 采用合适的工艺,比如旋转涂布在伪栅电极 214 上方形成光刻胶层,并采用适当的光刻图案化方法进行图案化以形成经过图案化的光刻胶部件。经过图案化的光刻胶部件的宽度处于约 15 至 32nm 的范围内。然后可以采用干式蚀刻工艺将经过图案化的光刻胶部件转印到下面的层(即,伪氧化物 212 和伪栅电极 214) 以形成伪栅极结构 210。此后可以剥离光刻胶层。可以理解上面的实例不限制可以用于形成伪栅极结构 210 的工艺步骤。

[0037] 当伪栅极结构 210 形成之后,在伪栅极结构 210 上方沉积介电层 216 并延伸到有源区 206 上方。介电层 216 可以采用化学汽相沉积(CVD) 工艺由氧化硅、氮化硅或者其他合适的材料制成。采用干式蚀刻工艺去除伪栅极结构 210 的顶面上方的一部分介电层 216, 以在伪栅极结构 210 的相对侧壁上形成一对栅极间隔件 216。例如,可以使用 CH_2F_2 、 O_2 和 Ar 作为蚀刻气体实施干式蚀刻工艺。

[0038] 注意到,FET 200 可以经过其他 CMOS 技术加工以形成 FET 200 的各个部件。鉴于此,该各个部件在本文中仅进行简略讨论。在“后栅极”工艺中在形成金属栅电极 220 之前形成 FET 200 的各个元件。各个元件可以包括位于金属栅电极 220 的相对面上的有源区 206 中的源极 / 漏极(n 型和 p 型 S/D) 区(未示出) 和轻掺杂的源极 / 漏极(n 型和 p 型 LDD) 区(未示出)。n 型 S/D 和 LDD 区可以掺杂有 P 或者 As, 而 p 型 S/D 和 LDD 区可以掺杂有 B 或者 In。

[0039] 然后,在伪栅极结构 210、一对栅极间隔件 216 上方沉积层间介电(ILD) 层 218,

并延伸到衬底 202 上方。ILD 218 可以包括采用高纵横比 (HARP) 和 / 或高密度等离子体 (HDP) 沉积工艺形成的氧化物。在 ILD 218 上实施化学机械抛光 (CMP) 以暴露伪栅极结构 210。

[0040] 然后可以去除伪栅极结构 210, 从而在介电层 216 中 (即在栅极间隔件 216 之间) (在图 2B 中示出) 形成开口 208。可以采用湿式蚀刻和 / 或干式蚀刻工艺去除伪栅电极 214。在一个实施例中, 湿式蚀刻工艺包括暴露于含氢氧化铵、稀 HF、去离子水的氢氧化物溶液, 和 / 或其他合适的蚀刻剂溶液。在另一个实施例中, 可以在电源功率为约 650 至 800W, 偏置功率为约 100 至 120W, 以及压力为约 60 至 200mTorr 的条件下, 使用 Cl_2 、HBr 和 He 作为蚀刻气体, 实施干式蚀刻工艺。而且, 可以采用湿式蚀刻去除伪氧化物 212。湿式蚀刻工艺包括暴露于稀 HF 溶液、和 / 或其他合适的蚀刻剂溶液。

[0041] 参考图 2C, 在介电层 216 中形成开口 208 之后, 用高介电常数 (高 k) 材料 222 部分地填充开口 208。在一个实施例中, 高 k 材料 222 包括某些金属氧化物。用于高 k 材料 222 的金属氧化物的实例包括 Li、Be、Mg、Ca、Sr、Sc、Y、Zr、Hf、Al、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu、及其混合物的氧化物。在本实施例中, 高 k 材料 222 包括厚度在约 10 至 30 埃范围内的 HfO_x 。可以采用合适的工艺, 比如原子层沉积 (ALD)、化学汽相沉积 (CVD)、物理汽相沉积 (PVD)、热氧化、UV- 臭氧氧化、或者其组合形成高 k 材料 222。高 k 材料 222 可以进一步包括减少高 k 材料 222 和衬底 202 之间的损伤的界面层 (未示出)。界面层可以包含氧化硅。

[0042] 在高 k 材料 222 上方用共形第一金属材料 224 部分地填充开口 208。在本实施例中, 在第二金属材料 228 (在图 2H 中示出) 之前沉积共形第一金属材料 224, 以减少信号金属 228b 向高 k 材料 222 的扩散。在一个实施例中, 共形第一金属材料 224 包括选自 TiN、TaN、和 WN 的组的材料。共形第一金属材料 224 的厚度处于 5 至 15 埃的范围内。可以采用 CVD、PVD、或者其他合适的技术形成共形第一金属材料 224。

[0043] 开口 208 在共形第一金属材料 224 上方填充有保护层 226。在一些实施例中, 保护层 226 可以包括单层或者多层结构。在本实施例中, 保护层 226 可以包含多晶硅、非晶硅、或者氮化硅。而且, 保护层 226 可以掺杂有具有相同或者不同掺杂的硅。保护层 226 具有任何合适的厚度。在本实施例中, 保护层 226 具有处于约 45nm 至约 65nm 范围内的厚度。可以采用 LPCVD 工艺形成保护层 226。

[0044] 然后, 实施化学机械抛光 (CMP) 以去除开口 208 外面的一部分保护层 226 和共形第一金属材料 224。因此, 当达到高 k 材料 222 时, 可以停止 CMP 工艺, 从而提供基本上平坦的表面 (在图 2D 中示出)。

[0045] 可以去除开口 208 内的剩余保护层 226, 从而形成用于 FET 200 的高纵横比沟槽。高纵横比沟槽可以阻止金属材料进入沟槽的底部, 并在沟槽中生成空隙, 从而增加器件不稳定和 / 或器件故障的可能性。

[0046] 因此, 下面参考图 2E 至图 2H 所讨论的工艺可以至少去除共形第一金属材料 224 的上部以降低沟槽的纵横比, 使在沟槽内进行进一步的金属沉积更容易。这可以减少空隙在位于高纵横比沟槽中的金属栅电极中的生成, 并提高器件性能。

[0047] 图 2E 示出了采用湿式蚀刻工艺以包含 H_2O_2 、 NH_4OH 、 HCl 、 H_2SO_4 、和稀 HF 的溶液部分地去除开口 208 中的共形第一金属材料 224 和保护层 226 之后的图 2D 的 FET 200。蚀刻工

艺在开口 208 内形成沟槽 308。开口 208 内的剩余第一金属材料 224 的最大高度 h_1 可以处于约 1.5 至约 45nm 的范围内。通过调谐蚀刻工艺的各个参数比如时间和蚀刻化学品可以达到高度 h_1 。

[0048] 参考图 2F, 在部分去除开口 208 中的共形第一金属材料 224 和保护层 226 之后, 采用湿式蚀刻工艺以包含 NH_4OH 和稀 HF 的溶液完全去除开口 208 中的剩余保护层 226。在这之前的工艺步骤已提供了具有低纵横比沟槽 308 的衬底, 使在沟槽 308 内进行进一步金属沉积更容易。这可以减少空隙在高纵横比沟槽中的金属栅电极中的生成, 并提高器件性能。

[0049] 在本实施例中, 开口 208 内的剩余第一金属材料 224 形成金属栅电极 220 (在图 2H 中示出) 的下部 2201。在一个实施例中, 下部 2201 基本上是 U 形的。在另一个实施例中, 下部 2201 具有凹部 224r、底部 224b 和侧壁部 224s, 其中每一个侧壁部 224s 具有第一宽度 W_1 。

[0050] 参考图 2G, 当去除开口 208 中剩余的保护层 226 之后, 在第一金属材料 224 上方沉积第二金属材料 228 以填充沟槽 308。在本实施例中, 首先在第一金属材料 224 上方沉积功函数金属 232, 然后在功函数金属 232 上方沉积信号金属 234。合并功函数金属 232 和信号金属 234, 并将其称为第二金属材料 228。而且, 第二金属材料 228 的厚度将取决于沟槽 308 的深度。因此沉积第二金属材料 228 直到沟槽 308 基本上被填满。

[0051] 在 NMOS 实施例中, 第二金属材料 228 可以包括 N 型功函数金属。在一些实施例中, N 型功函数金属包括选自 Ti、Ag、Al、TiAl、TiAlN、TaC、TaCN、TaSiN、Mn 和 Zr 的组的金属。在一些实施例中, 可以采用 CVD、PVD、电镀、旋涂、ALD、或者其他合适的技术形成 N 型功函数金属。在 PMOS 实施例中, 第二金属材料 228 包括 P 型功函数金属。在一些实施例中, P 型功函数金属包括选自 TiN、WN、TaN 和 Ru 的组的金属。在一些实施例中, 可以采用 CVD、PVD、电镀、旋涂、ALD、或者其他合适的技术形成 P 型功函数金属。

[0052] 在 PVD 实施例中, 功函数金属 232 包括具有第一厚度 t_1 的底部 232b 和具有小于第一厚度 t_1 的第二厚度 t_2 的侧壁部 232s。在一个实施例中, 第二厚度 t_2 与第一厚度 t_1 的比值是 0.5 至 0.9。在 ALD 实施例中, 功函数金属 232 包括具有第一厚度 t_1 的底部 232b 和具有基本上等于第一厚度 t_1 的第二厚度 t_2 的侧壁部 232s。

[0053] 而且, 信号金属 234 可以包含选自 Al、Cu、Co 和 W 的组的材料。可以采用 CVD、PVD、电镀、旋涂、ALD、或者其他合适的技术形成信号金属 234。在一些实施例中, 信号金属 234 可以包含层压材料 (laminar)。层压材料可以进一步包括阻挡金属层、线性金属层或者湿金属层。

[0054] 参考图 2H, 在填充沟槽 308 之后实施另一 CMP 以平坦化第二金属材料 228。因为 CMP 去除沟槽 308 外面的一部分第二金属材料 228。当到达高 k 材料 222 时可以停止 CMP 工艺, 并因此提供基本上平坦的表面。

[0055] 在本实施例中, 合并开口 208 中的第一金属材料 224 和第二金属材料 228, 并将其称为金属栅电极 220。在一个实施例中, 开口 228 内的第二金属材料 228 形成金属栅电极 220 的上部 220u。在一个实施例中, 上部 220u 基本上是 T 形的。在一些实施例中, 上部 220u 具有突出部 220p 和本体部 220k, 其中本体部 220k 具有第二宽度 W_2 , 其中突出部 220p 延伸至底部 2201 的凹部 224r 内, 其中第二宽度 W_2 与第一宽度 W_1 的比值是约 5 至 10。在一些实施例中, 上部 220u 具有最小高度 h_2 。下部 2201 的最大高度 (h_1) 与上部 220u 的最小高

度 (h_2) 的比值是 0.1 至 0.9。因此,申请人的制造 FET 200 的方法可以制造无空隙的金属栅电极,从而减小栅电阻并提高器件性能。

[0056] 在一个实施例中,用于场效应晶体管的金属栅电极包括由第一金属材料形成的下部,其中该下部具有凹部、底部和侧壁部,其中每个侧壁部具有第一宽度;以及由第二金属材料形成的上部,其中该上部具有突出部和本体部,其中本体部具有第二宽度,其中突出部延伸至凹部内,其中第二宽度与第一宽度的比值是约 5 至 10。

[0057] 在另一个实施例中,制造场效应晶体管的金属栅电极的方法包括提供包括围绕有源区的隔离区的衬底;在有源区上方形成介电层;在介电层中形成开口;用高介电常数材料部分地填充开口;在高介电常数材料上方用共形第一金属材料部分地填充开口;在第一金属材料上方用保护层填充开口;将保护层平坦化至高介电常数材料;采用湿式蚀刻工艺以包含 H_2O_2 、 NH_4OH 和稀 HF 的溶液部分地去除第一金属材料和保护层;采用湿式蚀刻工艺以包含 NH_4OH 和稀 HF 的溶液完全去除开口中的剩余保护层;在开口中在剩余的第一金属材料上方沉积第二金属材料;以及平坦化第二金属材料。

[0058] 应当理解 FET 200 可以经历更多的 CMOS 工艺流程来形成诸如接触件/通孔、互连金属层、介电层、钝化层等的各种部件。

[0059] 虽然已通过实例和示例性实施例描述了本发明,但是应理解本发明不限于公开的实施例。相反地,本发明意图涵盖各种改变和相似的布置(对本领域的技术人员来说是显而易见的)。因此,所附权利要求的范围应与最广泛的解释一致以涵盖所有这些改变和相似的布置。

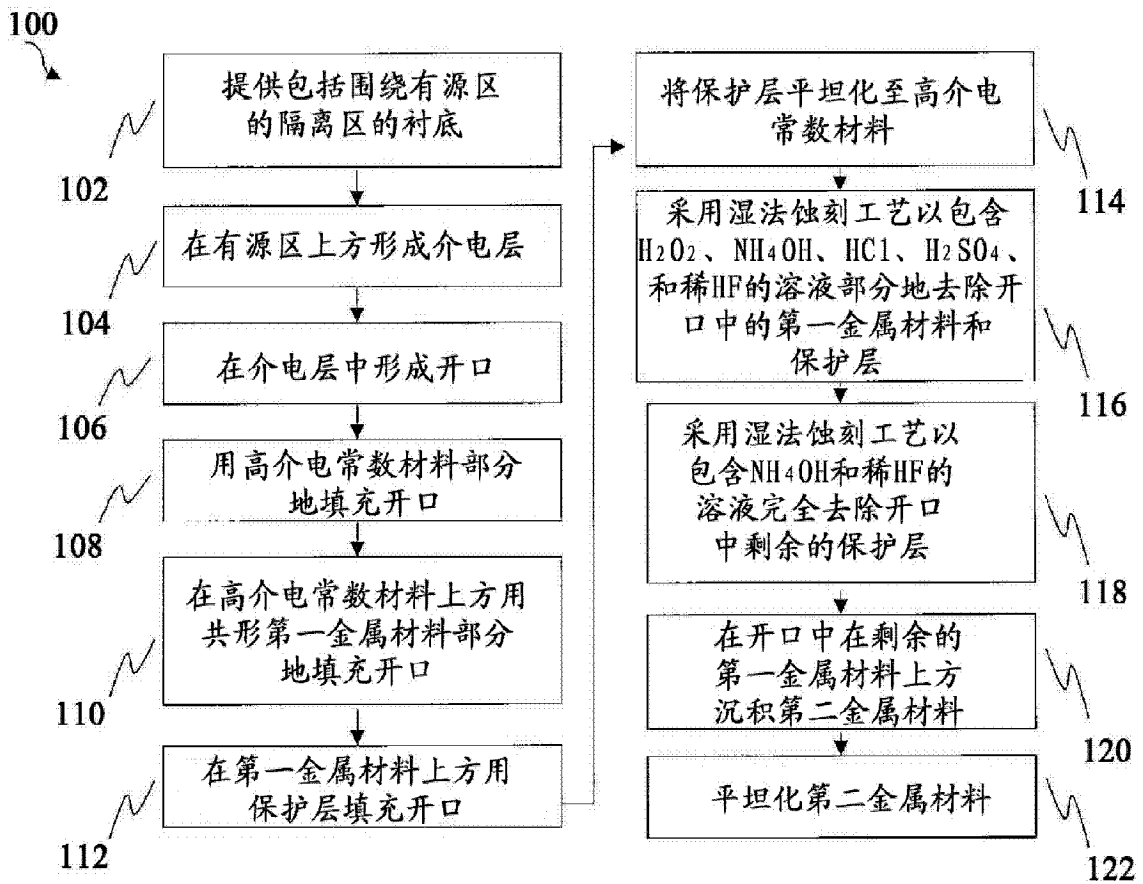


图 1

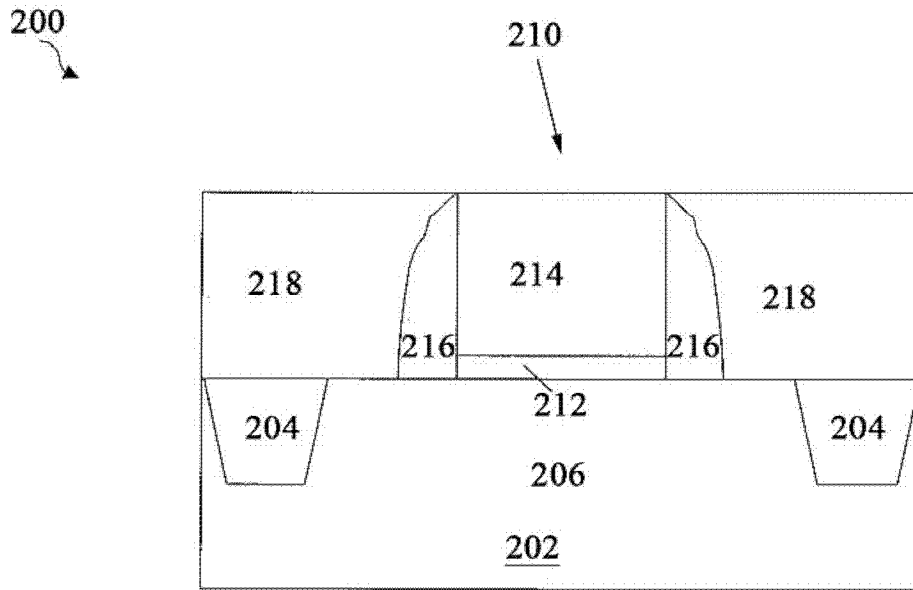


图 2A

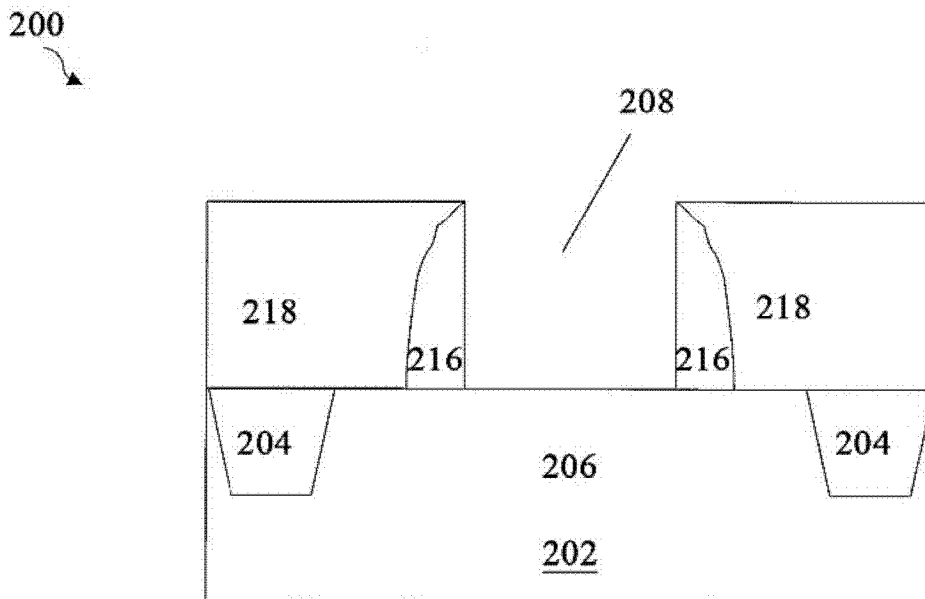


图 2B

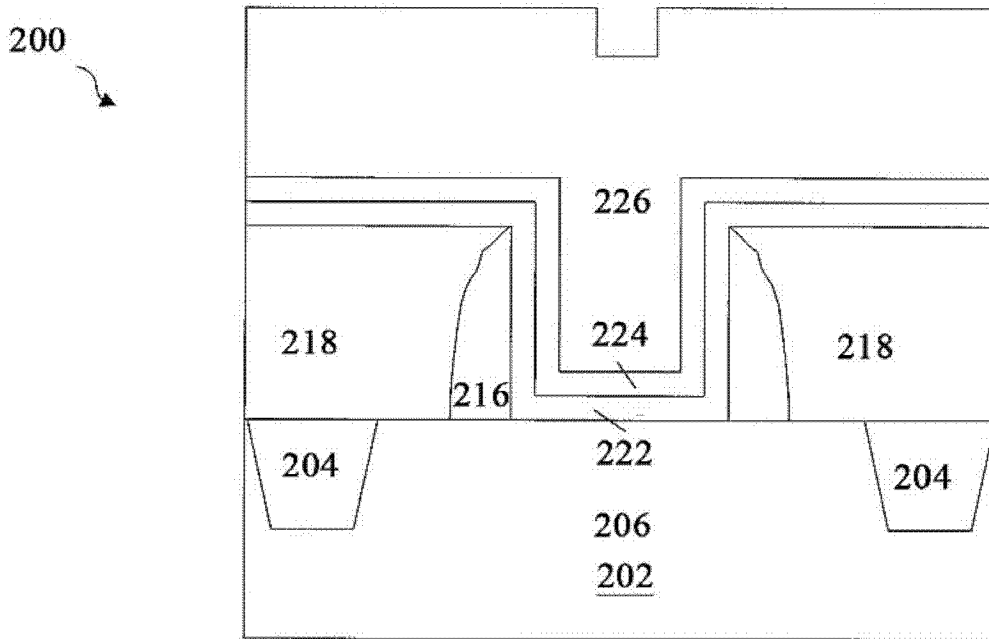


图 2C

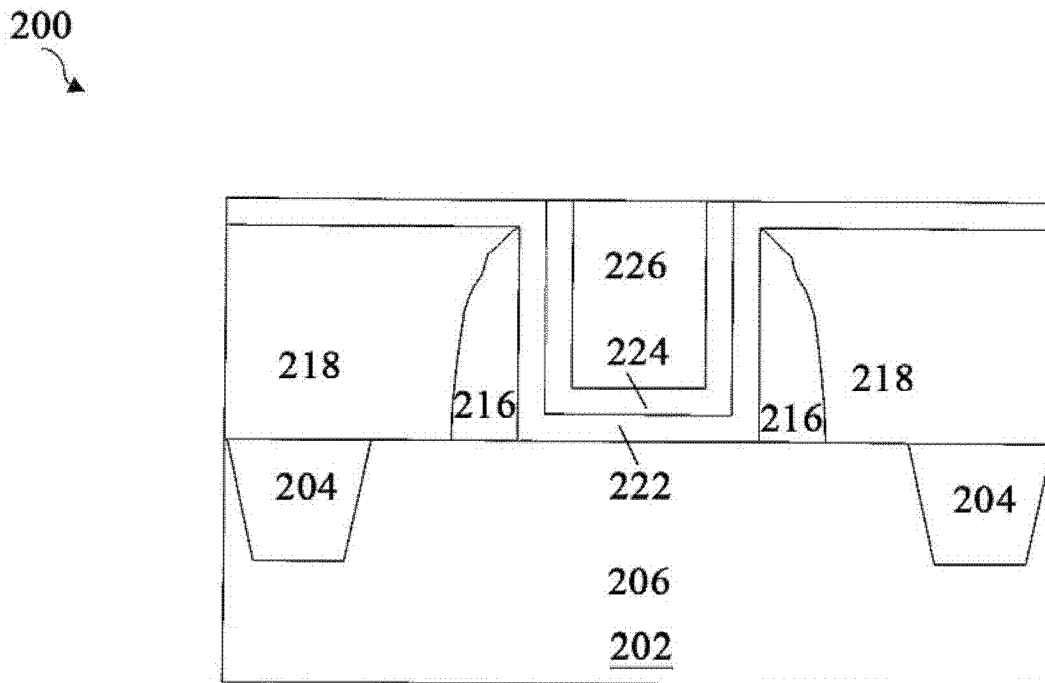


图 2D

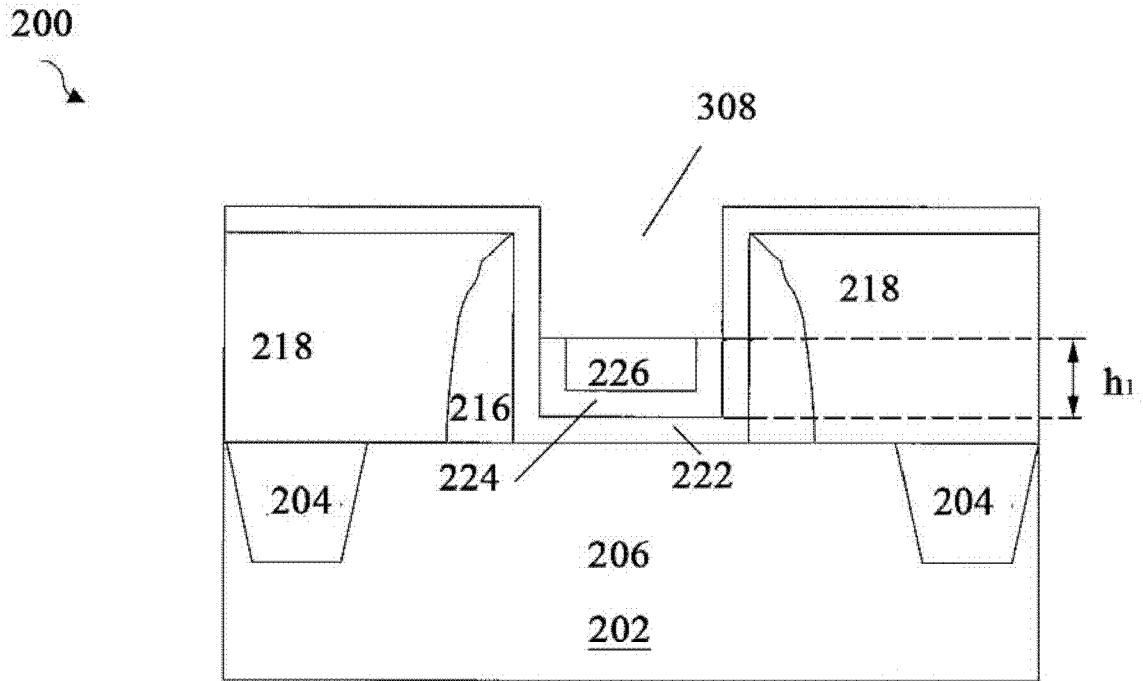


图 2E

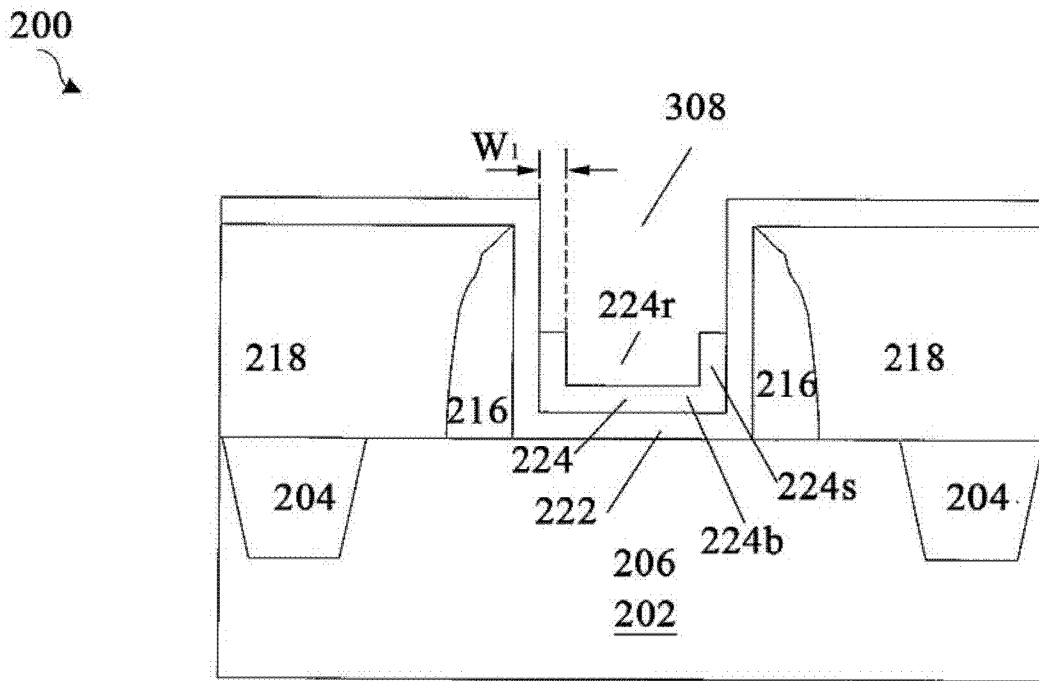


图 2F

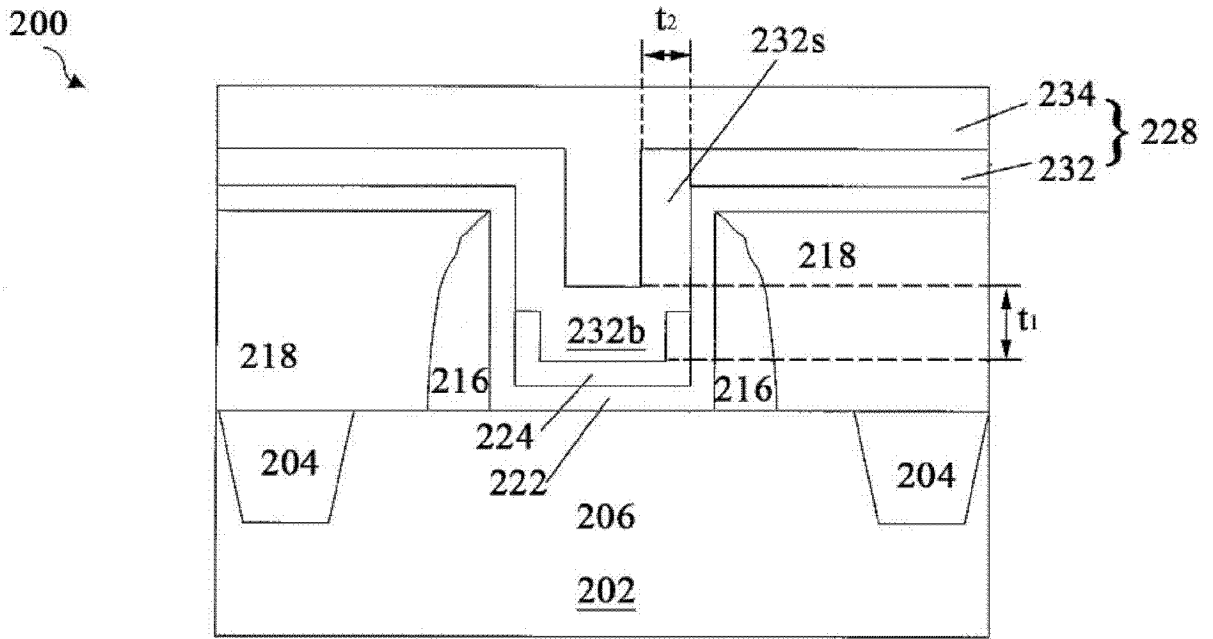


图 2G

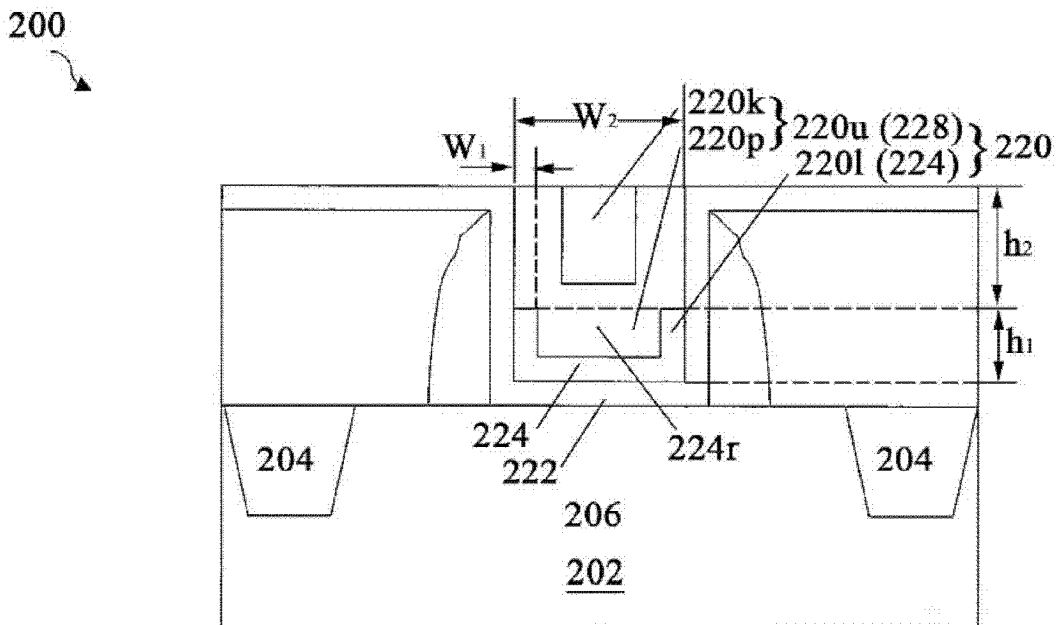


图 2H