

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6828190号

(P6828190)

(45) 発行日 令和3年2月10日 (2021.2.10)

(24) 登録日 令和3年1月22日 (2021.1.22)

(51) Int. Cl. F I
HO 3 M 13/19 (2006.01) HO 3 M 13/19
HO 4 L 1/16 (2006.01) HO 4 L 1/16

請求項の数 20 (全 45 頁)

(21) 出願番号	特願2019-561752 (P2019-561752)	(73) 特許権者	595020643
(86) (22) 出願日	平成30年5月10日 (2018.5.10)		クァアルコム・インコーポレイテッド
(65) 公表番号	特表2020-521362 (P2020-521362A)		QUALCOMM INCORPORATED
(43) 公表日	令和2年7月16日 (2020.7.16)		ED
(86) 国際出願番号	PCT/US2018/031988		アメリカ合衆国、カリフォルニア州 92
(87) 国際公開番号	W02018/209035		121-1714、サン・ディエゴ、モア
(87) 国際公開日	平成30年11月15日 (2018.11.15)		ハウス・ドライブ 5775
審査請求日	令和2年6月24日 (2020.6.24)	(74) 代理人	100108855
(31) 優先権主張番号	62/505,573		弁理士 蔵田 昌俊
(32) 優先日	平成29年5月12日 (2017.5.12)	(74) 代理人	100158805
(33) 優先権主張国・地域又は機関	米国 (US)		弁理士 井関 守三
(31) 優先権主張番号	15/975,440	(74) 代理人	100112807
(32) 優先日	平成30年5月9日 (2018.5.9)		弁理士 岡田 貴志
(33) 優先権主張国・地域又は機関	米国 (US)		

最終頁に続く

(54) 【発明の名称】 レート適合QC-LDPCコードのための行直交性をもつパリティチェック行列を構成すること

(57) 【特許請求の範囲】

【請求項1】

低密度パリティチェック (LDPC) 復号を行うための方法であって、前記方法が、
LDPCコードワードに関連するソフトビットを受信することと、
パリティチェック行列を使用して前記ソフトビットのLDPC復号を行うことと
を備え、ここにおいて、

前記パリティチェック行列が、
最初のN個の行のコア部分と、
前記最初のN個の行の後のハイブリッド自動再送要求 (HARQ) 行と
を備える、

前記パリティチェック行列の各行が、リフトされたLDPCコードのリフトされたパ
リティチェックに対応し、

前記パリティチェック行列の少なくとも2つの列が、前記リフトされたLDPCコー
ドのパンクチャされた変数ノードに対応し、

前記パリティチェック行列は、少なくとも2つのパンクチャされた変数ノードが両方
とも接続されたある行の下にある連続する行の各ペア間の行直交性を有し、前記少なく
とも2つのパンクチャされた変数ノードが両方とも接続された前記ある行の下
の各行について、どの列も、2つの連続する行において空でないエントリを有しない、
方法。

【請求項2】

連続する行の各ペアにおいて、前記2つのパンクチャされた変数ノードが、後続の行への接続を交互に行う、請求項1に記載の方法。

【請求項3】

前記パリティチェック行列の連続する行の全てのペアの少なくとも1/2が、行直交性を有する、請求項1に記載の方法。

【請求項4】

連続する行の全てのペアの前記少なくとも1/2が、前記パリティチェック行列の全ての行の最後の1/2を備え、ここにおいて、前記パリティチェック行列の全ての行の最後の1/2が、前記LDPCコードワードのハイブリッド自動再送要求(HARD)情報に関連する行に対応する、請求項3に記載の方法。

10

【請求項5】

前記少なくとも2つのパンクチャされた変数ノードが両方とも接続された前記ある行の下に連続する行の各ペアにおいて、前記2つのパンクチャされた変数ノードが、後続の行への接続を交互に行う、請求項1に記載の方法。

【請求項6】

ワイヤレス通信のための装置であって、

前記装置に、低密度パリティチェック(LDPC)コードワードに関連するソフトビットを受信させることと、

パリティチェック行列を使用して前記ソフトビットのLDPC復号を行うことと
を行うように構成されたプロセッサと、ここにおいて、

20

前記パリティチェック行列が、

最初のN個の行のコア部分と、

前記最初のN個の行の後のハイブリッド自動再送要求(HARQ)行と

を備える、

前記パリティチェック行列の各行が、リフトされたLDPCコードのリフトされたパリティチェックに対応し、

前記パリティチェック行列の少なくとも2つの列が、前記リフトされたLDPCコードのパンクチャされた変数ノードに対応し、

前記パリティチェック行列は、少なくとも2つのパンクチャされた変数ノードが両方とも接続されたある行の下にある連続する行の各ペア間の行直交性を有し、前記少なくとも2つのパンクチャされた変数ノードが両方とも接続された前記ある行の下に各行について、どの列も、2つの連続する行において空でないエントリを有しない、

30

前記プロセッサに結合されたメモリと
を備える、装置。

【請求項7】

連続する行の各ペアにおいて、前記2つのパンクチャされた変数ノードが、後続の行への接続を交互に行う、請求項6に記載の装置。

【請求項8】

前記パリティチェック行列の連続する行の全てのペアの少なくとも1/2が、行直交性を有する、請求項6に記載の装置。

40

【請求項9】

連続する行の全てのペアの前記少なくとも1/2が、前記パリティチェック行列の全ての行の最後の1/2を備え、ここにおいて、前記パリティチェック行列の全ての行の最後の1/2が、前記LDPCコードワードのハイブリッド自動再送要求(HARD)情報に関連する行に対応する、請求項8に記載の装置。

【請求項10】

前記少なくとも2つのパンクチャされた変数ノードが両方とも接続された前記ある行の下に連続する行の各ペアにおいて、前記2つのパンクチャされた変数ノードが、後続の行への接続を交互に行う、請求項6に記載の装置。

【請求項11】

50

低密度パリティチェック (LDPC) 符号化を行うための方法であって、前記方法が、
コードワードの情報ビットを取得することと、
パリティチェック行列に従ってLDPCコードワードのパリティビットを算出するため
に前記情報ビットの符号化を行うことと
を備え、ここにおいて、

前記パリティチェック行列が、

最初のN個の行のコア部分と、

前記最初のN個の行の後のハイブリッド自動再送要求(HARQ)行と

を備える、

前記パリティチェック行列の各行が、リフトされたLDPCコードのリフトされたパ
リティチェックに対応し、

前記パリティチェック行列の少なくとも2つの列が、前記リフトされたLDPCコー
ドのパンクチャされた変数ノードに対応し、

前記パリティチェック行列は、少なくとも2つのパンクチャされた変数ノードが両方
とも接続されたある行の下にある連続する行の各ペア間の行直交性を有し、前記少なく
とも2つのパンクチャされた変数ノードが両方とも接続された前記ある行の下のある各行につ
いて、どの列も、2つの連続する行において空でないエントリを有しない、
方法。

【請求項12】

連続する行の各ペアにおいて、前記2つのパンクチャされた変数ノードが、後続の行へ
の接続を交互に行う、請求項11に記載の方法。

【請求項13】

前記パリティチェック行列の連続する行の全てのペアの少なくとも1/2が、行直交性
を有する、請求項11に記載の方法。

【請求項14】

連続する行の全てのペアの前記少なくとも1/2が、前記パリティチェック行列の全て
の行の最後の1/2を備え、ここにおいて、前記パリティチェック行列の全ての行の最後
の1/2が、前記LDPCコードワードのハイブリッド自動再送要求(HARD)情報に
関連する行に対応する、請求項13に記載の方法。

【請求項15】

前記少なくとも2つのパンクチャされた変数ノードが両方とも接続された前記ある行の
下の連続する行の各ペアにおいて、前記2つのパンクチャされた変数ノードが、後続の行
への接続を交互に行う、請求項11に記載の方法。

【請求項16】

ワイヤレス通信のための装置であって、
コードワードの情報ビットを取得することと、
パリティチェック行列に従ってLDPCコードワードのパリティビットを算出するた
めに前記情報ビットの符号化を行うことと

をするように構成されたプロセッサと、ここにおいて、

前記パリティチェック行列が、

最初のN個の行のコア部分と、

前記最初のN個の行の後のハイブリッド自動再送要求(HARQ)行と

を備える、

前記パリティチェック行列の各行が、リフトされたLDPCコードのリフトされた
パリティチェックに対応し、

前記パリティチェック行列の少なくとも2つの列が、前記リフトされたLDPCコー
ドのパンクチャされた変数ノードに対応し、

前記パリティチェック行列は、少なくとも2つのパンクチャされた変数ノードが両
方とも接続されたある行の下にある連続する行の各ペア間の行直交性を有し、前記少なく
とも2つのパンクチャされた変数ノードが両方とも接続された前記ある行の下のある各行につ

10

20

30

40

50

いて、どの列も、2つの連続する行において空でないエントリを有しない、

前記プロセッサに結合されたメモリと
を備える、装置。

【請求項17】

連続する行の各ペアにおいて、前記2つのパンクチャされた変数ノードが、後続の行への接続を交互に行う、請求項16に記載の装置。

【請求項18】

前記パリティチェック行列の連続する行の全てのペアの少なくとも1/2が、行直交性を有する、請求項16に記載の装置。

【請求項19】

連続する行の全てのペアの前記少なくとも1/2が、前記パリティチェック行列の全ての行の最後の1/2を備え、ここにおいて、前記パリティチェック行列の全ての行の最後の1/2が、前記LDPCコードワードのハイブリッド自動再送要求(HARD)情報に関連する行に対応する、請求項18に記載の装置。

【請求項20】

前記少なくとも2つのパンクチャされた変数ノードが両方とも接続された前記ある行の下に連続する行の各ペアにおいて、前記2つのパンクチャされた変数ノードが、後続の行への接続を交互に行う、請求項16に記載の装置。

【発明の詳細な説明】

【関連出願の相互参照】

【0001】

[0001] 本特許出願は、その両方が本出願の譲受人に譲渡され、その全体が参照により本明細書に明確に組み込まれる、2017年5月12日に出願された米国仮出願第62/505,573号、および2018年5月9日に出願された米国特許出願第15/975,440号の優先権を主張する。

【技術分野】

【0002】

[0002] 本開示のいくつかの態様は、一般に、ワイヤレス通信のための方法および装置に関し、より詳細には、低密度パリティチェック(LDPC:low-density parity check)レート適合設計における行直交性(row orthogonality)に関する。

【背景技術】

【0003】

[0003] ワイヤレス通信システムは、音声、データなど、様々なタイプの通信コンテンツを提供するために広く展開されている。これらシステムは、利用可能なシステムリソース(例えば、帯域幅および送信電力)を共有することによって複数のユーザとの通信をサポートすることが可能な多元接続システムであり得る。そのような多元接続システムの例としては、ロングタームエボリューション(LTE(登録商標))システム、符号分割多元接続(CDMA)システム、時分割多元接続(TDMA)システム、周波数分割多元接続(FDMA)システム、第3世代パートナーシッププロジェクト(3GPP(登録商標))ロングタームエボリューション(LTE)システム、ロングタームエボリューションアドバンスド(LTE-A)システム、および直交周波数分割多元接続(OFDMA)システムがある。

【0004】

[0004] 概して、ワイヤレス多元接続通信システムは、複数のワイヤレスノードのための通信を同時にサポートできる。各ノードは、順方向リンクおよび逆方向リンク上での送信を介して1つまたは複数の基地局と通信する。順方向リンク(またはダウンリンク)は基地局からノードへの通信リンクを指し、逆方向リンク(またはアップリンク)はノードから基地局への通信リンクを指す。通信リンクは、単入力単出力、多入力単出力または多入力多出力(MIMO)システムを介して確立され得る。

【0005】

[0005] 現代の情報時代では、ビデオ、オーディオ、統計情報など、様々なタイプの情報を表し、通信するために、バイナリ値（例えば、1および0）が使用される。残念ながら、バイナリデータの記憶、送信、および／または処理中に、非意図的に誤りが導入され得、例えば、1が0に変更され得、またはその逆も同様であり得る。

【0006】

[0006] 概して、データ送信の場合、受信機は、雑音またはひずみの存在下で各受信されたビットを観測し、ビットの値の指示のみが取得される。これら状況下において、観測値は、「ソフト」ビットのソースと解釈される。ソフトビットは、ビットの値（例えば、1または0）の好ましい推定値を、その推定値の信頼性の何らかの指示と一緒に示す。誤りの数は比較的少ないことがあるが、少数の誤りまたは小レベルのひずみであっても、使用不可能であるデータを生じたり、または、送信誤りの場合に、データの再送信を必要としたりし得る。

10

【0007】

[0007] 誤りをチェックし、場合によって、誤りを訂正する機構を提供するために、バイナリデータが、慎重に設計された冗長性を取り入れるようにコーディングされ得る。データのユニットのコーディングは、一般にコードワードと呼ばれるものを作成する。コードワードは、その冗長性のために、このコードワードを作成する元となったデータの入力ユニットよりも多くのビットを往々にして含むことになる。

【0008】

[0008] コードワードを作成するために、冗長ビットが、送信ビットストリームにエンコーダによって追加される。送信コードワードから生まれる信号が、受信または処理されると、信号中で観測されるものでコードワードに含まれる冗長情報が、受信された信号中の誤りを識別および／または訂正するかあるいは受信された信号からひずみを除去するために使用されて、元のデータユニット(original data unit)を復元するようにできる。このような誤りチェックおよび／または訂正は、復号プロセスの一部として実施され得る。誤りの不在下では、または、訂正可能な誤りまたはひずみの場合、符号化された元のデータユニットを、処理されたソースデータから復元するために、復号が使用され得る。復元不能な誤りの場合、復号プロセスは、元のデータが完全に復元され得るとは限らないという何らかの指示を生成し得る。復号失敗のそのような指示が、データの再送信を開始するために使用され得る。

20

30

【0009】

[0009] データ通信のための光ファイバー回線の増加した使用、およびデータがデータ記憶デバイス（例えば、ディスクドライブ、テープなど）へ記憶されこれから読み出されるときレートの増加に伴い、データ記憶および送信容量の効率的な使用に対してだけでなく、高レートのスピードでデータを符号化および復号する能力に対する必要性も増大している。

【0010】

[0010] 符号化および／または復号システムが広範囲のデバイス（例えば、消費者デバイス）での使用に実用的となるために、符号化効率および高データレートが重要である一方で、エンコーダおよび／またはデコーダが妥当なコストで実施できることが重要である。

40

【0011】

[0011] 通信システムは、いくつかの異なるレートで動作する必要があることが多い。実施形態をできるだけ単純に留めて、異なるレートでのコーディングおよび復号を提供する1つの方策は、調節可能な低密度パリティチェック(LDPC)コードを使用することである。特に、より低いレートのコードをパンクチャすることによって、より高いレートのLDPCコードを生成できる。

【0012】

[0012] これら多元接続技術は、異なるワイヤレスデバイスが都市、国家、地域、さらには地球規模で通信することを可能にする共通プロトコルを与えるために様々な電気通信

50

規格において採用されている。新興の電気通信規格の一例は新無線（NR：new radio）である。NRは、第3世代パートナーシッププロジェクト（3GPP）によって公表されたLTEモバイル規格（例えば、5G無線アクセス）の拡張のセットである。NRは、スペクトル効率を改善すること、コストを下げることに、サービスを改善すること、新しいスペクトルを利用すること、およびダウンリンク（DL）上およびアップリンク（UL）上で巡回プレフィックス（CP）とともにOFDMAを使用して他のオープン規格とより良く統合すること、並びに、ビームフォーミング、多入力多出力（MIMO）アンテナ技術、およびキャリアアグリゲーションをサポートすることによって、モバイルブロードバンドインターネットアクセスをより良くサポートするように設計されている。

【0013】

10

【0013】 モバイルブロードバンドアクセスに対する需要が増大し続けるにつれて、NR技術のさらなる改善の必要性が存在する。好ましくは、これら改善が、他の多元接続技術と、これら技術を採用する電気通信規格とに適用可能であるべきである。改善のための1つの分野は、NRに適用可能な符号化／復号の分野である。例えば、NRのための高性能LDPCコードのための技法が望ましい。

【発明の概要】

【0014】

【0014】 本開示のシステム、方法、およびデバイスは、それぞれいくつかの態様を有し、これらのうちの単一の態様が単独で本開示の望ましい属性を担当するとは限らない。次に、以下の特許請求の範囲によって表される本開示の範囲を限定することなしに、いくつかの特徴が簡潔に論じられる。この議論を考察すれば、特に「発明を実施するための形態」と題するセクションを読めば、本開示の特徴が、ワイヤレスネットワークにおけるアクセスポイントと局との間の改善された通信を含む利点をどのように提供するかが理解されよう。

20

【0015】

【0015】 本開示のいくつかの態様は、低密度パリティチェック（LDPC）復号を行うための方法を提供する。本方法は、概して、LDPCコードワードに関連するソフトビットを受信することと、パリティチェック行列を使用して、ソフトビットのLDPC復号を行うこととを含み、ここにおいて、パリティチェック行列の各行が、リフトされたLDPCコードのリフトされたパリティチェックに対応し、パリティチェック行列の少なくとも2つの列が、リフトされたLDPCコードのパンクチャされた変数ノードに対応し、パリティチェック行列は、少なくとも2つのパンクチャされた変数ノードが両方とも接続された行の下にある連続する行の各ペア間の行直交性を有する。

30

【0016】

【0016】 本開示のいくつかの態様は、低密度パリティチェック（LDPC）復号を行うための装置を提供する。本装置は、概して、本装置に、LDPCコードワードに関連するソフトビットを受信することと、パリティチェック行列を使用してソフトビットのLDPC復号を行うこととをさせるように構成されたプロセッサを含み、ここにおいて、パリティチェック行列の各行が、階層的なリフトされたLDPCコードのリフトされたパリティチェックに対応し、パリティチェック行列の少なくとも2つの列が、リフトされたLDPCコードのパンクチャされた変数ノードに対応し、パリティチェック行列は、少なくとも2つのパンクチャされた変数ノードが両方とも接続された行の下にある連続する行の各ペア間の行直交性を有する。本装置は、概して、プロセッサと結合されたメモリをも含む。

40

【0017】

【0017】 本開示のいくつかの態様は、低密度パリティチェック（LDPC）復号を行うための装置を提供する。本装置は、概して、LDPCコードワードのソフトビットを受信するための手段と、パリティチェック行列を使用してソフトビットのLDPC復号を行うための手段とを含み、ここにおいて、パリティチェック行列の各行が、リフトされたLDPCコードのリフトされたパリティチェックに対応し、パリティチェック行列の少なくとも2つの列が、リフトされたLDPCコードのパンクチャされた変数ノードに対応し、パ

50

リティチェック行列は、少なくとも2つのパンクチャされた変数ノードが両方とも接続された行の下にある連続する行の各ペア間の行直交性を有する。

【0018】

【0018】 本開示のいくつかの態様は、低密度パリティチェック（LDPC）復号を行うためのコンピュータ可読媒体を提供する。本コンピュータ可読媒体は、概して、少なくとも1つのプロセッサによって実行されたとき、少なくとも1つのプロセッサに、LDPCコードワードに関連するソフトビットを受信することと、パリティチェック行列を使用してソフトビットのLDPC復号を行うこととをさせる命令を含み、ここにおいて、パリティチェック行列の各行が、リフトされたLDPCコードのリフトされたパリティチェックに対応し、パリティチェック行列の少なくとも2つの列が、リフトされたLDPCコードのパンクチャされた変数ノードに対応し、パリティチェック行列は、少なくとも2つのパンクチャされた変数ノードが両方とも接続された行の下にある連続する行の各ペア間の行直交性を有する。

10

【0019】

【0019】 本開示のいくつかの態様は、低密度パリティチェック（LDPC）符号化を行うための方法を提供する。本方法は、概して、コードワードの情報ビットを取得することと、パリティチェック行列に従ってLDPCコードワードのパリティビットを算出するために情報ビットの符号化を行うこととを含み、ここにおいて、パリティチェック行列の各行が、リフトされたLDPCコードのリフトされたパリティチェックに対応し、パリティチェック行列の少なくとも2つの列が、リフトされたLDPCコードのパンクチャされた変数ノードに対応し、パリティチェック行列は、少なくとも2つのパンクチャされた変数ノードが両方とも接続された行の下にある連続する行の各ペア間の行直交性を有する。

20

【0020】

【0020】 本開示のいくつかの態様は、低密度パリティチェック（LDPC）符号化を行うための装置を提供する。本装置は、概して、本装置に、コードワードの情報ビットを取得することと、パリティチェック行列に従ってLDPCコードワードのパリティビットを算出するために情報ビットの符号化を行うこととをさせるように構成されたプロセッサを含み、ここにおいて、パリティチェック行列の各行が、リフトされたLDPCコードのリフトされたパリティチェックに対応し、パリティチェック行列の少なくとも2つの列が、リフトされたLDPCコードのパンクチャされた変数ノードに対応し、パリティチェック行列は、少なくとも2つのパンクチャされた変数ノードが両方とも接続された行の下にある連続する行の各ペア間の行直交性を有する。本装置は、概して、プロセッサと結合されたメモリを含む。

30

【0021】

【0021】 本開示のいくつかの態様は、低密度パリティチェック（LDPC）復号を行うための装置を提供する。本装置は、概して、コードワードの情報ビットを取得するための手段と、パリティチェック行列に従ってLDPCコードワードのパリティビットを算出するために情報ビットの符号化を行うための手段とを含み、ここにおいて、パリティチェック行列の各行が、リフトされたLDPCコードのリフトされたパリティチェックに対応し、パリティチェック行列の少なくとも2つの列が、リフトされたLDPCコードのパンクチャされた変数ノードに対応し、パリティチェック行列は、少なくとも2つのパンクチャされた変数ノードが両方とも接続された行の下にある連続する行の各ペア間の行直交性を有する。

40

【0022】

【0022】 本開示のいくつかの態様は、低密度パリティチェック（LDPC）復号を行うためのコンピュータ可読媒体を提供する。本コンピュータ可読媒体は、概して、少なくとも1つのプロセッサによって実行されたとき、少なくとも1つのプロセッサに、コードワードの情報ビットを取得することと、パリティチェック行列に従ってLDPCコードワードのパリティビットを算出するために情報ビットの符号化を行うこととをさせる命令を含み、ここにおいて、パリティチェック行列の各行が、リフトされたLDPCコードのリフ

50

トされたパリティチェックに対応し、パリティチェック行列の少なくとも2つの列が、リフトされたLDPCコードのパンクチャされた変数ノードに対応し、パリティチェック行列は、少なくとも2つのパンクチャされた変数ノードが両方とも接続された行の下にある連続する行の各ペア間の行直交性を有する。

【0023】

[0023] 本発明の特定の例示的な実施形態の以下の説明を添付の図と併せて検討すれば、当業者には、本発明の他の態様、特徴、および実施形態が明らかになる。本発明の特徴が、以下のいくつかの実施形態および図に関連して論じられ得る一方で、本発明の全ての実施形態は、本明細書で論じられ有利な特徴のうちの1つまたは複数を含むことができる。言い換えれば、1つまたは複数の実施形態が、いくつかの有利な特徴を有するものとして論じられ得るものの、そのような特徴のうちの1つまたは複数は、本明細書で論じられる本発明の様々な実施形態に従っても使用され得る。同様に、例示的な実施形態が、以下ではデバイス、システム、または方法の実施形態として論じられるものの、そのような例示的な実施形態が、様々なデバイス、システム、および方法で実施できることを理解されたい。

10

【0024】

[0024] 本開示の上記で具陳された特徴が詳細に理解できるように、添付の図面にその一部が示される態様を参照することによって、上記で簡潔に要約されたより具体的な説明が得られ得る。添付の図面は本開示のいくつかの典型的な態様のみを示すものであるが、その説明は他の等しく有効な態様に通じ得るので、本開示の範囲をそれゆえ限定するものと見なされるべきでない。

20

【図面の簡単な説明】

【0025】

【図1】本開示のいくつかの態様による、例示的な多元接続ワイヤレス通信システムを示す図。

【図2】本開示のいくつかの態様による、基地局およびワイヤレスノードのブロック図。

【図3】本開示のいくつかの態様による、ワイヤレスデバイスにおいて利用され得る様々な構成要素を示す図。

【図4A】本開示のいくつかの態様による、例示的な低密度パリティチェック(LDPC)コードのグラフィカル表現を示す図。

30

【図4B】本開示のいくつかの態様による、例示的な低密度パリティチェック(LDPC)コードの行列表現を示す図。

【図5】本開示のいくつかの態様による、図4AのLDPCコードのリフティングをグラフィカルに示す図。

【図6】擬似巡回(quasi-cyclic)LDPCコードのための行列の整数表現の図。

【図7】本開示のいくつかの態様による、エンコーダを示す簡略ブロック図。

【図8】本開示のいくつかの態様による、デコーダを示す簡略ブロック図。

【図9】本開示のいくつかの態様による、一般的な階層的LDPCデコーダの高レベルブロック図。

40

【図10】本開示のいくつかの態様による、パリティチェック行列中のビットLLRと事後LLR(a posteriori LLR)とを算出/更新するためのこのプロセスの一例を示す図。

【図11A】本開示のいくつかの態様による、例示的な階層的デコーダパイプライン処理タイムラインを示す図。

【図11B】本開示のいくつかの態様による、例示的な階層的デコーダパイプライン処理タイムラインを示す図。

【図12】本開示のいくつかの態様による、擬似行直交性(quasi-row orthogonality)をもつパリティチェック行列を示す図。

【図12A】本開示のいくつかの態様による、擬似行直交性をもつパリティチェック行列を示す図。

50

【図 1 2 B】本開示のいくつかの態様による、擬似行直交性をもつパリティチェック行列を示す図。

【図 1 2 C】本開示のいくつかの態様による、擬似行直交性をもつパリティチェック行列を示す図。

【図 1 2 D】本開示のいくつかの態様による、擬似行直交性をもつパリティチェック行列を示す図。

【図 1 2 E】本開示のいくつかの態様による、擬似行直交性をもつパリティチェック行列を示す図。

【図 1 2 F】本開示のいくつかの態様による、擬似行直交性をもつパリティチェック行列を示す図。

10

【図 1 2 G】本開示のいくつかの態様による、擬似行直交性をもつパリティチェック行列を示す図。

【図 1 2 H】本開示のいくつかの態様による、擬似行直交性をもつパリティチェック行列を示す図。

【図 1 3】本開示のいくつかの態様による、完全な行直交性 (full-row orthogonality) をもつパリティチェック行列を示す図。

【図 1 3 A】本開示のいくつかの態様による、完全な行直交性をもつパリティチェック行列を示す図。

【図 1 3 B】本開示のいくつかの態様による、完全な行直交性をもつパリティチェック行列を示す図。

20

【図 1 3 C】本開示のいくつかの態様による、完全な行直交性をもつパリティチェック行列を示す図。

【図 1 3 D】本開示のいくつかの態様による、完全な行直交性をもつパリティチェック行列を示す図。

【図 1 3 E】本開示のいくつかの態様による、完全な行直交性をもつパリティチェック行列を示す図。

【図 1 3 F】本開示のいくつかの態様による、完全な行直交性をもつパリティチェック行列を示す図。

【図 1 3 G】本開示のいくつかの態様による、完全な行直交性をもつパリティチェック行列を示す図。

30

【図 1 3 H】本開示のいくつかの態様による、完全な行直交性をもつパリティチェック行列を示す図。

【図 1 4】本開示のいくつかの態様による、低密度パリティチェック (LDPC) コードを復号するための例示的な動作を示す流れ図。

【図 1 5】本開示のいくつかの態様による、低密度パリティチェック (LDPC) 符号化を行うための例示的な動作を示す流れ図。

【発明を実施するための形態】

【0026】

[0040] 理解を容易にするために、可能な場合、各図に共通である同じ要素を指定するために同じ参照番号が使用されている。一実施形態において開示される要素が、特定の具陳なしに他の実施形態に対して有益に利用され得ることが企図される。

40

【0027】

[0041] 本開示の態様は、新無線 (NR) (新しい無線アクセス技術) のための符号化のための装置、方法、処理システム、およびコンピュータプログラム製品を提供する。新無線 (NR) は、新しいエアインターフェースまたは固定されたトランスポートレイヤに従って動作するように構成された無線を指し得る。NR は、広帯域幅 (例えば 80 MHz 以上) 通信システムをターゲットにする拡張モバイルブロードバンド (eMBB) 技法と、高キャリア周波数 (例えば 27 GHz 以上) 通信システムをターゲットにするミリメートル波 (mmW) 技法と、非後方互換性マシンタイプ通信 (MTC) システムをターゲットにする大規模マシンタイプ通信 (mMTC: massive machine type communications)

50

技法と、超高信頼低レイテンシ通信（U R L L C : ultra reliable low latency communications）をターゲットにするミッションクリティカルな技法とを含み得る。これらの一般的トピックについて、低密度パリティチェック（L D P C）コーディング、およびポーラコーディングを含む、コーディング技法など、異なる技法が考慮される。N Rセルは、新しいエアインターフェースまたは固定されたトランスポートレイヤに従って動作するセルを指し得る。N RノードB（例えば、5 GノードB）は、1つまたは複数の送信受信ポイント（T R P）に対応し得る。

【0028】

[0042] 本開示のいくつかの態様は、一般に、低密度パリティチェック（L D P C）符号化された送信を復号するための方法および装置に関し、より詳細には、多数の、ペアで完全に行直交する行をもつ、パリティチェック行列を使用して、L D P C符号化された送信を復号することに関する。

10

【0029】

[0043] 添付の図面を参照しながら本開示の様々な態様が以下でより十分に説明される。本開示は、多くの異なる形態で実施され得るが、本開示全体にわたって提示される任意の特定の構造または機能に限定されるものと解釈されるべきでない。むしろ、これら態様は、本開示が徹底して完全になり、本開示の範囲を当業者に十分に伝えるために与えられる。本明細書の教示に基づいて、本開示の範囲は、本開示の他の態様とは無関係に実施されるにせよ、本開示の他の態様と組み合わせられるにせよ、本明細書で開示される本開示のいかなる態様をもカバーするものであることを、当業者は諒解されたい。例えば、本明細書に記載される態様をいくつか使用しても、装置は実施され得、または方法は実践され得る。さらに、本開示の範囲は、本明細書に記載される本開示の様々な態様に加えてまたはこれら態様以外に、他の構造、機能、または構造および機能を使用して実践されるような装置または方法をカバーすることを意図する。本明細書で開示される本開示のいずれの態様も、請求項の1つまたは複数の要素によって実施され得ることを理解されたい。「例示的」という単語は、本明細書において「例、事例、または例示の働きをすること」を意味するために使用される。「例示的」として本明細書で説明されるいかなる態様も、必ずしも他の態様よりも好適または有利であると解釈されるべきであるとは限らない。

20

【0030】

[0044] 特定の態様が本明細書で説明されるが、これら態様の多くの変形および置換（permutation）は本開示の範囲内に入る。好適な態様のいくつかの利益および利点が言及されるが、本開示の範囲は特定の利益、使用、または目的に限定されるものでない。むしろ、本開示の態様は、異なるワイヤレス技術、システム構成、ネットワーク、および伝送プロトコルに広く適用可能であるものとし、これらのうちのいくつかは、例として、図において、および好適な態様の以下の説明において示される。発明を実施するための形態および図面は本開示を限定するものでなく、説明するものにすぎず、本開示の範囲は添付の特許請求の範囲およびその均等物によって定義される。

30

【0031】

[0045] 本明細書で説明される技法は、ロングタームエボリューション（L T E）、符号分割多元接続（C D M A）ネットワーク、時分割多元接続（T D M A）ネットワーク、周波数分割多元接続（F D M A）ネットワーク、直交F D M A（O F D M A）ネットワーク、シングルキャリアF D M A（S C - F D M A）ネットワークなど、様々なワイヤレス通信ネットワークのために使用され得る。「ネットワーク」および「システム」という用語は、しばしば互換的に使用される。C D M Aネットワークは、ユニバーサル地上波無線アクセス（U T R A）、C D M A 2 0 0 0などの無線技術を実施し得る。U T R Aは、広帯域C D M A（W - C D M A（登録商標））と低チップレート（L C R）とを含む。C D M A 2 0 0 0は、I S - 2 0 0 0、I S - 9 5、およびI S - 8 5 6規格をカバーする。T D M Aネットワークは、モバイル通信用グローバルシステム（G S M（登録商標））などの無線技術を実施し得る。O F D M Aネットワークは、N R（例えば、5 G R A）、発展型U T R A（E - U T R A）、I E E E 8 0 2 . 1 1、I E E E 8 0 2 . 1 6、I E

40

50

EE802.20、Flash-OFDM（登録商標）などの無線技術を実施し得る。UTRA、E-UTRA、およびGSMは、ユニバーサルモバイルテレコミュニケーションシステム（UMTS）の一部である。ロングタームエボリューション（LTE）は、E-UTRAを使用するUMTSのリリースである。UTRA、E-UTRA、GSM、UMTS、およびLTEは、「第3世代パートナーシッププロジェクト」（3GPP）と称する団体からの文書に記載されている。CDMA2000は、「第3世代パートナーシッププロジェクト2」（3GPP2）と称する団体からの文書に記載されている。NRは、5G技術フォーラム（5GTF：5G Technology Forum）とともに開発中の新生のワイヤレス通信技術である。これら通信ネットワークは、本開示で説明される技法が適用され得るネットワークの例として列挙されるにすぎないが、本開示は、上述された通信ネットワークに限定されない。

10

【0032】

[0046] シングルキャリア周波数分割多元接続（SC-FDMA）は、送信機側でシングルキャリア変調を利用し、受信機側で周波数領域等化を利用する送信技法である。SC-FDMAは、OFDMAシステムと同様の性能および本質的に同じ全体的な複雑さを有する。ただし、SC-FDMA信号は、その固有のシングルキャリア構造のためにより低いピーク対平均電力比（PAPR：peak-to-average power ratio）を有する。SC-FDMAは、特に、より低いPAPRが送信電力効率の点でワイヤレスノードに多大な利益を与えるアップリンク（UL）通信において、大きい注目を引いている。

【0033】

20

[0047] アクセスポイント（「AP」）は、ノードB、無線ネットワークコントローラ（「RNC」）、eノードB（eNB）、ノードB（例えば、5GノードB）、送受信ポイント（TRP）、基地局コントローラ（「BSC」）、基地局トランシーバ局（「BTS」）、基地局（「BS」）、トランシーバ機能（「TF」）、無線ルータ、無線トランシーバ、基本サービスセット（「BSS」）、拡張サービスセット（「ESS」）、無線基地局（「RBS」）、または何らかの他の用語を備えるか、これらのいずれかとして実施されるか、あるいはこれらのいずれかとして知られていることがある。

【0034】

[0048] アクセス端末（「AT」）は、アクセス端末、加入者局、加入者ユニット、移動局、リモート局、リモート端末、ユーザ端末、ユーザエージェント、ユーザデバイス、ユーザ機器（UE）、ユーザ局、ワイヤレスノード、または何らかの他の用語を備えるか、これらのいずれかとして実施されるか、あるいはこれらのいずれかとして知られていることがある。いくつかの実施形態では、アクセス端末が、セルラー電話、スマートフォン、コードレス電話、セッション開始プロトコル（「SIP」）電話、ワイヤレスローカルループ（「WLL」）局、携帯情報端末（「PDA」）、タブレット、ネットブック、スマートブック、ウルトラブック、ワイヤレス接続機能を有するハンドヘルドデバイス、局（「STA」）、またはワイヤレスモデムに接続された何らかの他の好適な処理デバイスを備え得る。従って、本明細書で教示される1つまたは複数の態様は、電話（例えば、セルラーフォン、スマートフォン）、コンピュータ（例えば、デスクトップ）、ポータブル通信デバイス、ポータブルコンピューティングデバイス（例えば、ラップトップ、個人情報端末、タブレット、ネットブック、スマートブック、ウルトラブック）、医療デバイスまたは機器、生体センサー／デバイス、エンターテインメントデバイス（例えば、音楽またはビデオデバイス、あるいは衛星ラジオ）、車両構成要素またはセンサー、スマートメーター／センサー、産業用製造装置、全地球測位システムデバイス、あるいはワイヤレスまたはワイヤード媒体を介して通信するように構成された他の好適なデバイスに組み込まれ得る。いくつかの態様において、ノードはワイヤレスノードである。ワイヤレスノードは、例えば、ワイヤードまたはワイヤレス通信リンクを介した、ネットワーク（例えば、インターネットまたはセルラーネットワークなど、ワイドエリアネットワーク）のための、またはネットワークへの接続性を与え得る。

30

40

【0035】

50

[0049] 3 Gおよび／または4 Gのワイヤレス技術に一般に関連する用語を使用して態様が本明細書において説明され得るが、本開示の態様は、NR技術を含む5 G以降のような、他の世代ベースの通信システムにおいて適用できる。

【0036】

例示的なワイヤレス通信システム

[0050] 図1は、本開示の態様が行われ得る例示的な通信ネットワーク100を示す。図示のように、ノードB102（例えば、TRPまたは5 GノードB）が、複数のアンテナグループを含み得、あるグループはアンテナ104と106とを含み、別のグループはアンテナ108と110とを含み、追加のグループはアンテナ112と114とを含む。図1には、アンテナグループごとに2つのアンテナのみが示されているが、アンテナグループごとにより多いまたはより少ないアンテナが利用され得る。ワイヤレスノード116は、アンテナ112および114と通信していることがあり、アンテナ112および114は、順方向リンク120上でワイヤレスノード116に情報を送信し、逆方向リンク118上でワイヤレスノード116から情報を受信する。ワイヤレスノード122は、アンテナ106および108と通信していることがあり、アンテナ106および108は、順方向リンク126上でワイヤレスノード122に情報を送信し、逆方向リンク124上でワイヤレスノード122から情報を受信する。ノードB102はまた、例えば、モノのインターネット（IoT）デバイスであり得る、他のワイヤレスノードと通信していることがある。IoTデバイス136は、ノードB102の1つまたは複数の他のアンテナと通信していることがあり、アンテナは、順方向リンク140上でIoTデバイス136に情報を送信し、逆方向リンク138上でIoTデバイス136から情報を受信する。IoTデバイス142は、ノードB102の1つまたは複数の他のアンテナと通信していることがあり、アンテナは、順方向リンク146上でIoTデバイス142に情報を送信し、逆方向リンク144上でIoTデバイス142から情報を受信する。周波数分割複信（FDD）システムにおいて、通信リンク118、120、124、126、138、140、144、および146は、通信のために異なる周波数を使用し得る。例えば、順方向リンク120は、逆方向リンク118によって使用される周波数とは異なる周波数を使用し得る、順方向リンク140は、逆方向リンク138によって使用される周波数とは異なる周波数を使用し得る。

【0037】

[0051] アンテナの各グループ、および／またはアンテナが通信するように設計されたエリアは、しばしば、ノードBのセクタと呼ばれる。本開示の一態様では、各アンテナグループが、ノードB102によってカバーされるエリアのセクタ中のワイヤレスノードに通信するように設計され得る。

【0038】

[0052] ワイヤレスノード130は、ノードB102と通信していることがあり、ノードB102からのアンテナは、順方向リンク132上でワイヤレスノード130に情報を送信し、逆方向リンク134上でワイヤレスノード130から情報を受信する。

【0039】

[0053] 順方向リンク120および126上の通信において、BS102の送信アンテナは、異なるワイヤレスノード116、122、136、および142のための順方向リンクの信号対雑音比を改善するためにビームフォーミングを利用し得る。また、ノードBが、ビームフォーミングを使用して、そのカバレッジにわたってランダムに分散されたワイヤレスノードに送信するほうが、ノードBが単一のアンテナを通して全てのそのワイヤレスノードに送信するよりも、ネイバリングセル中のワイヤレスノードへの干渉が小さくなる。

【0040】

[0054] 本明細書で説明される例の態様は、LTE技術に関連付けられ得るが、本開示の態様は、NRなど、他のワイヤレス通信システムとともに適用可能であり得る。NRは、アップリンクおよびダウンリンク上でCPとともに直交周波数分割多重（OFDM）を

利用し、時分割複信（TDD）を使用する半二重動作のサポートを含み得る。100MHzの単一のコンポーネントキャリア帯域幅が、サポートされ得る。NRリソースブロックは、0.1ms持続時間にわたって75kHzのサブキャリア帯域幅をもつ12個のサブキャリアにわたり得る。各無線フレームは、各々が5つのサブフレームからなる2つの1/2フレームからなり、10msの長さをもち得る。従って、各サブフレームは、1msの長さを有し得る。各サブフレームは、データ送信のためのリンク方向（すなわち、ダウンリンク（DL）またはアップリンク（UL））を示し得、各サブフレームのためのリンク方向は、動的に切り替えられ得る。各サブフレームは、DL/ULデータ並びにDL/UL制御データを含み得る。ビームフォーミングがサポートされ得、ビーム方向が動的に構成され得る。プリコーディングを用いたMIMO送信も、サポートされ得る。DLにおけるMIMO構成は、最高8つのストリームをもつマルチレイヤDL送信に伴って最高8つの送信アンテナをサポートし得る。UEごとに最高2つのストリームをもつマルチレイヤ送信が、サポートされ得る。複数のセルのアグリゲーションが、最高8つのサービングセルを用いてサポートされ得る。代替的に、NRは、OFDMベースエアインターフェース以外の異なるエアインターフェースをサポートし得る。NRネットワークは、エンティティ、そのような中央ニットまたは分散ユニットを含み得る。

【0041】

[0055] 図2は、本開示の態様が実践され得る多入力多出力（MIMO）システム200における、（例えば、基地局としても知られる）送信機システム210と（例えば、ワイヤレスノードとしても知られる）受信機システム250との態様のブロック図を示す。システム210およびシステム250の各々は、送信する能力と受信する能力の両方を有する。システム210またはシステム250が、送信しているのか、受信しているのか、同時に送信および受信しているのかは、適用例に依存する。送信機システム210において、いくつかのデータストリームのトラフィックデータが、データソース212から送信（TX）データプロセッサ214に与えられる。

【0042】

[0056] 本開示の一態様において、各データストリームは、それぞれの送信アンテナを介して送信され得る。TXデータプロセッサ214は、コード化データを与えるために、各データストリームのためのトラフィックデータを、そのデータストリームのために選択された特定のコーディング方式（例えば、低密度パリティチェック（LDPC））に基づいてフォーマットし、コーディングし、インターリーブする。

【0043】

[0057] 各データストリームのコード化データは、OFDM技法を使用してパイロットデータと多重化され得る。パイロットデータは、一般に、知られている方法で処理される知られているデータパターンであり、チャネル応答を推定するために受信機システムにおいて使用され得る。各データストリームのための多重化されたパイロットデータおよびコード化データは、次いで、変調シンボルを与えるために、そのデータストリーム用に選択された特定の 변調方式（例えば、BPSK、QPSK、M-PSK、またはM-QAM）に基づいて変調（例えば、シンボルマッピング）される。各データストリームのためのデータレート、コーディング、および変調は、プロセッサ230によって行われる命令によって決定され得る。メモリ232は、送信機システム210のためのデータとソフトウェア/ファームウェアとを記憶し得る。

【0044】

[0058] 次いで、全てのデータストリームのための変調シンボルがTX MIMOプロセッサ220に与えられ、TX MIMOプロセッサ220はさらに（例えば、OFDMの場合）その変調シンボルを処理し得る。TX MIMOプロセッサ220は、次いで、 N_T 個（例えば、ここで、 N_T は正の整数である）の変調シンボルストリームを N_T 個の送信機（TMTR）222a~222tに与える。本開示のいくつかの態様において、TX MIMOプロセッサ220は、データストリームのシンボルと、シンボルがそこから送信されているアンテナとにビームフォーミング重みを適用する。

【0045】

[0059] 各送信機222は、1つまたは複数のアナログ信号を与えるためにそれぞれのシンボルストリームを受信および処理し、さらに、MIMOチャネルを介して送信するのに適した被変調信号を与えるためにアナログ信号を調整（例えば、増幅、フィルタ処理、およびアップコンバート）する。次いで、送信機222a～222tからの N_T 個の被変調信号は、それぞれ N_T 個のアンテナ224a～224tから送信される。

【0046】

[0060] 受信機システム250において、送信された被変調信号は N_R 個（例えば、ここで、 N_R は正の整数である）のアンテナ252a～252rによって受信され得、各アンテナ252からの受信信号は、それぞれの受信機（RCVR）254a～254rに与えられ得る。各受信機254は、それぞれの受信信号を調整（例えば、フィルタ処理、増幅、およびダウンコンバート）し、サンプルを与えるために調整された信号をデジタル化し、さらに、対応する「受信」シンボルストリームを与えるためにそれらのサンプルを処理し得る。

【0047】

[0061] 次いで、受信（RX）データプロセッサ260が、 N_R 個の受信機254から N_R 個の受信シンボルストリームを受信し、 N_T 個の「検出」シンボルストリームを与えるために特定の受信機処理技法に基づいて処理する。RXデータプロセッサ260は、次いで、データストリームのためのトラフィックデータを復元するために、各検出シンボルストリームを復調し、デインターリーブし、復号する。RXデータプロセッサ260による処理は、送信機システム210におけるTX MIMOプロセッサ220およびTXデータプロセッサ214によって行われる処理を補足するものであり得る。

【0048】

[0062] プロセッサ270は、どのプリコーディング行列を使用すべきかを周期的に決定する。プロセッサ270は、行列インデックス部分とランク値部分とを備える逆方向リンクメッセージを構築する。メモリ272は、受信機システム250のためのデータとソフトウェア／ファームウェアとを記憶し得る。逆方向リンクメッセージは、通信リンクおよび／または受信データストリームに関する様々なタイプの情報を備え得る。逆方向リンクメッセージは、次いで、データソース236からいくつかのデータストリームのためのトラフィックデータをも受信するTXデータプロセッサ238によって処理され、変調器280によって変調され、送信機（TMTR）254a～254rによって調整され、送信機システム210に返信される。

【0049】

[0063] 送信機システム210において、受信機システム250からの被変調信号は、受信機システム250によって送信された逆方向リンクメッセージを抽出するために、アンテナ224によって受信され、受信機（RCVR）222によって調整され、復調器240によって復調され、RXデータプロセッサ242によって処理される。次いで、プロセッサ230は、ビームフォーミング重みを決定するためにどのプリコーディング行列を使用すべきかを決定し、次いで、抽出されたメッセージを処理する。

【0050】

[0064] 受信機システム250のプロセッサ270、RXデータプロセッサ260、他のプロセッサ／要素のうちのいずれか1つまたはこれらの組合せ、および／あるいは送信機システム210のプロセッサ230、RXデータプロセッサ242、他のプロセッサ／要素のうちのいずれか1つまたはこれらの組合せが、図14を参照しながら以下で論じられ本開示のいくつかの態様による、低密度パリティチェック（LDPC）復号のためのプロシージャを行うように構成され得る。一態様では、プロセッサ270およびRXデータプロセッサ260のうちの少なくとも1つが、本明細書で説明されるLDPC復号を実施するための、メモリ272に記憶されたアルゴリズムを行うように構成され得る。別の態様では、プロセッサ230およびRXデータプロセッサ242のうちの少なくとも1つが、本明細書で説明されるLDPC復号を実施するための、メモリ232に記憶されたアル

10

20

30

40

50

ゴリズムを行うように構成され得る。

【0051】

[0065] 受信機システム250のプロセッサ270、TXデータプロセッサ238、他のプロセッサ／要素のうちのいずれか1つまたはこれらの組合せ、および／あるいは送信機システム210のプロセッサ230、TX MIMOプロセッサ220、TXデータプロセッサ214、他のプロセッサ／要素のうちのいずれか1つまたはこれらの組合せが、図15を参照しながら以下で論じられる本開示のいくつかの態様による、低密度パリティチェック(LDPC)符号化のためのプロシーダを行うように構成され得る。一態様では、プロセッサ270およびTXデータプロセッサ238のうちの少なくとも1つが、本明細書で説明されるLDPC符号化を行うための、メモリ272に記憶されたアルゴリズムを実行するように構成され得る。別の態様では、プロセッサ230、TX MIMOプロセッサ220およびTXデータプロセッサ214のうちの少なくとも1つが、本明細書で説明されるLDPC符号化を行うための、メモリ232に記憶されたアルゴリズムを実行するように構成され得る。

10

【0052】

[0066] 図3は、図1に示されたワイヤレス通信システム100内で採用され得るワイヤレスデバイス302において利用され得る様々な構成要素を示す。ワイヤレスデバイス302は、本明細書で説明される様々な方法を実施するように構成され得るデバイスの一例である。ワイヤレスデバイス302は、ノードB102(例えば、TRP)、またはワイヤレスノード(例えば、ワイヤレスノード116、122、130あるいはIoTデバイス136または142)のいずれかであり得る。例えば、ワイヤレスデバイス302は、図14および図15で説明される動作1400および1500、並びに本明細書で説明される他の動作を行うように構成され得る。

20

【0053】

[0067] ワイヤレスデバイス302は、ワイヤレスデバイス302の動作を制御するプロセッサ304を含み得る。プロセッサ304は中央処理ユニット(CPU)と呼ばれることもある。読取り専用メモリ(ROM)とランダムアクセスメモリ(RAM)の両方を含み得るメモリ306は、命令とデータとをプロセッサ304に与える。メモリ306の一部は、不揮発性ランダムアクセスメモリ(NVRAM)をも含み得る。プロセッサ304は、一般に、メモリ306内に記憶されたプログラム命令に基づいて論理演算と算術演算とを行う。メモリ306中の命令は、本明細書で説明される方法を実施するために、例えば、UEがLDPC復号および／またはLDPC符号化を行うことを可能にするために実行可能であり得る。プロセッサ304のいくつかの非限定的な例としては、Snapdragonプロセッサ、特定用途向け集積回路(ASIC)、プログラマブル論理などがあり得る。

30

【0054】

[0068] ワイヤレスデバイス302はまた、ワイヤレスデバイス302と遠隔ロケーションとの間のデータの送信および受信を可能にするために送信機310と受信機312とを含み得るハウジング308を含み得る。送信機310と受信機312とは組み合わされてトランシーバ314になり得る。単一または複数の送信アンテナ316が、ハウジング308に取り付けられ、トランシーバ314に電氣的に結合され得る。ワイヤレスデバイス302はまた、複数の送信機と、複数の受信機と、複数のトランシーバとを含み得る(図示せず)。ワイヤレスデバイス302は、ワイヤレスバッテリー充電機器をも含むことができる。

40

【0055】

[0069] ワイヤレスデバイス302はまた、トランシーバ314によって受信された信号のレベルを検出し、定量化するために使用され得る信号検出器318を含み得る。信号検出器318は、そのような信号を、総エネルギー、シンボルごとのサブキャリア当たりのエネルギー、電力スペクトル密度および他の信号として検出し得る。ワイヤレスデバイス302は、信号を処理する際に使用するためのデジタル信号プロセッサ(DSP)32

50

0 をも含み得る。

【0056】

[0070] さらに、ワイヤレスデバイスはまた、送信のための信号を符号化する際に使用するためのエンコーダ322と、受信信号を復号する際に使用するためのデコーダ324とを含み得る。いくつかの態様によれば、エンコーダ322は、本明細書で提示されるいくつかの態様に従って（例えば、図15に示されている動作1500を実施することによって）符号化を行い得る。いくつかの態様によれば、デコーダ324は、本明細書で提示されるいくつかの態様に従って（例えば、図14に示されている動作1400を実施することによって）復号を行い得る。

【0057】

[0071] ワイヤレスデバイス302の様々な構成要素は、データバスに加えて、電力バスと、制御信号バスと、ステータス信号バスとを含み得る、バスシステム326によって互いに結合され得る。プロセッサ304は、以下で論じられる本開示の態様に従って、LDPC復号および／またはLDPC符号化を行うためにメモリ306に記憶された命令にアクセスするように構成され得る。

【0058】

例示的な誤り訂正コーディング

[0072] 多くの通信システムが、誤り訂正コードを使用する。具体的には、誤り訂正コードは、冗長性をデータストリームに導入することによって、これらシステムにおける情報転送の本質的な不信頼性を補償する。低密度パリティチェック（LDPC）コードは、反復コーディングシステムを使用する特定のタイプの誤り訂正コードである。特に、ギャラガーコード（Gallager code）は、正則LDPCコードの早期の例である。LDPCコードは、そのパリティチェック行列Hの大部分の要素が「0」に設定された、線形ブロックコードである。

【0059】

[0073] LDPCコードは、（しばしば「タナーグラフ（Tanner graph）」と呼ばれる）2部グラフ（bipartite graph）によって表されることができ、ここにおいて、変数ノードのセットが、コードワードのビット（例えば、情報ビットまたはシステムティックビット）に対応し、チェックノードのセットが、コードを定義するパリティチェック制約のセットに対応する。グラフ中のエッジが、変数ノードをチェックノードに接続する。従って、グラフのノードは、2つの特徴的なセット、変数ノードとチェックノードとに分離され、エッジが2つの異なるタイプのノードを接続する。

【0060】

[0074] プロトグラフとして知られていることもある2部ベースグラフ（G）をZ回複製することによって、リフトされたグラフ（lifted graph）が生成される。変数ノードおよびチェックノードは、それらがグラフ中で「エッジ」（すなわち、変数ノードとチェックノードとを接続する線）によって接続された場合、「ネイバー（neighbor）」と見なされ得る。さらに、2部ベースグラフ（G）の各エッジ（e）について、GのZ個の複製を相互接続するために、置換がエッジ（e）のZ個の複製に適用される。変数ノードシーケンスとの1対1の関連を有するビットシーケンスは、各チェックノードについて、全てのネイバリング変数ノードに関連するビットが合計して0モジュロ2（zero modulo two）になる（すなわち、それらが偶数個の1を含む）場合、およびその場合のみ、有効なコードワードである。得られたLDPCコードは、使用される置換が巡回である場合、擬似巡回（QC）であり得る。

【0061】

[0075] 図4A～図4Bは、本開示のいくつかの態様による、例示的なLDPCコードのグラフィカル表現および行列表現を示す。例えば、図4Aは、例示的なLDPCコードを表す2部グラフ400を示す。2部グラフ400は、（正方形によって表された）4つのチェックノード420に接続された（円によって表された）5つの変数ノード410のセットを含む。グラフ400中のエッジ430は、変数ノード410をチェックノード4

20に接続する（変数ノード410をチェックノード420に接続する線によって表される）。このグラフは、 $|E| = 12$ 個のエッジによって接続された、 $|V| = 5$ つの変数ノードと $|C| = 4$ つのチェックノードとからなる。

【0062】

[0076] 2部グラフは、パリティチェック行列として知られていることもある、簡略化された隣接行列によって表され得る。図4Bは、2部グラフ400の行列表現450を示す。行列表現450は、パリティチェック行列Hとコードワードベクトルxとを含み、ここで、 $x_1 \sim x_5$ はコードワードxのビットを表す。パリティ行列Hは、受信された信号が正常に復号されたかどうかを決定するために使用される。パリティチェック行列Hは、j個のチェックノードに対応するC行と、i個の変数ノード（すなわち、復調されたシンボル）に対応するV列とを有し、ここで、行は式を表し、列はコードワードのビットを表す。図4Bにおいて、行列Hは、4つのチェックノードと5つの変数ノードとに丁重に対応する、4つの行と5つの列とを有する。j番目のチェックノードがエッジによってi番目の変数ノードに接続され、すなわち、それら2つのノードがネイバーである場合、パリティチェック行列Hのi番目の列およびj番目の行における要素中には1がある。すなわち、i番目の行とj番目の列との交点は、対応する頂点をエッジがつなぐ場合、「1」を含んでおり、対応する頂点をつなぐエッジがない場合、「0」を含んでいる。コードワードベクトルxは、 $Hx = 0$ である場合、およびその場合のみ（例えば、各制約ノードについて、（変数ノードとのそれらの関連を介して）制約に近接するビットが、合計して0モジュロ2になる場合、すなわち、それらが偶数個の1を備える場合）、有効なコードワードを表す。従って、コードワードが正しく受信された場合、 $Hx = 0 \pmod{2}$ である。コード化された受信された信号とパリティチェック行列Hとの積が、「0」になったとき、これは、誤りが生じなかったことを示す。パリティチェック行列は、C行×V列バイナリ行列である。行は式を表し、列はコードワードにおける桁を表す。

【0063】

[0077] 復調されたシンボルまたは変数ノードの数が、LDPCコード長である。行中の非0要素の数が、行重みdcとして定義される。列中の非0要素の数が、列重みdvとして定義される。

【0064】

[0078] ノードの次数は、そのノードに接続されたエッジの数を指す。この特徴は、図4Bに示されているH行列に示されており、ここで、変数ノード410に投じるエッジの数は、対応する列中の1の数に等しく、変数ノード次数d(v)と呼ばれる。同様に、チェックノード420と接続されたエッジの数は、対応する行中の1の数に等しく、チェックノード次数d(c)と呼ばれる。

【0065】

[0079] 正則グラフまたはコードは、それについて、全ての変数ノードが同じ次数jを有し、全ての制約ノードが同じ次数kを有するものである。この場合、コードは、(j, k)正則コードと呼ばれることがある。一方、非正則コードは、異なる次数の制約ノードおよび／または変数ノードを有する。例えば、いくつかの変数ノードは次数4のものであり、他の変数ノードは次数3のものであり、さらに他の変数ノードは次数2のものであり得る。

【0066】

[0080] 「リフティング」は、大きいLDPCコードに一般に関連する複雑さをも低減しながら、並列符号化および／または復号実施形態を使用して、LDPCコードが実施されることを可能にする。リフティングは、比較的コンパクトな記述を依然として有しながら、LDPCデコーダの効率的な並列化を可能にするのを助ける。より詳細には、リフティングは、より小さいベースコードの複数の複製から比較的大きいLDPCコードを発生するための技法である。例えば、ベースグラフ（例えば、プロトグラフ）のZ個の並列複製を生成し、次いで、ベースグラフの各複製のエッジバンドルの置換を通して並列複製を相互接続することによって、リフトされたLDPCコードが発生され得る。ベースグラフ

10

20

30

40

50

は、コードの（マクロ）構造を定義し、ある数（K個）の情報ビット列とある数（N個）のコードビット列とからなる。ベースグラフをある数（Z）のリフトすることにより、KZの最終情報ブロック長を生じる。いくつかの情報ビットは、KZ未満の情報ブロック長を実現するために短く（0に設定）できる。

【0067】

[0081] 従って、より大きいグラフが、「複製および置換」動作によって取得でき、ここで、単一のリフトされたグラフを形成するために、ベースグラフの複数の複製が作られ、接続される。複数の複製のために、単一のベースエッジの複製のセットである同様のエッジが、ベースグラフよりもZ倍大きい連結グラフを形成するために置換および接続される。

10

【0068】

[0082] 図5は、図4Aのグラフの3つの複製を作る効果をグラフィカルに示す。3つの複製は、複製間で同様のエッジを置換することによって、相互接続され得る。置換が巡回置換に制限された場合、得られたグラフは、リフティングZ=3である擬似巡回LDPCに対応する。3つの複製がそこから作られた元のグラフは、本明細書においてベースグラフと呼ばれる。異なるサイズの導出されたグラフを取得するために、「複製および置換」動作をベースグラフに適用できる。

【0069】

[0083] リフトされたグラフの対応するパリティチェック行列は、ベースパリティチェック行列中の各エントリをZ×Z行列と置き換えることによって、ベースグラフのパリティチェック行列から構成できる。0エントリ（ベースエッジを有しないエントリ）は、0行列と置き換えられ、（ベースエッジを示す）1エントリは、Z×Z置換行列と置き換えられる。巡回リフティングの場合、置換は巡回置換である。

20

【0070】

[0084] また、巡回的にリフトされたLDPCコードは、バイナリ多項式モジュロ $x^Z + 1$ の環上のコードとして解釈できる。この解釈では、バイナリ多項式、 $(x) = b_0 + b_1x + b_2x^2 + \dots + b_{(Z-1)}x^{(Z-1)}$ が、ベースグラフ中の各変数ノードに関連し得る。バイナリベクトル $(b_0, b_1, b_2, \dots, b_{(Z-1)})$ は、リフトされたグラフ中のZ個の対応する変数ノード、すなわち、単一のベース変数ノードのZ個の複製に関連するビットに対応する。バイナリベクトルkによる巡回置換は、対応するバイナリ多項式を x^k で乗算することによって達成され、ここで、乗算はモジュロ $x^Z + 1$ が取られる。ベースグラフ中の次数dパリティチェックは、次のように書かれるネイバリングバイナリ多項式 $B_1(x), \dots, B_d(x)$ に関する線形制約として解釈でき、

30

【0071】

【数1】

$$x^{k_1} B_1(x) + x^{k_2} B_2(x) + \dots + x^{k_d} B_d(x) = 0$$

【0072】

、ここで、値、 $k_1, \dots, k_d$ は、対応するエッジに関連する巡回リフティング値である。

【0073】

40

[0085] この得られた式は、ベースグラフ中の単一の関連するパリティチェックに対応する、巡回的にリフトされたタナグラフ中のZ個のパリティチェックと等価である。従って、リフトされたグラフのためのパリティチェック行列は、1エントリが形式 x^k の単項式と置き換えられ、0エントリが0としてリフトされるが、この0はここで0バイナリ多項式モジュロ $x^Z + 1$ として解釈される、ベースグラフのための行列を使用して表されることができる。このような行列は、 x^k の代わりに値kを与えることによって書かれ得る。この場合、0多項式は、場合によって-1として表され、場合によって、 x^0 からそれを区別するために別の文字として表される。

【0074】

[0086] 一般に、パリティチェック行列の正方部分行列は、コードのパリティビットを

50

表す。相補列は、符号化時に、符号化されるべき情報ビットに等しく設定された、情報ビットに対応する。符号化は、パリティチェック式を満たすために上述の正方部分行列中の変数について解くことによって、達成され得る。パリティチェック行列Hは、2つの部分、MとNとに区分され得、ここで、Mは正方部分である。従って、符号化は、 $Mc = s = Nd$ を解くことに簡約し、ここで、cおよびdはxを備える。擬似巡回コード、または巡回的にリフトされたコードの場合、上記の代数は、バイナリ多項式モジュロ $x^Z + 1$ の環上にあるものとして解釈できる。擬似巡回である、 $1\ E\ E\ E\ 8\ 0\ 2\ .\ 1\ 1\ \text{LDPC}$ コードの場合、符号化部分行列Mは、図6に示されているように整数表現を有する。

【0075】

[0087] 受信されたLDPCコードワードが、元のコードワードの再構成されたバージョンを生成するために復号できる。誤りの不在下、または訂正可能な誤りの場合には、復号が符号化された元のデータユニットを復元するために使用できる。冗長ビットが、ビット誤りを検出および訂正するためにデコーダによって使用され得る。(1つまたは複数の)LDPCデコーダは、概して、反復的に、ローカル算出を行い、それらの結果を、2部グラフ400内でエッジに沿ってメッセージを交換することによってパスすることと、着信メッセージに基づいてノードにおける算出を行うことでこれらメッセージを更新することによって動作する。これらステップは、一般に、数回繰り返され得、メッセージパッシング(message passing)ステップと呼ばれることがある。例えば、グラフ400中の各変数ノード410は、最初に、通信チャネルからの観測によって決定された関連するビットの値の推定を示す「ソフトビット」(例えば、コードワードの受信されたビットを表す)を供給され得る。これらソフトビットを使用して、LDPCデコーダは、反復的に、メッセージまたはそのある部分をメモリから読み取ることと、更新されたメッセージまたはそのある部分をメモリに再び書き込むこととによって、メッセージを更新し得る。更新動作は、一般に、対応するLDPCコードのパリティチェック制約に基づく。リフトされたLDPCコードのための実施形態では、同様のエッジ上のメッセージが並列に処理されることが多い。

【0076】

[0088] 高速適用例のために設計されたLDPCコードは、しばしば、符号化および復号動作における高い並列性をサポートするために、大きいリフティングファクタと比較的小さいベースグラフとを用いた擬似巡回構成を使用する。より高いコードレート(例えば、メッセージ長とコードワード長との比)をもつLDPCコードは、比較的より少数のパリティチェックを有する傾向がある。ベースパリティチェックの数が、変数ノードの次数(例えば、変数ノードに接続されたエッジの数)よりも小さい場合、ベースグラフ中で、その変数ノードは、2つまたはそれ以上のエッジによって、ベースパリティチェックのうちの少なくとも1つに接続される(例えば、変数ノードは「ダブルエッジ」を有し得る)。または、ベースパリティチェックの数が、変数ノードの次数(例えば、変数ノードに接続されたエッジの数)よりも小さい場合、ベースグラフ中で、その変数ノードは、2つまたはそれ以上のエッジによって、ベースパリティチェックのうちの少なくとも1つに接続される。2つまたはそれ以上のエッジによってベース変数ノードとベースチェックノードとが接続されることは、一般に、並列ハードウェア実施のために望ましくない。例えば、そのようなダブルエッジは、同じメモリロケーションに対する複数の同時読取りおよび書込み動作を生じ得、それにより、データコヒーレンシ問題をもたらすことがある。ベースLDPCコード中のダブルエッジは、単一の並列パリティチェック更新中に、同じソフトビット値メモリロケーションの並列読取りを2回トリガし得る。従って、一般に、両方の更新を適切に組み込むように、メモリに再び書き込まれるソフトビット値を組み合わせるために、追加の回路が必要とされる。しかしながら、LDPCコード中のダブルエッジをなくすことが、この余分の複雑さを回避するのを助ける。

【0077】

[0089] 標準非正則LDPCコードアンサンブル(次数分布)の定義では、タナグラフ表現中の全てのエッジが、統計的に交換可能(interchangeable)であり得る。言い換え

10

20

30

40

50

れば、エッジの単一の統計的同値クラスが存在する。リフトされたLDPCコードのより詳細な議論が、例えば、Tom RichardsonおよびRuediger Urbankeによって、2008年3月17日に発行された、「Modern Coding Theory」と題する書籍で見つけられ得る。マルチエッジLDPCコードのために、エッジの複数の同値クラスが可能であり得る。標準非正則LDPCアンサンブル定義では、グラフ中のノード（変数と制約の両方）が、それらの次数、すなわちそれらが接続されたエッジの数によって指定されるが、マルチエッジタイプセッティングでは、エッジ次数がベクトルであり、それは、各エッジ同値クラス（タイプ）から、独立して、ノードに接続されたエッジの数を明記する。マルチエッジタイプアンサンブルは、有限数のエッジタイプからなる。制約ノードの次数タイプは、（非負）整数のベクトルであり、このベクトルのi番目のエントリは、そのようなノードに接続されたi番目のタイプのソケットの数を記録する。このベクトルは、エッジ次数と呼ばれることがある。変数ノードの次数タイプは2つの部分を有するが、次数タイプは（非負）整数のベクトルと見なされることができる。第1の部分は、受信された分布に関係し、受信された次数（received degree）と称されることになり、第2の部分は、エッジ次数を指定する。エッジ次数は、制約ノードの場合と同じ役割を果たす。エッジは、それらが同じタイプのソケットをペアリングするので、タイプ分けされる。ソケットが同様のタイプのソケットとペアリングしなければならないというこの制約は、マルチエッジタイプ概念を特徴づける。マルチエッジタイプ記述では、異なるノードタイプが、異なる受信された分布を有することができる（例えば、関連するビットが、異なるチャンネルを通過し得る）。

【0078】

[0090] 図7は、ワイヤレス送信のための符号化されたメッセージを与えるように構成され得る、無線周波数（RF）モデム700の部分704を示す。一例では、基地局（例えば、ノードB102および／または送信機システム210）（または逆経路上のワイヤレスノード）中のエンコーダ706が、送信のためのメッセージ702の情報ビットを受信する。メッセージ702は、受信デバイスを対象とするデータおよび／または符号化された音声または他のコンテンツを含み得る。エンコーダ706は、一般に、基地局または別のネットワークエンティティによって定義された構成に基づいて選択された、好適な変調およびコーディング方式（MCS）を使用してメッセージを符号化する。場合によっては、エンコーダ706が、例えば、本開示の態様に従って（例えば、図15に示されている動作1500を実施することによって）、メッセージを符号化し得る。次いで、エンコーダ706によって生成された符号化ビットストリーム708はマップ710に与えられ、マップ710は、Txシンボル712のシーケンスを発生し、Txシンボル712のシーケンスは、Txチェーン714によって変調され、増幅され、場合によっては処理され、アンテナ718を介した送信のためのRF信号716を生成する。

【0079】

[0091] 図8は、符号化されたメッセージ（例えば、上述されたようにLDPCコードを使用して符号化されたメッセージ）を含む、ワイヤレスに送信された信号を受信および復号するように構成され得る、RFモデム800の部分814を示す。様々な例において、信号を受信するモデム814は、ワイヤレスノード（例えば、ワイヤレスノード116、受信機システム250）において、基地局（例えば、ノードB102、送信機システム210）において、あるいは説明される機能を実行するための他の好適な装置または手段（例えば、ワイヤレスデバイス302）において存在し得る。アンテナ802は、ワイヤレスノード（例えば、ワイヤレスノード116、122、および／または受信機システム250）のためのRF信号816（例えば、RFチェーン700とRFチェーン800との間の有効チャンネルによって変更された、図7において生成されたRF信号716）を受信する。RFチェーン804は、RF信号816を処理および復調し、復調されたシンボル806のシーケンスをデマップ808に与え得、デマップ808は、符号化されたメッセージを表すビットストリーム（例えば、ソフトビットまたはスケーリングされたソフトビットと呼ばれることがあり、対数尤度比（log-likelihood ratio）によって表され得る

、一連の受信された値 r_j) 810 を生成する。

【0080】

[0092] 次いで、コーディング方式（例えば、LDPCコード）を使用して符号化されたビットストリームから m ビット情報ストリングを復号するために、デコーダ 812 が使用され得る。デコーダ 812 は、完全な並列アーキテクチャ、行並列アーキテクチャ、またはブロック並列アーキテクチャをもつ階層的 LDPC デコーダを備え得る。（1 つまたは複数の）LDPC デコーダは、概して、反復的に、ローカル算出を行い、それらの結果を、2 部グラフ 400 内でエッジに沿ってメッセージを交換することによってパスすることと、着信メッセージに基づいてノードにおける算出を行うことによってこれらメッセージを更新することによって動作する。これらステップは、一般に、数回繰り返され得、メッセージパッシングステップと呼ばれることがある。例えば、グラフ 400 中の各変数ノード 410 は、最初に、通信チャネルからの観測によって決定された関連するビットの値の推定を示す「ソフトビット」（例えば、コードワードの受信されたビット、 r_j を表す）を供給され得る。「ソフトビット」は、いくつかの態様において、 $\log$ （（ビットが 0 である確率）／（ビットが 1 である確率））として定義され得る対数尤度比（LLR）によって表され得る。これら LLR を使用して、LDPC デコーダは、反復的に、メッセージまたはそのある部分をメモリから読み取ることと、更新されたメッセージまたはそのある部分をメモリに再び書き込むこととによって、メッセージを更新し得る。更新動作は、一般に、対応する LDPC コードのパリティチェック制約に基づく。リフトされた LDPC コードのための実施形態では、同様のエッジ上のメッセージが、並列に処理されることが多い。本開示の態様によれば、これら復号技法に従って、デコーダ 812 は、基地局（例えば、ノード B102 および／または送信機システム 210）から送信されたデータ、符号化された音声および／または他のコンテンツを含んでいるメッセージ 702 を決定するために、LLR に基づいてビットストリーム 810 を復号し得る。デコーダは、以下で提示される本開示の態様に従って（例えば、図 14 に示されている動作 1400 を実施することによって）ビットストリーム 810 を復号し得る。

【0081】

例示的な LDPC デコーダアーキテクチャ

[0093] 低密度パリティチェック（LDPC）コーディングは、ワイヤレス通信、ストレージ、およびイーサネット（登録商標）などのいくつかの適用例において使用される、強力な誤り訂正コーディング技術である。LDPC は、例えば、上述され、図 4A に示されたように、2 部グラフ上にコードを設計することに基づく。LDPC 復号は、一般に、上述された、確率伝播（belief propagation）技法を使用して実施され、メッセージがグラフのエッジに沿ってパスされ、グラフ中のノードは、ソースシンボルに関する決定がここから行えるノードの周辺分布（marginal distribution）を算出する。擬似巡回（QC）コードは、ベース LDPC パリティチェック行列（PCM）が「リフト」される、構造化 LDPC コードの普及しているクラスである。例えば、「リフティング」は、各ベース PCM エントリを $Z \times Z$ 部分行列と置き換えることを伴う。 $Z \times Z$ 部分行列は、「0」ベース PCM エントリのための全て 0 の行列、または「1」ベース PCM エントリのための巡回的に回転される単位行列であることができる。QC LDPC コードは、図 8 に示されたデコーダなど、デコーダが、メッセージを交換するためにネットワークを切り替えて、 Z 回処理することを再現することを可能にすることによって、ハードウェアにおける並列処理を可能にする。

【0082】

[0094] LDPC デコーダは、しばしば、確率伝播（BP）アルゴリズムの極めて近似したメッセージパッシングアルゴリズムを実施する。LDPC 復号のための対数 BP アルゴリズムは、以下のように書かれ得、

【0083】

【数 2】

$$A_{mj} = \sum_{\substack{n \in N(m) \\ n \neq j}} \Psi(L(q_{mn})) \quad (\text{式1})$$

$$s_{mj} = \prod_{\substack{n \in N(m) \\ n \neq j}} \text{Sign}(L(q_{mn})) \quad (\text{式2})$$

$$R_{mj} = s_{mj} \Psi(A_{mj}) \quad (\text{式3})$$

$$L(q_j) = \sum_{m \in M(j)} R_{mj} + R_j \quad (\text{式4})$$

10

$$L(q_{mj}) = L(q_j) - R_{mj} \quad (\text{式5})$$

【0084】

ここで、 $L(c)$ は、

【0085】

【数 3】

$$L(c) = \log \frac{\text{確率 } C=0}{\text{確率 } C=1}$$

【0086】

と定義されたバイナリ変数 c に関連する対数尤度比 (LLR) であり、ここで、確率は、
アルゴリズムが進むにつれて拡張する、メッセージパッシングアルゴリズムに暗に含まれたある情報を条件とする。関数 Ψ は、

20

【0087】

【数 4】

$$\Psi(x) = \log \coth\left(\left|\frac{x}{2}\right|\right)$$

【0088】

によって与えられる。インデックス m は、概して、バイナリパリティチェックノードまたはバイナリPCM行インデックスを示し、 j および n は、概して、ビットノードまたはPCM列を示しであり、インデックス q_j は、変数ノード j 、等価的に j 番目のバイナリPCM列に関連するビット値を示し、 q_{mn} は、変数ノード n をチェックノード m に接続するエッジに関連するバイナリ値を示し、 $N(m)$ は、パリティチェックノード m に接続されたビットのための全てのビットインデックスのセットであり、 $M(j)$ は、ビット j に接続された全てのパリティチェックノードのための全てのパリティチェックノードインデックスのセットであり、 R_j は、ビット j の送信観測に関連するビット j のためのLLRである。例えば、AWGNチャネル上での標準BPSK送信では、

30

【0089】

【数 5】

$$R_j = \frac{2r_j}{\sigma^2}$$

40

【0090】

を有し、ここで、 r_j は受信された値であり、 σ^2 は、チャネルの加法的雑音の分散である。アルゴリズムは、 $L(q_{mj})$ を R_j に等しく設定することによって、初期化され得、所与の式の繰り返された評価によって進む。本開示の態様によれば、式1は、変換 Ψ を通して (ビット j のためのLLR以外の) パリティチェックノード m に接続された全てのビットのための着信ビットLLR $L(q_{mn})$ を合計する、ビット j のためのパリティチェックメトリック A_{mj} を算出する。この演算は、式3とともに、パリティチェック m に属する他のビットの観測に基づいて、ビット j のための事後LLR、 R_{mj} を算出する。式2は、着信ビットLLR $L(q_{mn})$ の符号に基づいて、事後LLR、 R_{mj} の符号、 s_{mj} を算出する。式4は、ビット j のためのデコーダからの事後LLR R_{mj} (すなわち、外因性L

50

L R) の全てを、チャネルからの事前 L L R R_j (すなわち、内因性 L L R) と組み合わせることによって、更新されたビット L L R、 $L(q_j)$ を計算する。式 5 は、次の反復における更新された事後および／または外因性 L L R R_{mj} の算出のために、ビット L L R $\text{sum } L(q_{mj})$ がパリティチェックノード m に再びパスされる前に、ビット L L R $\text{sum } L(q_j)$ からパリティチェックノード m のための外因性 L L R R_{mj} を減算する。「フラッディング (flooding)」 L D P C デコーダ反復の場合、ステップ 1 ~ 3 (すなわち、式 1 ~ 3 を算出すること) が、全てのパリティチェックノードに対して行われ、その後、全てのビット (変数) ノードが、ビット L L R $L(q_j)$ を更新するためにステップ 4 を行う (すなわち、式 4 を算出する)。

【0091】

10

[0095] 階層的 L D P C デコーダは、上記の式 1 ~ 5 と同様のステップを行うが、いくつかのわずかな変更がある。例えば、階層的対数 B P アルゴリズムは、以下のように書かれ得る。

【0092】

【数 6】

$$L(q_{mj}) = L(q_j) - R_{mj} \quad (\text{式6})$$

$$A_{mj} = \sum_{\substack{n \in N(m) \\ n \neq j}} \Psi(L(q_{mn})) \quad (\text{式7})$$

20

$$s_{mj} = \prod_{\substack{n \in N(m) \\ n \neq j}} \text{Sign}(L(q_{mn})) \quad (\text{式8})$$

$$R_{mj} = -s_{mj} \Psi(A_{mj}) \quad (\text{式9})$$

$$L(q_j) = L(q_{mj}) + R_{mj} \quad (\text{式10})$$

【0093】

[0096] 上記の階層的復号ステップ (すなわち、式 6 ~ 10) では、ビット L L R $L(q_j)$ が、チャネルビット L L R R_j を用いて初期化される。本開示のいくつかの態様によれば、階層的復号 (式 6 ~ 10) とフラッディング復号 (式 1 ~ 5) との間の主要な差が、階層的復号反復で、式 9 において特定のパリティチェックノード (PCM 行) について事後 L L R、 R_{mj} が計算されたとき、式 6 ~ 9 において次の行の事後 L L R R_{mj} を算出する前に式 10 において、新しい事後 L L R、 R_{mj} を用いてビット L L R $L(q_j)$ が直ちに更新されることである。これは、式 4 において事後 L L R、 R_{mj} を用いてビット L L R $L(q_j)$ の全てが更新される前に、PCM 行に対応する事後 L L R、 R_{mj} の全てが算出される (式 1 ~ 3 が、全ての m および j にわたってループする)、フラッディングデコーダとは対照的である。その結果、階層的復号は、更新された、事後 L L R、 R_{mj} の形式の情報が、フラッディングデコーダよりも速い確率伝播メッセージパッシングを通して伝搬することを可能にし、それにより、デコーダ収束がより速くなる。

30

【0094】

40

[0097] 図 9 は、図 8 に示されたデコーダ 812 の一例であり得る、一般的な階層的 L D P C デコーダ 900 の高レベルブロック図を示す。図示のように、階層的 L D P C デコーダは、ビット L L R (例えば、 $L(q_j)$) (すなわち、コードワードのビットごとに 1 つのビット L L R) を記憶するための L L R 記憶メモリ 902 を含み、ビット L L R は、チャネルビット L L R (例えば、

【0095】

【数 7】

$$\frac{-2r_j}{\sigma^2}$$

【0096】

50

）によって初期化され、チャンネルビット $L L R$ は、次には、事後 $L L R$ （例えば、 R_{mj} ）によって更新される。チャンネルビット $L L R$ または受信された $L L R$ は、ソフトビットまたはスケーリングされたソフトビットとしても知られており、受信された値 r_{-j} は、ソフトビットである。階層的 $L D P C$ デコーダ 900 は、事後 $L L R$ を算出し、 $L L R$ 記憶メモリ 902 中の記憶されたビット $L L R$ を更新するために並列に動作する、データ経路プロセッサ 904 を含む。階層的 $L D P C$ デコーダ 900 は、さらに、データ経路プロセッサ 904 によって算出された事後 $L L R$ を記憶するためのメトリック記憶メモリ 906 を含み、メモリ 902、906 とデータ経路プロセッサ 904 との間で $L L R$ （例えば、ビット $L L R$ および事後 $L L R$ ）をルーティングするための置換ネットワーク 908 を含む。

10

【0097】

[0098] 上記で論じられたように、階層的復号は、行のための事後 $L L R$ を算出するために、PCM 中のその行に沿って PCM 列（ビット $L L R$ ）を横断する。行のための事後 $L L R$ が算出された後、ビット $L L R$ はそれぞれ、それらの対応する事後 $L L R$ を用いて直ちに更新され、これは、それらが次の行のための事後 $L L R$ の算出に供給されるからである。更新されたビット $L L R$ の列インデックスが次の行に接続される場合、更新されたビット $L L R$ は、その次の行のための事後 $L L R$ 算出にパスされる。接続がない場合、更新されたビット $L L R$ は、 $L L R$ 記憶メモリ 902 に記憶できる。

【0098】

[0099] 図 10 は、上述されたように、パリティチェック行列（PCM）1000 中のビット $L L R$ と事後 $L L R$ とを算出／更新するためのこのプロセスの一例を示す。特に、PCM の各セルは、計算された、事後 $L L R$ を示す。例えば、図 10 に示されている PCM について、列 5 が、行 3 と行 4 の両方に接続される（例えば、1020 と標示された PCM エントリ（3，5）および 1022 と標示された PCM エントリ（4，5）が、非 0 である）ので、1002 と標示された行 3 のための事後 $L L R$ が算出されると、1010 と標示された列 5 のためのビット $L L R$ が、（例えば、上記からの式 10 を使用して）更新され、（例えば、上記からの式 6～9 を使用して）1006 と標示された行 4 のための事後 $L L R$ 算出において使用される。しかしながら、1024 と標示された（4，6）が空であることを仮定すれば、行 4 のための事後 $L L R$ 算出は列 6 を含まないので、1012 と標示された列 6 のためのビット $L L R$ が、（1002 と標示された）行 3 から算出された事後 $L L R$ を用いて更新されたとき、更新されたビット $L L R$ は、メモリ（例えば、 $L L R$ 記憶メモリ 902）に記憶される。1008 と標示された行 5 のための事後 $L L R$ が算出されているとき、列 6 のためのビット $L L R$ は、前の更新算出からパスされるのではなく、メモリ（例えば、 $L L R$ 記憶メモリ 902）から読み取られる。また、式 6 と式 10 とは両方とも、 $L L R$ 記憶メモリ 902 から読み取り、それに書き込むことができるので、書き込みおよび読取り競合が起こり得ることに留意されたい。そのような競合は、 $L L R$ 記憶メモリ 902 がただ単一読取りおよび単一書き込みポートを有する場合、処理パイプラインにおける遅延をもたらすことがある。

20

30

【0099】

[0100] 再帰的处理により導入される遅延もあることがあり、行（階層）のためのビット $L L R$ 更新が、次の階層のための事後 $L L R$ 処理にパスされ、次の階層について、算出された事後 $L L R$ は、ビット $L L R$ を更新するためにこの場合も使用される。例えば、非 0 処理パイプライン深度を仮定すれば、事後 $L L R$ 計算が完了できるようにビット $L L R$ 更新フェーズの間にギャップがあり得る。

40

【0100】

[0101] 例えば、図 11A は、事後 $L L R$ を算出し、事後 $L L R$ に基づいてビット $L L R$ を更新するための、この行単位処理（row-by-row processing）を示す、例示的な処理パイプライン 1100 を示す。図 11A に示されているように、パイプライン遅延（例えば、処理におけるギャップ）1102、1104、1106、および 1108 が、事後算出（例えば、式 6～9）とビット $L L R$ 更新ステップ（例えば、式 10）との間の相互依

50

存性をもつ再帰的処理により存在する。例えば、図 1 1 B 示された例示的な処理パイプライン 1 1 5 0 に示されているように、パイプライン遅延は、パイプライン深度並びにメモリ競合が増加するにつれて増大し、ここで、メモリ競合とともに 3 サイクルへのパイプライン深度の増加が、パイプライン遅延 1 1 5 2、1 1 5 4、1 1 5 6、および 1 1 5 8 により浪費された処理サイクルの数を増加することがわかる。従って、本開示の態様は、例えば、以下でより詳細に説明されるように、完全な行直交性または擬似行直交性をもつパリティチェック行列を使用することによって、LDPC 復号におけるパイプライン遅延を緩和するための技法を提示する。

【0101】

LDPC レート適合設計における行直交性

10

[0102] 階層的 LDPC デコーダは、例えば、上述されたように、しばしば、更新プロセスにおける遅延を有する。例えば、チェック階層的デコーダでは、変数ノードサムに対する更新（例えば、例えば式 6～9 を使用する、上述された事後算出）が、チェック階層更新（例えば、例えば式 10 を使用する、上述されたビット LLR 更新ステップ）の完了後に生じ、これら更新の組込みは、追加の処理ステップおよびメモリアクセスによってさらに遅延され得る。ベース LDPC コードのエッジ接続性が、変数ノードが 2 つの連続する階層に接続されるようなものである場合、デコーダ性能への悪影響の可能性はある。第 2 のそのような階層が処理されたとき、更新された変数ノードサムが、まだ利用可能でないことがあり、従って、前の階層処理からの潜在的利得は、その階層にとって利用可能でなく、その階層の性能に恩恵を与えない。場合によっては、更新された変数ノードサムのこの欠如が、追加の遅延を導入することによって迂回され得る。しかしながら、この追加の遅延は、デコーダの減速を生じ、潜在的に、全利用可能な反復の低減を介して性能を劣化させることがある。

20

【0102】

[0103] 場合によっては、LDPC コードの後続の階層が「直交」であるように制約でき、これは、後続の階層が共通のベース変数ノードを有しないことを意味する。しかしながら、そのような制約は、ベースグラフ構造に関する暗示された制約を通して性能を劣化させることがあり、これは、グラフの接続性を制限する。

【0103】

[0104] 5 G NR のための LDPC 設計は、一般に、レート適合であり、例えば、図 1 2 および図 1 2 A～図 1 2 H に示されているように、コードのレートを低下させるために使用されるハイブリッド自動再送要求 (HARQ) ビット階層が後に続く、構成の最初の数個の階層（例えば、約 6 つの階層または行）からなる、高レートコアグラフを有する。図 1 2 A～図 1 2 H は、図 1 2 に示されているように配列されたとき、パリティチェック行列を表すことに留意されたい。すなわち、図 1 2 A～図 1 2 D は、パリティチェック行列の行 1～2 3 を示し、図 1 2 E～図 1 2 H は、同じパリティチェック行列の行 2 4～5 0 を示す。

30

【0104】

[0105] 場合によっては、コアグラフにおける直交性を保証することが、実現可能でないことがある。5 G NR のための最近の LDPC 設計において、ベースグラフはしばしば、図 1 2 A～図 1 2 E 中の行列 1 2 0 0 中の列 1 2 1 0 および列 1 2 1 2 に示されているように、パンクチャされた 2 つの比較的高い次数のパンクチャされた変数ノード（例えば、列 1 および列 2）を含んでいる。グラフの接続性の最適化は、通常、特に、比較的高いレートの送信において使用するために設計された最初の HARQ パリティ階層において、それらノードのための高い接続性（多くのエッジ）を生じる。このことは、「擬似直交性」の概念につながり、これは、後続の階層にわたって繰り返し接続され得る高次数のパンクチャされたノード（および、場合によっては、これら 2 つのノードから形成されたコアパリティビット）上は除いて、後続の階層（例えば、コアベースグラフ階層に後続する）が直交することを意味する。大部分のデコーダ実施形態が、その場合、高次数のパンクチャされた変数ノードのための遅延された更新による劣化を和らげることになる。

40

50

【0105】

[0106] 本開示の態様によれば、図12A～図12Hは、擬似行直交するリフトされたパリティチェック行列1200の一例を示す。例えば、各行は、ラベルを表す最初の3つの分画された行1202、1204、および1206（図12A～図12D参照）を除いて、階層を表し得る。第1の（最上）行1202は、行列の列を列挙するラベルを含んでいる。第2の行1204は、符号化インジケータであるラベルを含んでおり、ここで、1はシステマティック（情報）列を示し、0はパリティ列を示す。第3の行1206は、送信インジケータであるラベルを含んでおり、ここで、0はパンクチャリング（すなわち、送信なし）を示し、1は送信を示す。

【0106】

[0107] 本開示の態様によれば、図12A～図12Hに示されているパリティチェック行列の最初の2つの列1210および列1212（図12Aおよび図12E参照）は、高次数のパンクチャされた変数ノードを表し、1214と標示された列23（図12Bおよび図12F参照）は、2つのパンクチャされた列から形成された特殊なパリティビットを表す。グラフのコア部分は、最初の6つの行（階層）からなり、HARQ行は、1220と標示された7番目の行（図12A～図12D参照）から始まり、下に向かう。7番目の行から下において、1210、1212、および1214と標示された列1、列2、および列23以外の列は、空でないエントリを2つの連続する行中に有しないことに留意されたい。従って、図12および図12A～図12Hに示されているパリティチェック行列は、擬似行直交する。

【0107】

[0108] HARQ階層が追加され、対応する送信レートが低下するにつれて、これらノードの接続性は緩和され得る。しばしば、階層が増加し、ターゲットコードレートが減少するような、あるポイントを越えて、パンクチャされたノードの接続性の密度が減少する。特に、パンクチャされたノードのうちの多くとも1つが、典型的に各階層と接続されることになる。さらに、設計が、2つのパンクチャされたノードのほぼ平衡した接続性（nearly balanced connectivity）を有する場合、これは、それらがそれぞれほぼ同じ数の階層に接続することを意味し、その場合、例えば、図13および図13A～図13Hに示されているように、それらの階層のための完全な直交性を達成することが可能である。

【0108】

[0109] 上述のように、図13A～図13Hは、図13に示されているように配列されたとき、パリティチェック行列1300が、14番目の行／階層1322の後に完全にペアで行直交すること（図13A～図13D参照）を除いて、図12A～図12Hに示されているパリティチェック行列1200と同様のパリティチェック行列1300を示す。例えば、図示のように、行／階層14は、パンクチャされた変数ノードの両方（1310および1312と標示された、列1および列2）が接続される最後の階層である。全ての後続の行（階層）は、ペアで完全に直交する。例えば、図示のように、1322と標示された行14の後の2つの連続する行は、同じ列中の行列中のエントリを有せず、従って、行14の後の行を完全にペアで互いに直交させる。高次数のパンクチャされた変数ノードが交互に接続され、従って、行が完全に直交することを可能にすることに留意されたい。

【0109】

[0110] 本開示の態様によれば、図13A～図13Hに示されているパリティチェック行列を使用することが、例えば、パリティチェック行列の行を復号するプロセスにおいて最新の変数チェックサムが使用されることを可能にすることによって、デコーダ性能を高める。例えば、変数ノードが2つの連続する階層に接続されていないので、デコーダは、別の行を処理するために更新された変数チェックサムが必要とされる前に、更新された変数チェックサムを算出するための時間を有する。

【0110】

[0111] 従って、本開示の態様は、例えば、2つのパンクチャされたベース変数ノードが両方ともその同じ階層に接続された最後の階層の下全ての階層のための完全な階層直

交性を維持することによって、（上で論じられた）復号プロセス中に追加の遅延を追加することに関連する性能劣化なしに、復号中に使用される更新された変数ノードサムの利用可能性を増加させるための技法を提案する。そのような制約（例えば、完全な行直交性）は、交互（alternating）構造を生じ得、交互構造において、例えば、図13および図13A～図13Hに示されているように（図13A～図13Hは、1つのパリティチェック行列1300を示し、図13A～図13Dがパリティチェック行列1300の行1～21を示し、図13E～図13Hがパリティチェック行列1300の行22～50を示すことに留意されたい）、2つのパンクチャされたノードは、後続の階層への接続性を交互に行い、全ての階層の約2/3（例えば、1/2以上）の直交性を生じることができる。

【0111】

10

[0112] 図14は、例えば、LDPC符号化されたビットを復号するときの処理遅延を低減するための、ワイヤレス通信のための例示的な動作1400を示す。いくつかの態様によれば、動作1400は、基地局（例えば、ノードB110および／または基地局210）、ユーザ機器（例えば、UE116および／またはUE250）、および／またはワイヤレスデバイス302など、ワイヤレス通信デバイスによって（例えば、ワイヤレス通信デバイス中の受信機およびデコーダ（例えば、デコーダ812）によって）行われ得る。

【0112】

[0113] 動作1400は、ブロック1402において、ワイヤレス通信デバイスが、LDPCコードワードに関連するソフトビットを受信することによって、開始する。例えば、UE116（例えば、UE116の受信機）が、基地局102からLDPCコードワードに関連するソフトビットを受信する。

20

【0113】

[0114] 1404において、ワイヤレス通信デバイスは、パリティチェック行列を使用してソフトビットのLDPC復号を行い、ここにおいて、パリティチェック行列の各行が、リフトされたLDPCコードのリフトされたパリティチェックに対応し、パリティチェック行列の少なくとも2つの列が、リフトされたLDPCコードのパンクチャされた変数ノードに対応し、パリティチェック行列は、少なくとも2つのパンクチャされた変数ノードが両方とも接続された行の下にある連続する行の各ペア間の行直交性を有する。上記からの例を続けると、UE116（例えば、UE116のデコーダ）は、パリティチェック行列（例えば、図13および図13A～図13Hに示されているパリティチェック行列1300）を使用して、ソフトビット（すなわち、ブロック1402において受信されたソフトビット）のLDPC復号を実施し、ここにおいて、パリティチェック行列の各行が、リフトされたLDPCコードのリフトされたパリティチェックに対応し、パリティチェック行列の少なくとも2つの列が、リフトされたLDPCコードのパンクチャされた変数ノードに対応し、パリティチェック行列は、少なくとも2つのパンクチャされた変数ノードが両方とも接続された行の下にある連続する行の各ペア間の行直交性を有する。

30

【0114】

[0115] 図15は、例えば、LDPC符号化を行うための、ワイヤレス通信のための例示的な動作1400を示す。いくつかの態様によれば、動作1500は、基地局（例えば、ノードB110および／または基地局210）、ユーザ機器（例えば、UE116および／またはUE250）、および／またはワイヤレスデバイス302など、ワイヤレス通信デバイスによって（例えば、ワイヤレス通信デバイス中の送信機およびエンコーダ（例えば、エンコーダ706）によって）行われ得る。

40

【0115】

[0116] 動作1500は、ブロック1502において、ワイヤレス通信デバイスがコードワードの情報ビットを取得することによって、開始する。例えば、UE116（例えば、UE116のエンコーダ）が、（例えば、UE上で動作しているアプリケーションから）コードワードの情報ビットを取得する。

【0116】

50

[0117] 1504において、ワイヤレス通信デバイスは、パリティチェック行列に従ってLDPCコードワードのパリティビットを算出するために情報ビットの符号化を行い、ここにおいて、パリティチェック行列の各行が、リフトされたLDPCコードのリフトされたパリティチェックに対応し、パリティチェック行列の少なくとも2つの列が、リフトされたLDPCコードのパンクチャされた変数ノードに対応し、パリティチェック行列は、少なくとも2つのパンクチャされた変数ノードが両方とも接続された行の下にある連続する行の各ペア間の行直交性を有する。上記からの例を続けると、UE116（例えば、UE116のエンコーダ）は、パリティチェック行列（例えば、図13および図13A～図13Hに示されているパリティチェック行列1300）に従って、情報ビット（すなわち、ブロック1502において取得された情報ビット）の符号化を行い、ここにおいて、

10

【0117】

[0118] 本明細書で開示される方法は、説明された方法を達成するための1つまたは複数のステップまたはアクションを備える。方法のステップおよび／またはアクションは、特許請求の範囲から逸脱することなく互いに交換され得る。言い換えれば、ステップまたはアクションの特定の順序が指定されていない限り、特定のステップおよび／またはアクションの順序および／または使用は、特許請求の範囲から逸脱することなく変更され得る。

20

【0118】

[0119] 本明細書で使用される「決定すること」という用語は、多種多様なアクションを包含する。例えば、「決定すること」は、計算すること、算出すること、処理すること、導出すること、調査すること、ルックアップすること（例えば、テーブル、データベースまたは別のデータ構造においてルックアップすること）、確認することなどを含み得る。また、「決定すること」は、受信すること（例えば、情報を受信すること）、アクセスすること（例えば、メモリ中のデータにアクセスすること）などを含み得る。また、「決定すること」は、解決すること、選択すること、選定すること、確立することなどを含み得る。

30

【0119】

[0120] 場合によっては、フレームを実際に送信するのでなく、デバイスが、送信のためにフレームを出力するためのインターフェースを有し得る。例えば、プロセッサは、バスインターフェースを介して、送信のためにRFフロントエンドにフレームを出力し得る。同様に、フレームを実際に受信するのでなく、デバイスが、別のデバイスから受信されたフレームを取得するためのインターフェースを有し得る。例えば、プロセッサは、バスインターフェースを介して、送信のためにRFフロントエンドからフレームを取得（または受信）し得る。

【0120】

40

[0121] 上述された方法の様々な動作は、対応する機能を行うことが可能な任意の好適な手段によって行われ得る。これら手段は、限定はしないが、回路、特定用途向け集積回路（ASIC）、またはプロセッサを含む、様々な（1つまたは複数の）ハードウェアおよび／またはソフトウェア構成要素および／またはモジュールを含み得る。概して、図に示されている動作がある場合、それら動作は、同様の番号をもつ対応するカウンターパートのミーンズプラスファンクション構成要素を有し得る。

【0121】

[0122] 例えば、算出するための手段、決定するための手段、利用するための手段、更新するための手段、読み取るための手段、行うための手段、および／または選択するための手段は、基地局210のプロセッサ230および／またはRXデータプロセッサ242

50

並びに／あるいはユーザ端末 250 のプロセッサ 270 および／または R X データプロセッサ 260 など、1 つまたは複数のプロセッサを含む処理システムを備え得る。さらに、記憶のための手段は、基地局 210 のメモリ 232 および／またはユーザ端末 250 のメモリ 272 など、メモリを備え得る。さらに、受信するための手段は、基地局 210 の受信機 222 および／またはアンテナ 224 並びに／あるいはユーザ端末 250 の受信機 254 および／またはアンテナ 252 など、受信機および／またはアンテナを備え得る。

【0122】

【0123】 本開示に関連して説明された様々な例示的な論理ブロック、モジュール、および回路は、汎用プロセッサ、デジタル信号プロセッサ (DSP)、特定用途向け集積回路 (ASIC)、フィールドプログラマブルゲートアレイ (FPGA) または他のプログラマブル論理デバイス (PLD)、個別ゲートまたはトランジスタ論理、個別ハードウェア構成要素、あるいは本明細書で説明された機能を行うように設計されたこれらの任意の組合せを用いて実施または行われ得る。汎用プロセッサはマイクロプロセッサであり得るが、代替として、プロセッサは、任意の市販のプロセッサ、コントローラ、マイクロコントローラ、または状態機械であり得る。プロセッサはまた、コンピューティングデバイスの組合せ、例えば、DSP とマイクロプロセッサとの組合せ、複数のマイクロプロセッサ、DSP コア と連携する 1 つまたは複数のマイクロプロセッサ、または任意の他のそのような構成として実施され得る。

【0123】

【0124】 ハードウェアで実施される場合、例示的なハードウェア構成はワイヤレスノード中に処理システムを備え得る。処理システムは、バスアーキテクチャを用いて実施され得る。バスは、処理システムの特定の適用例および全体的な設計制約に応じて、任意の数の相互接続バスおよびブリッジを含み得る。バスは、プロセッサと、機械可読媒体と、バスインターフェースとを含む様々な回路を互いにリンクし得る。バスインターフェースは、ネットワークアダプタを、特に、バスを介して処理システムに接続するために使用され得る。ネットワークアダプタは、PHY レイヤの信号処理機能を実施するために使用され得る。ワイヤレスノード (図 1 参照) の場合、ユーザインターフェース (例えば、キーパッド、ディスプレイ、マウス、ジョイスティックなど) もバスに接続され得る。バスはまた、タイミングソース、周辺機器、電圧調整器、電力管理回路など、様々な他の回路をリンクし得るが、これら回路は当技術分野でよく知られており、従ってこれ以上説明されない。プロセッサは、1 つまたは複数の汎用および／または専用プロセッサを用いて実施され得る。例としては、マイクロプロセッサ、マイクロコントローラ、DSP プロセッサ、およびソフトウェアを実行できる他の回路がある。当業者は、特定の適用例と、全体的なシステムに課される全体的な設計制約とに応じて、どのようにしたら処理システムについて説明された機能を最も良く実施し得るかを理解されよう。

【0124】

【0125】 ソフトウェアで実施される場合、機能は、1 つまたは複数の命令またはコードとしてコンピュータ可読媒体上に記憶されるか、あるいはコンピュータ可読媒体を介して送信され得る。ソフトウェアは、ソフトウェア、ファームウェア、ミドルウェア、マイクロコード、ハードウェア記述言語などの名称にかかわらず、命令、データ、またはこれらの任意の組合せを意味すると広く解釈されたい。コンピュータ可読媒体は、ある場所から別の場所へのコンピュータプログラムの転送を容易にする任意の媒体を含む、コンピュータ記憶媒体と通信媒体の両方を含む。プロセッサは、機械可読記憶媒体に記憶されたソフトウェアモジュールの実行を含む、バスおよび一般的な処理を管理することを担当し得る。コンピュータ可読記憶媒体は、プロセッサがその記憶媒体から情報を読み取ることができ、その記憶媒体に情報を書き込むことができるように、プロセッサに結合され得る。代替として、記憶媒体はプロセッサと一体であり得る。例として、機械可読媒体は、全てがバスインターフェースを介してプロセッサによってアクセスされ得る、伝送線路、データによって変調された搬送波、および／またはワイヤレスノードとは別個のその上に記憶された命令をもつコンピュータ可読記憶媒体を含み得る。代替的に、または追加として、機

械可読媒体またはその任意の部分は、キャッシュおよび／または汎用レジスタファイルがそうであり得るように、プロセッサに統合され得る。機械可読記憶媒体の例は、例として、RAM（ランダムアクセスメモリ）、フラッシュメモリ、ROM（読取り専用メモリ）、PROM（プログラマブル読取り専用メモリ）、EPROM（消去可能プログラマブル読取り専用メモリ）、EEPROM（登録商標）（電気消去可能プログラマブル読取り専用メモリ）、レジスタ、磁気ディスク、光ディスク、ハードドライブ、または他の好適な記憶媒体、あるいはこれらの任意の組合せを含み得る。機械可読媒体はコンピュータプログラム製品において実施され得る。

【0125】

[0126] ソフトウェアモジュールは、単一の命令、または多数の命令を備え得、いくつかの異なるコードセグメント上で、異なるプログラム間で、および複数の記憶媒体にわたって分散され得る。コンピュータ可読媒体はいくつかのソフトウェアモジュールを備え得る。ソフトウェアモジュールは、プロセッサなどの装置によって実行されたときに、処理システムに様々な機能を行わせる命令を含む。ソフトウェアモジュールは、送信モジュールと受信モジュールとを含み得る。各ソフトウェアモジュールは、単一の記憶デバイス中に常駐するか、または複数の記憶デバイスにわたって分散され得る。例として、トリガイベントが発生したとき、ソフトウェアモジュールがハードドライブからRAMにロードされ得る。ソフトウェアモジュールの実行中に、プロセッサは、アクセス速度を高めるために、命令のうちのいくつかをキャッシュにロードし得る。次いで、1つまたは複数のキャッシュラインが、プロセッサによる実行のために汎用レジスタファイルにロードされ得る。以下でソフトウェアモジュールの機能に言及する場合、そのような機能は、そのソフトウェアモジュールからの命令を実行したときにプロセッサによって実施されることが理解されよう。

【0126】

[0127] また、いかなる接続もコンピュータ可読媒体と適切に呼ばれる。例えば、ソフトウェアが、同軸ケーブル、光ファイバケーブル、ツイストペア、デジタル加入者回線(DSL)、または赤外線(IR)、無線、およびマイクロ波などのワイヤレス技術を使用して、ウェブサイト、サーバ、または他のリモートソースから送信される場合、同軸ケーブル、光ファイバケーブル、ツイストペア、DSL、または赤外線、無線、およびマイクロ波などのワイヤレス技術は、媒体の定義に含まれる。本明細書で使用されるディスク(disk)およびディスク(disc)は、コンパクトディスク(disc)(CD)、レーザーディスク(登録商標)(disc)、光ディスク(disc)、デジタル多用途ディスク(disc)(DVD)、フロッピー(登録商標)ディスク(disk)、およびBlu-ray(登録商標)ディスク(disc)を含み、ここで、ディスク(disk)は、通常、データを磁氣的に再生し、ディスク(disc)は、データをレーザーで光学的に再生する。従って、いくつかの態様では、コンピュータ可読媒体が非一時的コンピュータ可読媒体(例えば、有形媒体)を備え得る。さらに、他の態様では、コンピュータ可読媒体が一時的コンピュータ可読媒体(例えば、信号)を備え得る。上記の組合せもコンピュータ可読媒体の範囲内に含まれるべきである。

【0127】

[0128] 従って、いくつかの態様は、本明細書で提示された動作を行うためのコンピュータプログラム製品を備え得る。例えば、そのようなコンピュータプログラム製品は、本明細書で説明された動作を行うために1つまたは複数のプロセッサによって実行可能である命令をその上に記憶した(および／または符号化した)コンピュータ可読媒体を備え得る。

【0128】

[0129] さらに、本明細書で説明された方法および技法を行うためのモジュールおよび／または他の適切な手段は、適用可能な場合にワイヤレスノードおよび／または基地局によってダウンロードされ、並びに／あるいは他の方法で取得できることを諒解されたい。例えば、そのようなデバイスは、本明細書で説明された方法を行うための手段の転送を可

能にするためにサーバに結合できる。代替的に、本明細書で説明された様々な方法は、ワイヤレスノードおよび／または基地局が記憶手段（例えば、RAM、ROM、コンパクトディスク（CD）またはフロッピーディスクなどの物理記憶媒体など）をデバイスに結合するかまたは与えることで様々な方法を得られるように、記憶手段によって提供されることができる。その上、本明細書で説明された方法および技法をデバイスに提供するための任意の他の好適な技法が利用できる。

【0129】

[0130] 特許請求の範囲は、上記で示された厳密な構成および構成要素に限定されないことを理解されたい。上述された方法および装置の構成、動作および詳細において、特許請求の範囲から逸脱することなく、様々な改変、変更および変形が行われ得る。

10

以下に本願の出願当初の特許請求の範囲に記載された発明を付記する。

[C1] 低密度パリティチェック（LDPC）復号を行うための方法であって、前記方法が、LDPCコードワードに関連するソフトビットを受信することと、

パリティチェック行列を使用して前記ソフトビットのLDPC復号を行うこととを備え、ここにおいて、

前記パリティチェック行列の各行が、リフトされたLDPCコードのリフトされたパリティチェックに対応し、

前記パリティチェック行列の少なくとも2つの列が、前記リフトされたLDPCコードのパンクチャされた変数ノードに対応し、

前記パリティチェック行列は、少なくとも2つのパンクチャされた変数ノードが両方とも接続された行の下にある連続する行の各ペア間の行直交性を有する、方法。

20

[C2] 連続する行の各ペアにおいて、前記2つのパンクチャされた変数ノードが、後続の行への接続を交互に行う、C1に記載の方法。

[C3] 前記パリティチェック行列の連続する行の全てのペアの少なくとも1/2が、行直交性を有する、C1に記載の方法。

[C4] 連続する行の全てのペアの前記1/2が、前記パリティチェック行列の全ての行の最後の1/2を備え、ここにおいて、前記パリティチェック行列の全ての行の最後の1/2が、前記LDPCコードワードのハイブリッド自動再送要求（HARQ）情報に関連する行に対応する、C3に記載の方法。

30

[C5] 前記パリティチェック行列が、

最初のN個の行のコア部分と、

前記最初のN個の行の後のハイブリッド自動再送要求（HARQ）行とを備える、C1に記載の方法。

[C6] 前記少なくとも2つのパンクチャされた変数ノードが両方とも接続された前記行の下のある各行について、どの列も、2つの連続する行において空でないエントリを有しない、

C5に記載の方法。

[C7] ワイヤレス通信のための装置であって、

前記装置に、低密度パリティチェック（LDPC）コードワードに関連するソフトビットを受信させることと、

40

パリティチェック行列を使用して前記ソフトビットのLDPC復号を行うこととを行うように構成されたプロセッサと、ここにおいて、

前記パリティチェック行列の各行が、リフトされたLDPCコードのリフトされたパリティチェックに対応し、

前記パリティチェック行列の少なくとも2つの列が、前記リフトされたLDPCコードのパンクチャされた変数ノードに対応し、

前記パリティチェック行列は、少なくとも2つのパンクチャされた変数ノードが両方とも接続された行の下にある連続する行の各ペア間の行直交性を有する、

前記プロセッサに結合されたメモリと

50

を備える、装置。

[C 8] 連続する行の各ペアにおいて、前記 2 つのパンクチャされた変数ノードが、後続の行への接続を交互に行う、C 7 に記載の装置。

[C 9] 前記パリティチェック行列の連続する行の全てのペアの少なくとも 1 / 2 が、行直交性を有する、C 7 に記載の装置。

[C 10] 連続する行の全てのペアの前記 1 / 2 が、前記パリティチェック行列の全ての行の最後の 1 / 2 を備え、ここにおいて、前記パリティチェック行列の全ての行の最後の 1 / 2 が、前記 LDPC コードワードのハイブリッド自動再送要求 (HARQ) 情報に関連する行に対応する、C 9 に記載の装置。

[C 11] 前記パリティチェック行列が、

最初の N 個の行のコア部分と、

前記最初の N 個の行の後のハイブリッド自動再送要求 (HARQ) 行とを備える、C 7 に記載の装置。

[C 12] 前記少なくとも 2 つのパンクチャされた変数ノードが両方ともここにおいて接続された前記行の下の各行について、どの列も、2 つの連続する行において空でないエントリを有しない、

C 11 に記載の装置。

[C 13] 低密度パリティチェック (LDPC) 復号を行うための装置であって、前記装置が、LDPC コードワードに関連するソフトビットを受信するための手段と、

パリティチェック行列を使用して前記ソフトビットの LDPC 復号を行うための手段とを備え、ここにおいて、

前記パリティチェック行列の各行が、リフトされた LDPC コードのリフトされたパリティチェックに対応し、

前記パリティチェック行列の少なくとも 2 つの列が、前記リフトされた LDPC コードのパンクチャされた変数ノードに対応し、

前記パリティチェック行列は、少なくとも 2 つのパンクチャされた変数ノードが両方とも接続された行の下にある連続する行の各ペア間の行直交性を有する、装置。

[C 14] 連続する行の各ペアにおいて、前記 2 つのパンクチャされた変数ノードが、後続の行への接続を交互に行う、C 13 に記載の装置。

[C 15] 前記パリティチェック行列の連続する行の全てのペアの少なくとも 1 / 2 が、行直交性を有する、C 13 に記載の装置。

[C 16] 連続する行の全てのペアの前記 1 / 2 が、前記パリティチェック行列の全ての行の最後の 2 / 3 を備え、ここにおいて、前記パリティチェック行列の全ての行の最後の 1 / 2 が、前記 LDPC コードワードのハイブリッド自動再送要求 (HARQ) 情報に関連する行に対応する、C 15 に記載の装置。

[C 17] 前記パリティチェック行列が、

最初の N 個の行のコア部分と、

前記最初の N 個の行の後のハイブリッド自動再送要求 (HARQ) 行とを備える、C 13 に記載の装置。

[C 18] 前記少なくとも 2 つのパンクチャされた変数ノードが両方ともここにおいて接続された前記行の下の各行について、どの列も、2 つの連続する行において空でないエントリを有しない、

C 17 に記載の装置。

[C 19] 低密度パリティチェック (LDPC) 復号を行うためのコンピュータ可読媒体であって、少なくとも 1 つのプロセッサによって実行されたとき、前記少なくとも 1 つのプロセッサに、

LDPC コードワードに関連するソフトビットを受信することと、

パリティチェック行列を使用して前記ソフトビットの LDPC 復号を行うこととを備える動作を行わせる命令を備え、ここにおいて、

10

20

30

40

50

前記パリティチェック行列の各行が、リフトされたLDPCコードのリフトされたパリティチェックに対応し、

前記パリティチェック行列の少なくとも2つの列が、前記リフトされたLDPCコードのパンクチャされた変数ノードに対応し、

前記パリティチェック行列は、少なくとも2つのパンクチャされた変数ノードが両方とも接続された行の下にある連続する行の各ペア間の行直交性を有する、コンピュータ可読媒体。

[C 2 0] 連続する行の各ペアにおいて、前記2つのパンクチャされた変数ノードが、後続の行への接続を交互に行う、C 1 9に記載のコンピュータ可読媒体。

[C 2 1] 前記パリティチェック行列の連続する行の全てのペアの少なくとも1 / 2が、行直交性を有する、C 1 9に記載のコンピュータ可読媒体。

[C 2 2] 連続する行の全てのペアの前記1 / 2が、前記パリティチェック行列の全ての階層の最後の1 / 2を備え、ここにおいて、前記パリティチェック行列の全ての行の最後の1 / 2が、前記LDPCコードワードのハイブリッド自動再送要求(HARQ)情報に関連する行に対応する、C 2 1に記載のコンピュータ可読媒体。

[C 2 3] 前記パリティチェック行列が、

最初のN個の行のコア部分と、

前記最初のN個の行の後のハイブリッド自動再送要求(HARQ)行とを備える、C 1 9に記載のコンピュータ可読媒体。

[C 2 4] 前記少なくとも2つのパンクチャされた変数ノードがここにおいて同じ行に接続された前記行の下のある各行について、どの列も、2つの連続する行において空でないエントリを有しない、

C 2 3に記載のコンピュータ可読媒体。

[C 2 5] 低密度パリティチェック(LDPC)符号化を行うための方法であって、前記方法が、コードワードの情報ビットを取得することと、

パリティチェック行列に従ってLDPCコードワードのパリティビットを算出するために前記情報ビットの符号化を行うこととを備え、ここにおいて、

前記パリティチェック行列の各行が、リフトされたLDPCコードのリフトされたパリティチェックに対応し、

前記パリティチェック行列の少なくとも2つの列が、前記リフトされたLDPCコードのパンクチャされた変数ノードに対応し、

前記パリティチェック行列は、少なくとも2つのパンクチャされた変数ノードが両方とも接続された行の下にある連続する行の各ペア間の行直交性を有する、方法。

[C 2 6] 連続する行の各ペアにおいて、前記2つのパンクチャされた変数ノードが、後続の行への接続を交互に行う、C 2 5に記載の方法。

[C 2 7] 前記パリティチェック行列の連続する行の全てのペアの少なくとも1 / 2が、行直交性を有する、C 2 5に記載の方法。

[C 2 8] 連続する行の全てのペアの前記1 / 2が、前記パリティチェック行列の全ての行の最後の1 / 2を備え、ここにおいて、前記パリティチェック行列の全ての行の最後の1 / 2が、前記LDPCコードワードのハイブリッド自動再送要求(HARQ)情報に関連する行に対応する、C 2 7に記載の方法。

[C 2 9] 前記パリティチェック行列が、

最初のN個の行のコア部分と、

前記最初のN個の行の後のハイブリッド自動再送要求(HARQ)行とを備える、C 2 5に記載の方法。

[C 3 0] 前記少なくとも2つのパンクチャされた変数ノードが両方とも接続された前記行の下のある各行について、どの列も、2つの連続する行において空でないエントリを有しない、

10

20

30

40

50

C 2 9 に記載の方法。

[C 3 1] ワイヤレス通信のための装置であって、

コードワードの情報ビットを取得することと、

パリティチェック行列に従ってLDPCコードワードのパリティビットを算出するために前記情報ビットの符号化を行うことと

をするように構成されたプロセッサと、ここにおいて、

前記パリティチェック行列の各行が、リフトされたLDPCコードのリフトされたパリティチェックに対応し、

前記パリティチェック行列の少なくとも2つの列が、前記リフトされたLDPCコードのパンクチャされた変数ノードに対応し、

前記パリティチェック行列は、少なくとも2つのパンクチャされた変数ノードが両方とも接続された行の下にある連続する行の各ペア間の行直交性を有する、

前記プロセッサに結合されたメモリと

を備える、装置。

[C 3 2] 連続する行の各ペアにおいて、前記2つのパンクチャされた変数ノードが、後続の行への接続を交互に行う、C 3 1 に記載の装置。

[C 3 3] 前記パリティチェック行列の連続する行の全てのペアの少なくとも1/2が、行直交性を有する、C 3 1 に記載の装置。

[C 3 4] 連続する行の全てのペアの前記1/2が、前記パリティチェック行列の全ての行の最後の1/2を備え、ここにおいて、前記パリティチェック行列の全ての行の最後の1/2が、前記LDPCコードワードのハイブリッド自動再送要求(HARQ)情報に関連する行に対応する、C 3 3 に記載の装置。

[C 3 5] 前記パリティチェック行列が、

最初のN個の行のコア部分と、

前記最初のN個の行の後のハイブリッド自動再送要求(HARQ)行とを備える、C 3 1 に記載の装置。

[C 3 6] 前記少なくとも2つのパンクチャされた変数ノードが両方ともここにおいて接続された前記行の下各行について、どの列も、2つの連続する行において空でないエントリを有しない、

C 3 5 に記載の装置。

[C 3 7] 低密度パリティチェック(LDPC)符号化を行うための装置であって、前記装置が、コードワードの情報ビットを取得するための手段と、

パリティチェック行列に従ってLDPCコードワードのパリティビットを算出するために前記情報ビットの符号化を行うための手段と

を備え、ここにおいて、

前記パリティチェック行列の各行が、リフトされたLDPCコードのリフトされたパリティチェックに対応し、

前記パリティチェック行列の少なくとも2つの列が、前記リフトされたLDPCコードのパンクチャされた変数ノードに対応し、

前記パリティチェック行列は、少なくとも2つのパンクチャされた変数ノードが両方とも接続された行の下にある連続する行の各ペア間の行直交性を有する、

装置。

[C 3 8] 連続する行の各ペアにおいて、前記2つのパンクチャされた変数ノードが、後続の行への接続を交互に行う、C 3 7 に記載のアパルタウス。

[C 3 9] 前記パリティチェック行列の連続する行の全てのペアの少なくとも1/2が、行直交性を有する、C 3 7 に記載の装置。

[C 4 0] 連続する行の全てのペアの前記1/2が、前記パリティチェック行列の全ての行の最後の2/3を備え、ここにおいて、前記パリティチェック行列の全ての行の最後の1/2が、前記LDPCコードワードのハイブリッド自動再送要求(HARQ)情報に関連する行に対応する、C 3 9 に記載の装置。

10

20

30

40

50

[C 4 1] 前記パリティチェック行列が、
最初のN個の行のコア部分と、

前記最初のN個の行の後のハイブリッド自動再送要求（H A R Q）行と
を備える、C 3 7に記載の装置。

[C 4 2] 前記少なくとも2つのパンクチャされた変数ノードが両方ともここにおいて接
続された前記行の下の各行について、どの列も、2つの連続する行において空でないエン
トリを有しない、

C 4 1に記載の装置。

[C 4 3] 低密度パリティチェック（L D P C）符号化を行うためのコンピュータ可読媒
体であって、少なくとも1つのプロセッサによって実行されたとき、前記少なくとも1つ
のプロセッサに、

コードワードの情報ビットを取得することと、
パリティチェック行列に従ってL D P Cコードワードのパリティビットを算出するため
に前記情報ビットの符号化を行うことと
をさせる命令を備え、ここにおいて、

前記パリティチェック行列の各行が、リフトされたL D P Cコードのリフトされたパ
リティチェックに対応し、

前記パリティチェック行列の少なくとも2つの列が、前記リフトされたL D P Cコー
ドのパンクチャされた変数ノードに対応し、

前記パリティチェック行列は、少なくとも2つのパンクチャされた変数ノードが両方
とも接続された行の下にある連続する行の各ペア間の行直交性を有する、
コンピュータ可読媒体。

[C 4 4] 連続する行の各ペアにおいて、前記2つのパンクチャされた変数ノードが、後
続の行への接続を交互に行う、C 4 3に記載のコンピュータ可読媒体。

[C 4 5] 前記パリティチェック行列の連続する行の全てのペアの少なくとも1／2が、
行直交性を有する、C 4 3に記載のコンピュータ可読媒体。

[C 4 6] 連続する行の全てのペアの前記1／2が、前記パリティチェック行列の全ての
階層の最後の1／2を備え、ここにおいて、前記パリティチェック行列の全ての行の最後
の1／2が、前記L D P Cコードワードのハイブリッド自動再送要求（H A R Q）情報に
関連する行に対応する、C 4 5に記載のコンピュータ可読媒体。

[C 4 7] 前記パリティチェック行列が、
最初のN個の行のコア部分と、

前記最初のN個の行の後のハイブリッド自動再送要求（H A R Q）行と
を備える、C 4 3に記載のコンピュータ可読媒体。

[C 4 8] 前記少なくとも2つのパンクチャされた変数ノードがここにおいて同じ行に接
続された前記行の下に各行について、どの列も、2つの連続する行において空でないエン
トリを有しない、

C 4 7に記載のコンピュータ可読媒体。

10

20

30

【図 1】

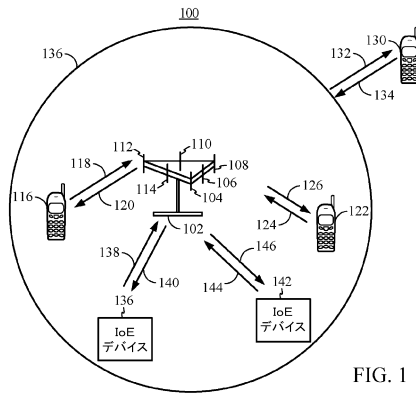


FIG. 1

【図 2】

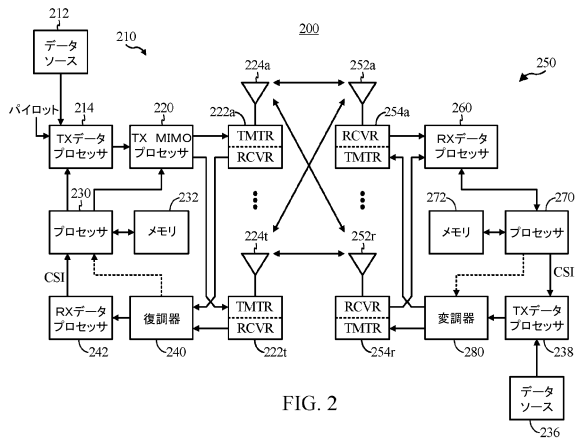


FIG. 2

【図 3】

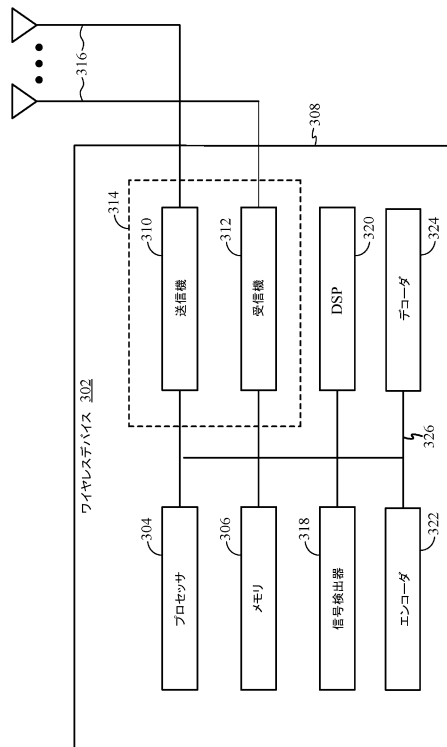


FIG. 3

【図 4 A】

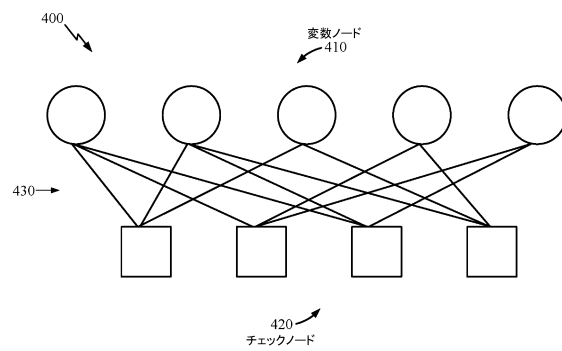


FIG. 4A

【図 4 B】



$$H = \begin{bmatrix} 1 & 1 & 1 & 0 & 0 \\ 1 & 0 & 0 & 1 & 1 \\ 1 & 1 & 0 & 0 & 1 \\ 0 & 1 & 1 & 1 & 0 \end{bmatrix} \quad x = \begin{bmatrix} x_1 \\ x_2 \\ x_3 \\ x_4 \\ x_5 \end{bmatrix}$$

FIG. 4B

【図 5】

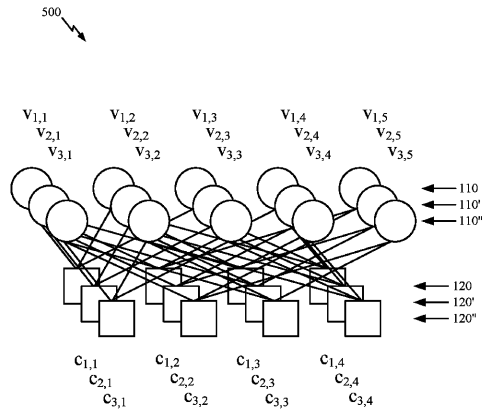


FIG. 5

【图 6】

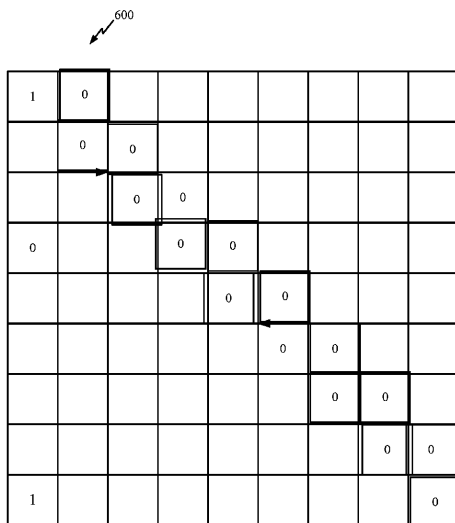


FIG. 6

【図 7】

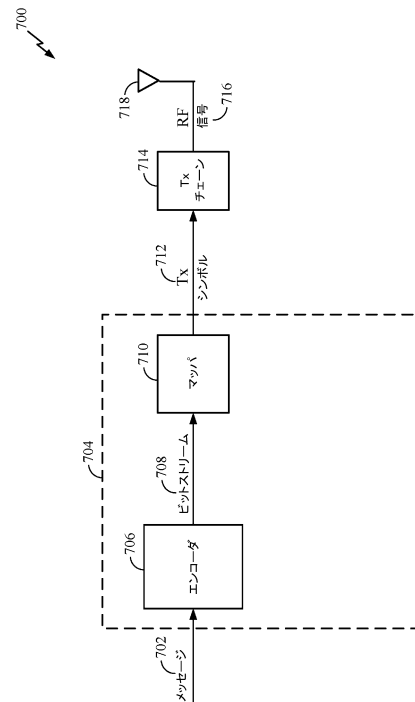


FIG. 7

【図 8】

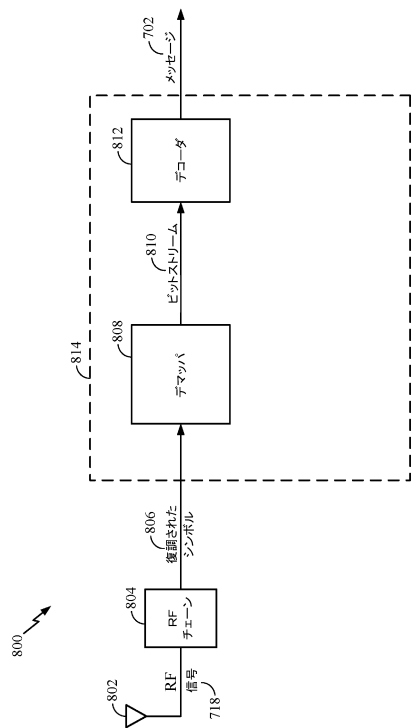


FIG. 8

【図 9】

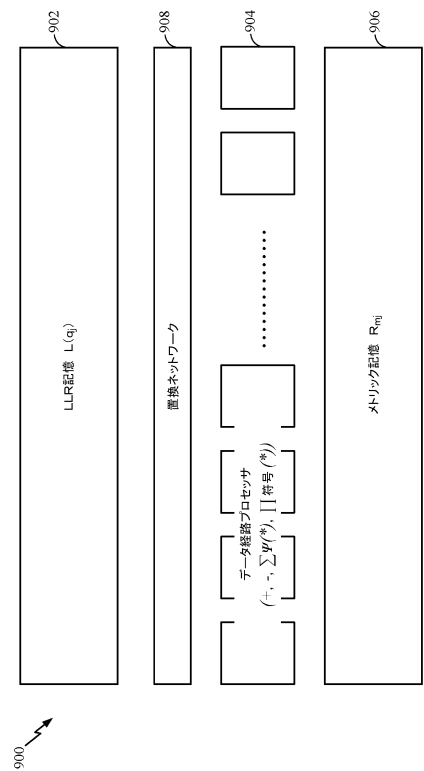


FIG. 9

【図 10】

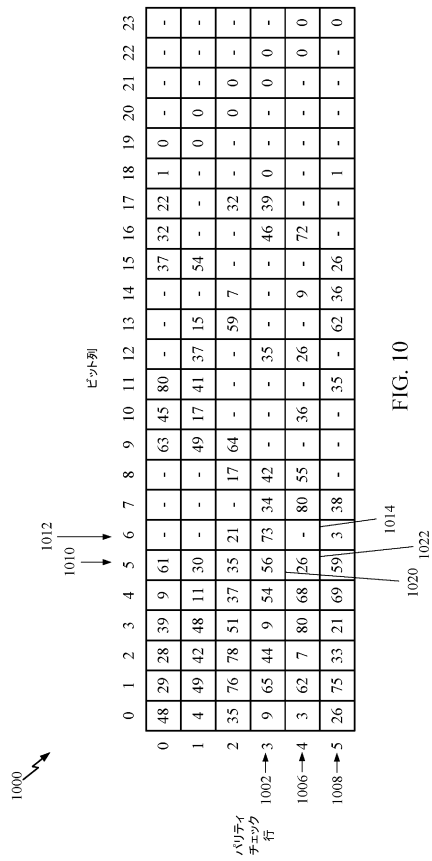
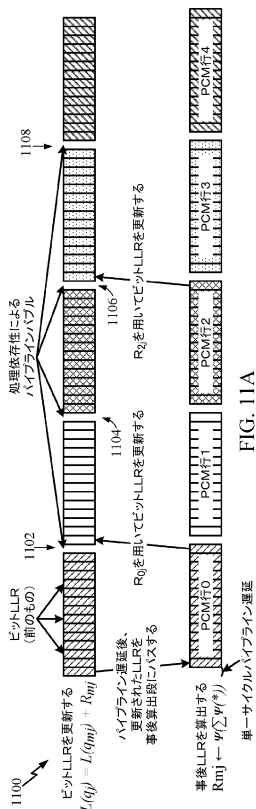
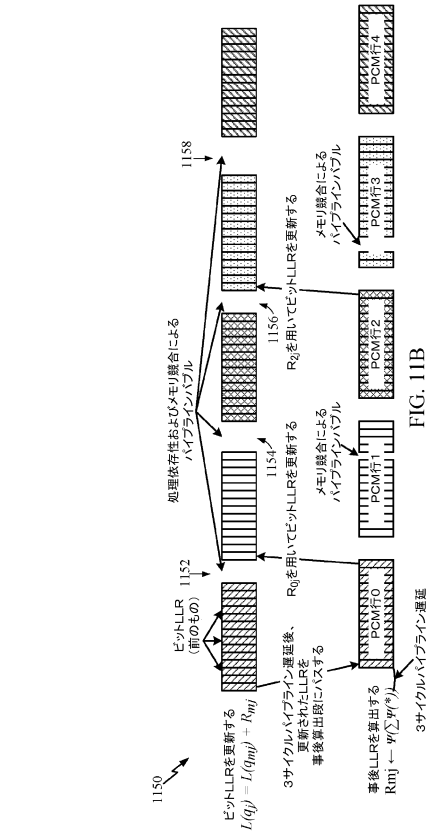


FIG. 10

【図 11 A】



【図 1 1 B】

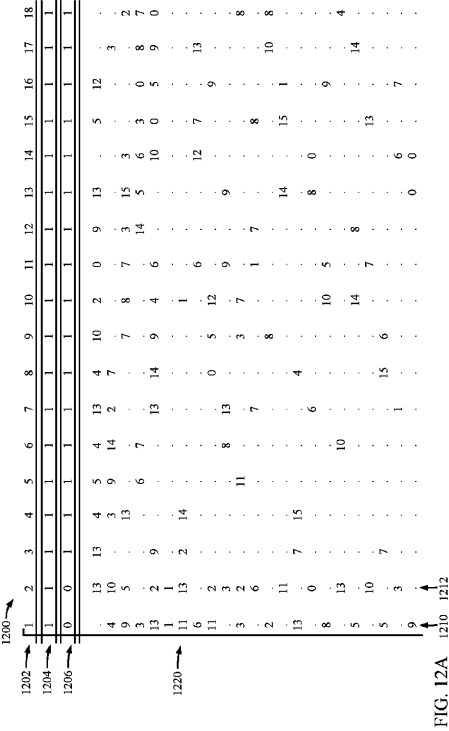


【図 1 2】

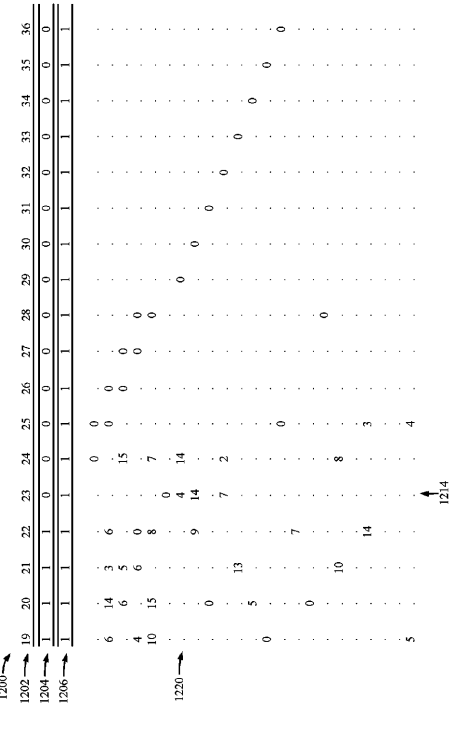
図12A	図12B	図12C	図12D
図12E	図12F	図12G	図12H

FIG. 12

【図 1 2 A】



【図 1 2 B】



【図 1 3 G】



【図 14】

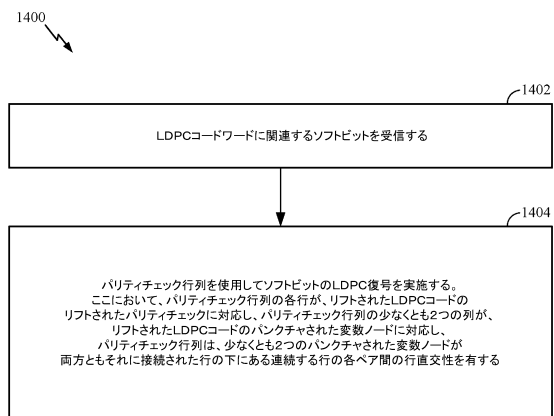


FIG. 14

【図 15】

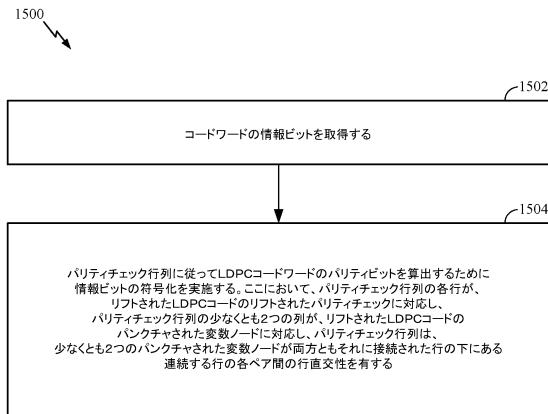


FIG. 15

フロントページの続き

早期審査対象出願

(72)発明者 リチャードソン、トーマス
アメリカ合衆国、カリフォルニア州 92121-1714、サン・ディエゴ、モアハウス・ド
ライブ 5775

審査官 吉江 一明

(56)参考文献 特表2016-510185 (JP, A)
欧州特許出願公開第02091171 (EP, A2)
Huawei, HiSilicon, LDPC design for eMBB data, 3GPP TSG RAN WG1 #88b R1-1704250, 201
7年 3月25日

(58)調査した分野(Int.Cl., DB名)
H03M 13/19
H04L 1/16
IEEE Explore