



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I573271 B

(45) 公告日：中華民國 106 (2017) 年 03 月 01 日

(21) 申請案號：102112845 (22) 申請日：中華民國 102 (2013) 年 04 月 11 日
 (51) Int. Cl. : H01L29/78 (2006.01) H01L29/40 (2006.01)
 (30) 優先權：2012/04/13 日本 2012-091539
 (71) 申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
 LABORATORY CO., LTD. (JP)
 日本
 (72) 發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；松林大介 MATSUBAYASHI, DAISUKE
 (JP)；村山佳右 MURAYAMA, KEISUKE (JP)
 (74) 代理人：林志剛
 (56) 參考文獻：
 US 2008/0296568A1 US 2010/0102313A1
 US 2011/0215318A1
 審查人員：王世賢
 申請專利範圍項數：8 項 圖式數：13 共 87 頁

(54) 名稱

半導體裝置

SEMICONDUCTOR DEVICE

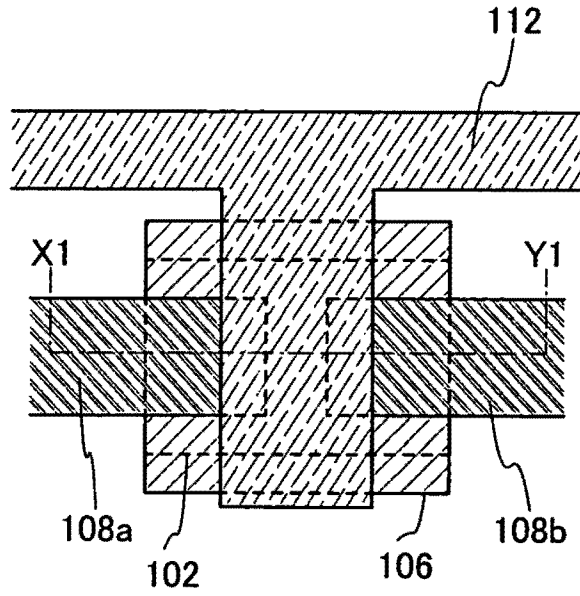
(57) 摘要

本發明的一個方式構成一種電晶體，該電晶體在第一閘極電極層與第二閘極電極層之間隔著絕緣層包括氧化物半導體疊層，在該氧化物半導體疊層中，通道形成區的厚度小於其他區域。另外，在上述電晶體中，閘極電極層中的一方用作用來控制臨界電壓的所謂背閘極。藉由控制施加到該背閘極的電位，可以控制電晶體的臨界電壓，由此容易將電晶體維持為常截止。

A transistor includes oxide semiconductor stacked layers between a first gate electrode layer and a second gate electrode layer through an insulating layer interposed between the first gate electrode layer and the oxide semiconductor stacked layers and an insulating layer interposed between the second gate electrode layer and the oxide semiconductor stacked layers. The thickness of a channel formation region is smaller than the other regions in the oxide semiconductor stacked layers. Further in this transistor, one of the gate electrode layers is provided as what is called a back gate for controlling the threshold voltage. Controlling the potential applied to the back gate enables control of the threshold voltage of the transistor, which makes it easy to maintain the normally-off characteristics of the transistor.

指定代表圖：

圖 1A



符號簡單說明：

102 . . . 閘極電極層

106 . . . 氧化物半導體疊層

108a . . . 源極電極層

108b . . . 汲極電極層

112 . . . 閘極電極層

發明摘要

※申請案號：102112845

※申請日：102年04月11日

※IPC分類：

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

H01L29/178

(2006.01)

H01L29/160

(2006.01)

● 【中文】

本發明的一個方式構成一種電晶體，該電晶體在第一閘極電極層與第二閘極電極層之間隔著絕緣層包括氧化物半導體疊層，在該氧化物半導體疊層中，通道形成區的厚度小於其他區域。另外，在上述電晶體中，閘極電極層中的一方用作用來控制臨界電壓的所謂背閘極。藉由控制施加到該背閘極的電位，可以控制電晶體的臨界電壓，由此容易將電晶體維持為常截止。

● 【英文】

A transistor includes oxide semiconductor stacked layers between a first gate electrode layer and a second gate electrode layer through an insulating layer interposed between the first gate electrode layer and the oxide semiconductor stacked layers and an insulating layer interposed between the second gate electrode layer and the oxide semiconductor stacked layers. The thickness of a channel formation region is smaller than the other regions in the oxide semiconductor stacked layers. Further in this transistor, one of the gate electrode layers is provided as what is called a back gate for controlling the threshold voltage. Controlling the potential applied to the back gate enables control of the threshold voltage of the transistor, which makes it easy to maintain the normally-off characteristics of the transistor.

【代表圖】

【本案指定代表圖】：第(1A)圖。

【本代表圖之符號簡單說明】：

102：閘極電極層

106：氧化物半導體疊層

108a：源極電極層

108b：汲極電極層

112：閘極電極層

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【技術領域】

本說明書所公開的發明係關於一種半導體裝置及其製造方法。

注意，本說明書等中的半導體裝置是指藉由利用半導體特性而能夠工作的所有裝置，因此電光裝置、發光顯示裝置、半導體電路以及電子裝置都是半導體裝置。

【先前技術】

使用形成在具有絕緣表面的基板上的半導體薄膜構成電晶體的技術受到關注。該電晶體被廣泛地應用於如積體電路（IC）及影像顯示裝置（有時簡稱為顯示裝置）等的半導體電子裝置。作為可以應用於電晶體的半導體薄膜，矽類半導體材料被廣泛地周知，而作為其他材料氧化物半導體受到注目。

例如，公開了作為氧化物半導體使用氧化鋅或 In-Ga-Zn 類氧化物來製造電晶體的技術（參照專利文獻 1 及專利文獻 2）。

[專利文獻 1]日本專利申請公開第 2007-123861 號公

報

[專利文獻 2]日本專利申請公開第 2007-96055 號公報
作為用於半導體裝置的電晶體，較佳的是，在閘極電壓為盡可能地接近於 0V 的正臨界電壓 (V_{th}) 的狀態下形成通道。由於臨界電壓值為負值的電晶體容易成為即使閘極電壓為 0V 也在源極和汲極之間電流流過的所謂常導通 (normally-on) 的電晶體，所以難以控制包括這種電晶體的電路。由此，臨界電壓值為負的電晶體不適用於用於半導體裝置的積體電路。

【發明內容】

本發明的一個方式的目的之一是提供如下電晶體結構及其製造方法，該電晶體為將氧化物半導體用於通道形成區的 n 通道型電晶體，並具有正臨界電壓而實現常截止 (normally-off) 的切換元件。

另外，重要的是，即使在因材料或製造條件而所製造的電晶體不成為常截止的情況下也使電晶體的特性接近於常截止。因此，本發明的一個方式的目的之一也是提供如下電晶體結構及其製造方法，即，即使在電晶體的特性為臨界電壓值是負的常導通的情況下也使電晶體的臨界值接近於 0。

注意，本發明的一個方式至少實現上述目的中的一個。

在本發明的一個方式中，電晶體在第一閘極電極層與

第二閘極電極層之間隔著絕緣層包括氧化物半導體疊層，並且在該氧化物半導體疊層中，通道形成區的厚度小於其他區域。另外，在上述電晶體中，閘極電極層中的一方用作用來控制臨界電壓的所謂背閘極。藉由控制施加到該背閘極的電位的高度，可以控制電晶體的臨界電壓，由此容易將電晶體維持為常截止。更明確地說，例如可以採用以下結構。

本發明的一個方式是一種半導體裝置，包括：絕緣表面上的第一閘極電極層；第一閘極電極層上的第一絕緣層；隔著第一絕緣層重疊於第一閘極電極層並包括第一氧化物半導體層及第二氧化物半導體層的氧化物半導體疊層；接觸於第二氧化物半導體層上的源極電極層及汲極電極層；接觸於氧化物半導體疊層的一部分、源極電極層及汲極電極層上的第二絕緣層；以及隔著第二絕緣層重疊於氧化物半導體疊層的第二閘極電極層，其中，在氧化物半導體疊層中，接觸於第二絕緣層的區域的厚度小於接觸於源極電極層及汲極電極層的區域的厚度。

另外，本發明的一個方式是一種半導體裝置，包括：絕緣表面上的第一閘極電極層；第一閘極電極層上的第一絕緣層；隔著第一絕緣層重疊於第一閘極電極層並包括第一氧化物半導體層及第二氧化物半導體層的氧化物半導體疊層；接觸於第二氧化物半導體層上的源極電極層及汲極電極層；接觸於氧化物半導體疊層的一部分、源極電極層及汲極電極層上的第二絕緣層；以及隔著第二絕緣層重疊

於氧化物半導體疊層的第二閘極電極層，其中，第一氧化物半導體層與第二氧化物半導體層的構成元素相同而其組成不同，並且，在氧化物半導體疊層中，接觸於第二絕緣層的區域的厚度小於接觸於源極電極層及汲極電極層的區域的厚度。

在上述半導體裝置中，較佳的是，第一氧化物半導體層至少包含銦及鎵，並且，在第一氧化物半導體層中，銦含量大於鎵含量。

另外，在上述半導體裝置中，較佳的是，第二氧化物半導體層至少包含銦及鎵，並且，在第二氧化物半導體層中，銦含量為鎵含量以下。

另外，在上述半導體裝置中，較佳的是，第一閘極電極層及第二閘極電極層中的至少一方使用具有 5 電子伏特以上的功函數的導電層，例如，較佳的是，設置使用含有氮的 In-Ga-Zn-O 膜的導電層。

至於所公開的發明的一個方式的上述結構的效果，可以如下所示那樣說明。注意，以下說明只不過是一個考察而已。

使用氧化物半導體的電晶體可以認為是使用作為多數載流子的電子的 Nch 積累型 MOSFET。在使用矽的 Nch 反轉型 MOSFET 中，藉由施加閘極電壓將反轉層形成在活性層（在此，矽）的表面附近，來形成通道。另一方面，在積累型 MOSFET 中，在導通狀態下，將電子積累在活性層（在此，氧化物半導體層）表面而形成電流流過

的通道。另外，藉由在截止狀態下施加負的閘極電壓，使整體膜完全空乏化。

積累型 MOSFET 與反轉型 MOSFET 的非常不同之處是：在積累型 MOSFET 中，作為通態電流（on-state current），除了流過表面（積累）的第一電流之外，還存在流過活性層的膜厚方向上的整個區域的第二電流。在此，將第一電流的臨界電壓稱為 V_{th_1} ，將第二電流的臨界電壓稱為 V_{th_2} 。在閘極電壓 V_g 低於第二電流的臨界電壓（ $V_g < V_{th_2}$ ）時，使活性層的膜厚方向上的整個區域空乏化（完全空乏化），而電晶體成為截止狀態。在增大閘極電壓 V_g 而使閘極電壓 V_g 高於第二電流的臨界電壓 V_{th_2} 且低於第一電流的臨界電壓 V_{th_1} （ $V_{th_2} < V_g < V_{th_1}$ ）時，空乏層寬度變小（部分空乏狀態），從背通道一側流過第二電流，而電晶體成為導通狀態。在進一步增大閘極電壓 V_g 而使閘極電壓 V_g 超過第一電流的臨界電壓（ $V_{th_1} < V_g$ ）時，空乏層消失，在活性層表面積累載流子（電子），而第一電流流過。

可以使用緩變通道近似（gradual channel approximation）將 Nch 積累型 MOSFET 的第二電流的臨界電壓 V_{th_2} 及第一電流的臨界電壓 V_{th_1} 表示為下述算式 1 及算式 2。

[算式 1]

$$\begin{aligned} V_{th_2} &= V_{FB} - \left(1 + 2 \frac{C_s}{C_{ox}}\right) \frac{eN_d t_s^2}{2\epsilon_s} \\ &= V_{FB} - \left(\frac{C_{ox}}{C_s} + 2\right) \frac{eN_d t_s}{2C_{ox}} \end{aligned}$$

[算式 2]

$$V_{th_1} = V_{FB}$$

注意， V_{FB} 示出平帶電壓， C_s 示出活性層的電容， C_{ox} 示出閘極絕緣層的電容， N_d 示出施體密度， t_s 示出活性層的厚度。

由上述算式 1 可知，藉由增大施體密度 (N_d) 及活性層的厚度 (t_s)，第二電流的臨界電壓 V_{th_2} 向負方向變動 (漂移)。另外，由算式 1 及算式 2 可知，爲了使 Nch 積累型 MOSFET 的臨界電壓 (V_{th_1} 及 V_{th_2}) 向正方向漂移，重要的是增大平帶電壓 (V_{FB})，即增大閘極電極層的功函數。

接著，藉由元件模擬計算應用氧化物半導體的電晶體的電特性的氧化物半導體層膜厚 (T_{os}) 及施體密度 (N_d) 依賴性。

圖 9 示出在計算上假設的電晶體的結構。此外，表 1 示出用於計算的條件。

如圖 9 所示，在本計算中使用一種電晶體 320，包

括：形成在厚度為 300nm 的絕緣層 302 上的氧化物半導體層 306；氧化物半導體層 306 上的源極電極層 308a 及汲極電極層 308b；覆蓋源極電極層 308a 及汲極電極層 308b 且其一部分接觸於氧化物半導體層 306 的閘極絕緣層 310；以及隔著閘極絕緣層 310 重疊於氧化物半導體層 306 的閘極電極層 112。

[表 1]

通道長度 (L) / 通道寬度 (W)		1/1 [um]
閘極絕緣層厚度 (Tox) / 介電常數 (ϵ)		10[nm]/22
氧化物半導體厚度 (Tos)		10, 20, 30, 40, 50 [nm]
源極電極層或汲極電極層的厚度/功函數		50[nm]/4.6[eV]
閘極電極層的功函數		5.0 [eV]
氧化物半導體層 的參數值	帶隙 (E_g)	3.15 [eV]
	電子親和力 (χ)	4.6 [eV]
	介電常數 (ϵ)	15
	電子遷移率 (μ_n)	20 [cm ² /Vs]
	電洞遷移率 (μ_p)	0.1 [cm ² /Vs]
	Nc	5E18 [cm ⁻³]
	Nv	5E18 [cm ⁻³]
施體密度 (Nd)		1E16, 1E17, 1E18 [cm ⁻³]

*不假設缺陷能階和穿隧電流

*在閘極絕緣層一側的介面沒有固定電荷

圖 10A 至圖 10C 示出藉由計算得到的 $I_d V_g$ 特性 ($V_d=0.1V$)。圖 10A 至圖 10C 示出假設氧化物半導體層含有的施體密度 (N_d) 為 $1 \times 10^{18} \text{cm}^{-3}$ (圖 10A)， $1 \times 10^{17} \text{cm}^{-3}$ (圖 10B)， $1 \times 10^{16} \text{cm}^{-3}$ (圖 10C) 的情況下的

電晶體特性。

如圖 10A 所示，在施體密度 (N_d) 高的情況下，在氧化物半導體層的厚度薄（例如，10nm）時得到良好的電特性，在氧化物半導體層的厚度厚時確認常導通化。

另一方面，如圖 10B 所示，當將施體密度 (N_d) 降低到 $1 \times 10^{17} \text{cm}^{-3}$ 時，伴隨氧化物半導體層的厚膜化的特性的負向漂移減小。另外，通態電流 (I_{on}) 不依賴於氧化物半導體層的厚度，保持大致固定的結果。此外，如圖 10C 所示，當將施體密度 (N_d) 還降低到 $1 \times 10^{16} \text{cm}^{-3}$ 時，幾乎確認不到伴隨氧化物半導體層的厚膜化的特性的負向漂移。

根據上述計算結果，可以確認到：為了實現電晶體的常截止化，重要的是氧化物半導體層的薄膜化和氧化物半導體層所包含的施體密度的減小。

本發明的一個方式所示的電晶體包括通道形成區的厚度比其他區域（例如，接觸於源極電極層及汲極電極層的区域）小的氧化物半導體疊層。由此，可以抑制電晶體的臨界電壓向負方向漂移。

接著，對確認到常導通化的電晶體的常導通化的原因進行考察。在本考察中，使用如圖 10A 所示的氧化物半導體層的厚度為 50nm 且施體密度為 $1 \times 10^{18} \text{cm}^{-3}$ 的電晶體。

如上所述，在積累型 MOSFET 中，作為通態電流存在有流過活性層表面（積累）的第一電流和流過活性層的膜厚方向上的整個區域的第二電流。另外，已知藉由進行 $I_d V_g$ 特性的二階微分，可以區分第一電流與第二電流。

圖 11A 是氧化物半導體層的厚度為 50nm，施體密度為 $1 \times 10^{18} \text{cm}^{-3}$ 的電晶體的 $I_d V_g$ 特性（實線）和對 $I_d V_g$ 特性進行二階微分（粗線）獲得的值的圖表。

如圖 11A 所示，對 $I_d V_g$ 特性進行二階微分而得到的線具有兩個峰值。由此，可以推測在將閘極電壓 V_g 從 -3V 向正方向掃描到第一峰值（ $V_g = -1.52$ (V)）時，第二電流開始流過，而在將其掃描到第二峰值（ $V_g = 0.30$ (V)）附近時，第一電流開始流過。該數值與將表 1 所示的參數值代入上述使用緩變通道近似的算式（1）及算式（2）而進行計算而獲得的結果（ $V_{th_2} = -1.56\text{V}$ ， $V_{th_1} = 0.36\text{V}$ ）大致一致。

由此，為了實現電晶體的常截止化，抑制在比第一電流低的閘極電壓下流過的第二電流是有效的。

圖 11B 示出各閘極電壓時的膜厚方向上的電流密度分佈。在施加 -3V 的閘極電壓 V_g 時，電晶體處於截止狀態，在通道區中電子被去除而成爲完全空乏狀態。在閘極電壓 V_g 大於 V_{th_2} 時，通道區成爲部分空乏狀態，在背通道一側第二電流開始流過。在閘極電壓 V_g 滿足 $V_{th_2} < V_g < V_{th_1}$ 時，大部分的通態電流是第二電流。在閘極電壓 V_g 大於 V_{th_1} 時，第二電流不增加而閘極絕緣層介面的電流密度增加，第二電流的電流密度比第一電流的電流密度小兩位元數左右。就是說，可知在電晶體處於導通狀態的情況下，大部分的通態電流是第一電流。

本發明的一個方式所示的電晶體夾著包括通道形成區

的氧化物半導體層而包括第一閘極電極層和第二閘極電極層，藉由對一方的閘極電極層施加偏壓，抑制在背通道一側產生第二電流。由此，可以使電晶體的臨界電壓向正方向變動。

另外，藉由作為閘極電極層使用功函數大（例如，5 電子伏特以上）的導電層，可以使臨界電壓進一步向正方向變動。作為功函數大的導電層，例如可以使用至少以大於氧化物半導體層的濃度含有氮的 In-Ga-Zn-O 膜。

此外，在閘極絕緣層（設置在閘極電極層與氧化物半導體層之間的絕緣層）包含鈉等正離子時，在對閘極電極層施加正偏壓的情況下，正離子移動到閘極絕緣層與氧化物半導體層的介面，這會成為電晶體的臨界電壓向負方向變動的原因。但是，藉由作為閘極電極層使用功函數大的材料，可以將氧化物半導體層與閘極絕緣層的介面中的正離子移動到閘極電極層一側。

圖 12 示出氧化物半導體層為 In-Ga-Zn-O 膜且閘極電極層為含有氮的 In-Ga-Zn-O 膜時的 OSFET 模型中的帶結構的示意圖的例子。在此，作為氧化物半導體層（圖 12 中的 OS）的 In-Ga-Zn-O 膜的電子親和力為 4.6 電子伏特，帶隙為 3.2 電子伏特，作為閘極電極層（圖 12 中的 GE）的包含氮的 In-Ga-Zn-O 膜的功函數為 5.6 電子伏特，帶隙為 1.8 電子伏特。另外，在圖 12 中，氧化物半導體層為 n 型，該氧化物半導體層的費米能階 E_F 位於比帶隙中央更偏向上一側。

如圖 12 所示，In-Ga-Zn-O 膜的能帶在與閘極絕緣層（圖 12 中的 GI）介面向上拐，而平帶電壓成爲 $V_{FB} > 0$ 。由此，在閘極絕緣層中從與氧化物半導體層的介面向與閘極電極層的介面產生電場，而與氧化物半導體層的介面帶正電，與閘極電極層的介面帶負電。因此，與氧化物半導體層的介面中的正離子移動到閘極電極層一側。

如上所述，藉由作爲閘極電極層使用功函數大的材料（例如，包含氮的 In-Ga-Zn-O 膜等），也有將氧化物半導體層介面中的正離子吸引到閘極電極層一側的效果。

根據本發明的一個方式，可以實現常截止的電晶體。或者，即使電晶體處於常導通狀態也可以使電晶體的臨界電壓接近於 0V。

【圖式簡單說明】

在圖式中：

圖 1A 和圖 1B 是示出半導體裝置的一個方式的平面圖及剖面圖；

圖 2A 至圖 2F 是示出半導體裝置的製造方法的一個例子的圖；

圖 3A 和圖 3B 是示出半導體裝置的一個方式的剖面圖及電路圖；

圖 4A 和圖 4B 是示出半導體裝置的一個方式的電路圖及透視圖；

圖 5A 至圖 5C 是說明半導體裝置的一個方式的方塊

圖及其一部分的電路圖；

圖 6A 至圖 6C 是說明電子裝置的圖；

圖 7A 至圖 7C 是說明電子裝置的圖；

圖 8A 至圖 8C 是說明電子裝置的圖；

圖 9 是示出用於計算的電晶體的結構的圖；

圖 10A 至圖 10C 是示出藉由計算得到的 $I_d V_g$ 特性的圖；

圖 11A 是示出 $I_d V_g$ 特性和對 $I_d V_g$ 特性進行二階微分來獲得的線的圖表，圖 11B 示出各閘極電壓時的膜厚方向上的電流密度分佈；

圖 12 是 OSFET 模型中的帶結構的示意圖；

圖 13A 至圖 13C 是示出半導體裝置的一個方式的剖面圖及電路圖。

【實施方式】

以下，參照圖式詳細地說明本發明的實施方式。但是，所屬技術領域的普通技術人員可以很容易地理解一個事實，就是本發明的方式及詳細內容可以被變換為各種各樣的形式而不侷限於以下說明。因此，本發明不應該被解釋為僅侷限在以下所示的實施方式所記載的內容中。

另外，在以下說明的本發明的結構中，在不同的圖式之間共同使用相同的元件符號來表示相同的部分或具有相同功能的部分，而省略其重複說明。另外，有時使用同一陰影線表示具有同樣功能的部分，而不特別附加符號。

注意，在本說明書所說明的各圖式中，各結構的大小、膜的厚度或區域有時爲了明確起見而被誇大。因此，本發明的實施方式不會受限於上述規模。

在本說明書等中，爲方便起見，附加了第一、第二等序數詞，而其並不表示製程順序或疊層順序。此外，其在本說明書等中不表示用來特定發明的事項的固有名稱。

在本說明書中，“平行”是指在從 -10° 以上且 10° 以下的範圍中兩個直線形成的角度，因此也包括 -5° 以上且 5° 以下的角度的情況。另外，“垂直”是指在 80° 以上且 100° 以下的範圍中兩個直線形成的角度，因此也包括 85° 以上且 95° 以下的角度的情況。

在本說明書中，六方晶系包括三方晶系和菱方晶系。

實施方式 1

在本實施方式中，參照圖 1A 至圖 2F 說明半導體裝置及半導體裝置的製造方法的一個方式。在本實施方式中示出作爲半導體裝置的一個例子的具有氧化物半導體疊層的電晶體。

圖 1A 及圖 1B 示出電晶體 120 的結構例。圖 1A 是電晶體 120 的平面圖，圖 1B 是沿著圖 1A 的虛線 X1-Y1 的剖面圖。

如通道長度方向上的剖面圖的圖 1B 所示，電晶體 120 在具有絕緣表面的基板 100 上包括：閘極電極層 102；絕緣層 104；包括氧化物半導體層 106a 及氧化物半

導體層 106b 的氧化物半導體疊層 106；源極電極層 108a；汲極電極層 108b；絕緣層 110；以及閘極電極層 112。

在電晶體 120 中，閘極電極層 102 隔著絕緣層 104 重疊於氧化物半導體疊層 106，閘極電極層 112 隔著絕緣層 110 重疊於氧化物半導體疊層 106。另外，氧化物半導體層 106b 以接觸於氧化物半導體層 106a 上的方式設置，源極電極層 108a 及汲極電極層 108b 接觸於氧化物半導體疊層 106 的氧化物半導體層 106b。此外，絕緣層 110 以接觸於氧化物半導體疊層 106 中的一部分、源極電極層 108a 及汲極電極層 108b 上的方式設置，並且，在氧化物半導體疊層 106 中，接觸於絕緣層 110 的區域的厚度小於接觸於源極電極層 108a 及汲極電極層 108b 的區域的厚度。

在氧化物半導體疊層 106 中，藉由在對成爲源極電極層 108a 及汲極電極層 108b 的導電膜進行加工時對其一部分進行蝕刻，或者藉由在形成源極電極層 108a 及汲極電極層 108b 之後對氧化物半導體疊層 106 的露出的區域進行蝕刻，來形成厚度小的區域。該區域是用作電晶體 120 的通道形成區的區域。在氧化物半導體疊層 106 中，由於通道形成區的厚度小，所以與其他區域相比可以降低該區域會包含的氧缺損。由此，藉由減小通道形成區厚度來可以降低通道形成區中的施體密度。

另外，藉由在氧化物半導體疊層 106 中減小通道形成

區的厚度，與通道形成區相比可以降低接觸於源極電極層 108a 及汲極電極層 108b 的區域的電阻。因此，可以降低與源極電極層 108a 及汲極電極層 108b 的接觸電阻。

如上所述，在應用氧化物半導體層的電晶體中，為了實現電晶體的常截止化，活性層的氧化物半導體層的薄膜化和所含有的施體密度的降低是重要的。由於本實施方式所示的電晶體 120 包括通道形成區的厚度小的氧化物半導體疊層 106，所以可以抑制電晶體的臨界電壓向負方向變動。

注意，在本實施方式中，例示如下情況：藉由對氧化物半導體疊層 106 中的氧化物半導體層 106b 的一部分區域進行蝕刻，在氧化物半導體疊層 106 中形成厚度小的區域。但是，本發明的實施方式不侷限於此，既可以藉由對氧化物半導體層 106a 的一部分區域進行蝕刻，形成厚度小的區域，又可以藉由對氧化物半導體層 106a 及氧化物半導體層 106b 的一部分區域進行蝕刻，形成厚度小的區域。

作為氧化物半導體疊層 106 所包括的氧化物半導體層 106b，較佳為使用至少包含銦 (In) 和鎵 (Ga) 且其含有率滿足 $\text{In} \leq \text{Ga}$ 的氧化物半導體。Ga 的氧缺陷的形成能量比 In 大而 Ga 不容易產生氧缺陷，由此具有 $\text{In} \leq \text{Ga}$ 的組成的氧化物與具有 $\text{In} > \text{Ga}$ 的組成的氧化物相比具有穩定的特性。藉由應用上述氧化物半導體材料，可以提高電晶體的可靠性。

另外，作為氧化物半導體疊層 106 所包括的氧化物半導體層 106a，較佳為使用至少包含 In 和 Ga 且其含有率滿足 $In > Ga$ 的氧化物半導體。在氧化物半導體中，重金屬的 s 軌道主要有助於載流子傳導，並且藉由增加 In 的含有率，s 軌道的重疊呈現增加的傾向，由此具有 $In > Ga$ 的組成的氧化物的遷移率比具有 $In \leq Ga$ 的組成的氧化物高。由此，當在氧化物半導體層 106a 中形成通道時，可以提高電晶體的遷移率。

氧化物半導體層 106a 的厚度較佳為 3nm 以上且 15nm 以下，更佳為 7nm 以上且 12nm 以下。此外，接觸於源極電極層 108a 及汲極電極層 108b 的區域的氧化物半導體層 106b 的厚度較佳為 3nm 以上且 15nm 以下，更佳為 5nm 以上且 12nm 以下。另外，在氧化物半導體疊層 106 中，用作通道形成區的區域（源極電極層 108a 與汲極電極層 108b 之間的區域）的厚度較佳為 3nm 以上且小於 20nm，更佳為 5nm 以上且小於 15nm。

接觸於氧化物半導體層 106a 的絕緣層 104 較佳為包括包含超過化學計量組成的氧的區域（以下，也稱為氧過剩區）。藉由使接觸於氧化物半導體層 106a 的絕緣層 104 包括氧過剩區，可以將氧供應到氧化物半導體層 106a 中。由此，可以防止氧從氧化物半導體層 106a 脫離並可以填補氧缺損。與此同樣，較佳為接觸於氧化物半導體層 106b 的絕緣層 110 也包括氧過剩區。

閘極電極層 102 至少在接觸於絕緣層 104 的面一側較

佳為使用其功函數比氧化物半導體層 106a 大的材料，更佳為使用其功函數比氧化物半導體層 106a 大 1 電子伏特以上的材料。與此同樣，閘極電極層 112 至少在接觸於絕緣層 110 的面一側較佳為使用其功函數比氧化物半導體層 106b 大的材料，更佳為使用其功函數比氧化物半導體層 106b 大 1 電子伏特以上的材料。作為該材料，例如可以使用包含氮的 In-Ga-Zn-O 膜、包含氮的 In-Sn-O 膜、包含氮的 In-Ga-O 膜、包含氮的 In-Zn-O 膜、包含氮的 Sn-O 膜、包含氮的 In-O 膜或者金屬氮化物膜（氮化銦膜、氮化鋅膜、氮化鋁膜或氮化鎢膜等）。這些膜具有 5 電子伏特以上的功函數，可以使電晶體的臨界電壓成為正，且實現常截止型的開關電晶體。例如，在使用包含氮的 In-Ga-Zn-O 膜時，使用至少以高於氧化物半導體層 106a 及氧化物半導體層 106b 的濃度含有氮的 In-Ga-Zn-O 膜，即可。

在本實施方式中，閘極電極層 102 是用作背閘極的電極層，而可以將其電位適當地設定為固定電位或 GND 等。藉由控制施加到背閘極的閘極電壓，可以控制電晶體 120 的臨界電壓。由此，可以使電晶體 120 成為常截止型。

此外，在對閘極電極層 102 施加負偏壓時，可以將在絕緣層 104 中作為雜質會包含的正離子（例如， Na^+ 等）移動到閘極電極層 102 一側。

以下，參照圖 2A 至圖 2F 示出電晶體 120 的製造方法的一個例子。

首先，在具有絕緣表面的基板 100 上形成閘極電極層 102。

對可用作具有絕緣表面的基板 100 的基板沒有大的限制，但是基板 100 需要至少具有能夠承受後面進行的熱處理的程度的耐熱性。例如，可以使用玻璃基板如硼矽酸鋇玻璃和硼矽酸鋁玻璃等、陶瓷基板、石英基板、藍寶石基板等。此外，作為基板 100 還可以應用由矽或碳化矽等構成的單晶半導體基板、多晶半導體基板、矽鍺等的化合物半導體基板、SOI 基板等，並且也可以在這些基板上設置有半導體元件。

可以使用諸如鉬、鈦、鉭、鎢、鋁、銅、鉻、鈹、鈦等的金屬材料或以這些材料為主要成分的合金材料來形成閘極電極層 102。此外，作為閘極電極層 102，也可以使用以摻雜磷等雜質元素的多晶矽膜為代表的半導體膜、鎳矽化物等矽化物膜。閘極電極層 102 既可以是單層結構，又可以是疊層結構。閘極電極層 102 也可以具有錐形形狀，例如可以將錐形角設定為 30° 以上且 70° 以下。在此，錐形角是指由具有錐形形狀的層的側面與該層的底面形成的角度。

另外，閘極電極層 102 的材料也可以使用氧化銮氧化錫、包含氧化鎢的銮氧化物、包含氧化鎢的銮鋅氧化物、包含氧化鈦的銮氧化物、包含氧化鈦的銮錫氧化物、氧化銮氧化鋅、添加有氧化矽的銮錫氧化物等導電材料。

另外，閘極電極層 102 至少在接觸於後面形成的絕緣

層 104 的面一側較佳為使用其功函數比以接觸於絕緣層 104 上的方式設置的氧化物半導體層大的材料，更佳為使用其功函數比以接觸於絕緣層 104 上的方式設置的氧化物半導體層大 1 電子伏特以上的材料。作為功函數大的導電材料，例如可以應用包含氮的金屬氧化物。

接著，在閘極電極層 102 上以覆蓋閘極電極層 102 的方式形成絕緣層 103。絕緣層 103 可以藉由電漿 CVD 法或濺射法等，使用包含氧化矽、氧氮化矽、氧化鋁、氧氮化鋁、氧化鉛、氧化鎵、氧化鋅鎵或它們的混合材料的膜的單層或疊層形成。

絕緣層 103 是後面被進行加工而成為接觸於氧化物半導體疊層 106 的絕緣層 104 的層。由此，絕緣層 103 較佳為包括氧過剩區。為了將氧過剩區設置在絕緣層 103 中，例如在氧氛圍下形成絕緣層 103 即可。或者，也可以將氧引入到成膜後的絕緣層 103 中而在絕緣層 103 中形成氧過剩區。

在本實施方式中，對絕緣層 103 引入氧 400（至少包含氧自由基、氧原子、氧離子中的任何一個）而形成氧過剩區 402（參照圖 2A）。作為氧的引入方法，可以使用離子植入法、離子摻雜法、電漿浸沒離子佈植技術、電漿處理等。

在圖 2A 中，虛線明確地表示引入到絕緣層 103 中的氧的峰值位置，作為氧過剩區 402 圖示該區域。注意，氧的引入深度或被引入的氧的分佈不侷限於圖 2A 所示的結

構。

接著，藉由對絕緣層 103 的表面進行平坦化處理，形成絕緣層 104（參照圖 2B）。對平坦化處理沒有特別的限制，而可以利用拋光處理（例如，化學機械拋光（Chemical Mechanical Polishing：CMP）法）、乾蝕刻處理、電漿處理等或者它們的組合。

此外，絕緣層 103 的平坦化處理適當地設定氧 400 的引入深度及絕緣層 103 的去除厚度等，以防止去除氧過剩區 402。

此外，為了使絕緣層處於其中氫（也包括水及羥基等）等雜質被降低且包含過剩的氧的狀態，也可以對絕緣層 104（或平坦化處理之前的絕緣層 103）進行用來去除氫或氫化合物（脫水化或脫氫化）的加熱處理。

接著，在絕緣層 104 上層疊成爲氧化物半導體層 106a 的氧化物半導體膜和成爲氧化物半導體層 106b 的氧化物半導體膜，將其加工爲島狀而形成包括氧化物半導體層 106a 和氧化物半導體層 106b 的氧化物半導體疊層 106（參照圖 2C）。

氧化物半導體層 106a 及氧化物半導體層 106b 既可以具有非晶結構，又可以具有結晶結構。在氧化物半導體層 106a 或 106b 採用非晶結構時，藉由在後面的製程中對氧化物半導體疊層 106 進行熱處理，也可以得到結晶氧化物半導體層。將使非晶氧化物半導體層晶化的熱處理的溫度設定爲 250℃ 以上且 700℃ 以下，較佳爲 400℃ 以上，更

佳為 500°C 以上，進一步較佳為 550°C 以上。另外，該加熱處理也可以兼作製程中的其他加熱處理。

作為成爲氧化物半導體層 106a 及氧化物半導體層 106b 的氧化物半導體膜的成膜方法，可以適當地利用濺射法、MBE (Molecular Beam Epitaxy：分子束磊晶) 法、CVD 法、脈衝雷射沉積法、ALD (Atomic Layer Deposition：原子層沉積) 法等。

當形成氧化物半導體膜時，較佳為盡可能地降低氧化物半導體膜所包含的氫的濃度。爲了降低氫濃度，例如，在藉由濺射法進行成膜時，作為供應到濺射裝置的成膜室內的氛圍氣體適當地使用氫、水、羥基或者氫化物等雜質被去除的高純度的稀有氣體（典型的是氬）、氧或者稀有氣體和氧的混合氣體。

另外，藉由邊去除殘留在成膜室內的水分邊引入去除了氫及水分的濺射氣體來進行成膜，可以降低形成的氧化物半導體膜的氫濃度。較佳為使用吸附型真空泵，例如，低溫泵、離子泵、鈦昇華泵來去除殘留在成膜室內的水分。此外，也可以使用具備冷阱的渦輪分子泵。由於低溫泵對如氫分子、水 (H₂O) 等包含氫原子的化合物（較佳為還包括包含碳原子的化合物）等進行排出的能力較高，所以可以降低在利用低溫泵進行了排氣的成膜室中形成的氧化物半導體膜所包含的雜質濃度。

另外，在藉由濺射法形成氧化物半導體膜的情況下，用於成膜的金屬氧化物靶材的相對密度（填充率）為 90%

以上且 100%以下，較佳為 95%以上且 99.9%以下。藉由使用高相對密度的金屬氧化物靶材，可以使所形成的氧化物半導體層成為緻密的膜。

另外，為了降低有可能包含在氧化物半導體膜中的雜質的濃度，在將基板 100 的溫度保持為高溫的狀態下形成氧化物半導體膜也是有效的。作為加熱基板 100 的溫度，設定為 150°C 以上且 450°C 以下即可，較佳為將基板溫度設定為 200°C 以上且 350°C 以下。另外，藉由在進行成膜時以高溫加熱基板，可以形成結晶氧化物半導體膜。

以下說明氧化物半導體膜的結構。

氧化物半導體膜大致分為單晶氧化物半導體膜和非單晶氧化物半導體膜。非單晶氧化物半導體膜包括非晶氧化物半導體膜、微晶氧化物半導體膜、多晶氧化物半導體膜及 CAAC-OS (C-Axis Aligned Crystalline Oxide Semiconductor : c 軸配向結晶氧化物半導體) 膜等。

非晶氧化物半導體膜具有無序的原子排列並不具有結晶成分。其典型例子是在微小區域中也不具有結晶部而整個膜具有完全的非晶結構的氧化物半導體膜。

微晶氧化物半導體膜例如包括大於或等於 1nm 且小於 10nm 的尺寸的微晶 (也稱為奈米晶) 。因此，微晶氧化物半導體膜的原子排列的有序度比非晶氧化物半導體膜高。因此，微晶氧化物半導體膜的缺陷態密度低於非晶氧化物半導體膜。

CAAC-OS 膜是包含多個結晶部的氧化物半導體膜之

一，而大部分的結晶部的尺寸為能夠容納在一邊短於 100nm 的立方體的尺寸。因此，有時包括在 CAAC-OS 膜中的結晶部的尺寸為能夠容納在一邊短於 10nm、短於 5nm 或短於 3nm 的立方體。CAAC-OS 膜的缺陷態密度低於微晶氧化物半導體膜。下面，詳細說明 CAAC-OS 膜。

在利用透射電子顯微鏡（TEM：Transmission Electron Microscope）所得到的 CAAC-OS 膜的影像中，不能明確地觀察到結晶部與結晶部之間的邊界，即晶界（grain boundary）。因此，在 CAAC-OS 膜中，不容易產生起因於晶界的電子遷移率的降低。

由利用 TEM 所得到的大致平行於樣本面的方向上的 CAAC-OS 膜的影像（剖面 TEM 影像）可知，在結晶部中金屬原子排列為層狀。各金屬原子層具有反映著被形成 CAAC-OS 膜的面（也稱為被形成面）或 CAAC-OS 膜的頂面的形狀並以平行於 CAAC-OS 膜的被形成面或頂面的方式排列。

另一方面，由利用 TEM 所得到的大致垂直於樣本面的方向上的 CAAC-OS 膜的影像（平面 TEM 影像）可知，在結晶部中金屬原子排列為三角形狀或六角形狀。但是，在不同的結晶部之間沒有金屬原子的排列的有序度。

由剖面 TEM 影像及平面 TEM 影像可知，CAAC-OS 膜的結晶部具有配向性。

使用 X 射線繞射（XRD:X-Ray Diffraction）裝置對 CAAC-OS 膜進行結構分析。例如，在藉由 out-of-plane 法

分析包括 InGaZnO_4 的結晶的 CAAC-OS 膜的情況下，在繞射角度 (2θ) 為 31° 附近時出現峰值。由於該峰值歸於 InGaZnO_4 結晶的 (009) 面，所以可以確認到 CAAC-OS 膜的結晶具有 c 軸配向性並且 c 軸在大致垂直於 CAAC-OS 膜的被形成面或頂面的方向上配向。

另一方面，在藉由從大致垂直於 c 軸的方向使 X 線入射到樣本的 in-plane 法分析 CAAC-OS 膜的情況下，在 2θ 為 56° 附近時出現峰值。該峰值歸於 InGaZnO_4 結晶的 (110) 面。在此，在將 2θ 固定為 56° 附近的狀態下，在以樣本面的法線向量為軸 (ϕ 軸) 旋轉樣本的同時進行分析 (ϕ 掃描)。在該樣本是 InGaZnO_4 的單晶氧化物半導體膜的情況下出現六個峰值，該六個峰值歸於相等於 (110) 面的結晶面。另一方面，在該樣本是 CAAC-OS 膜的情況下，即使在將 2θ 固定為 56° 附近的狀態下進行 ϕ 掃描也不能明確地觀察到峰值。

由上述結果可知，在具有 c 軸配向的 CAAC-OS 膜中，雖然 a 軸及 b 軸的方向在結晶部之間不同，但是 c 軸在平行於被形成面或頂面的法線向量的方向上配向。因此，在上述剖面 TEM 影像中觀察到的排列為層狀的各金屬原子層相當於平行於結晶的 ab 面的面。

注意，結晶部在形成 CAAC-OS 膜或進行加熱處理等晶化處理時形成。如上所述，結晶的 c 軸在平行於 CAAC-OS 膜的被形成面或頂面的法線向量的方向上配向。由此，例如，在藉由蝕刻等改變 CAAC-OS 膜的形狀的情況

下，有時結晶的 c 軸未必平行於 CAAC-OS 膜的被形成面或頂面的法線向量。

此外，CAAC-OS 膜中的晶化度未必均勻。例如，在 CAAC-OS 膜的結晶部藉由從 CAAC-OS 膜的頂面近旁產生的結晶生長形成的情況下，有時頂面附近的晶化度高於被形成面附近。另外，在對 CAAC-OS 膜添加雜質時，被添加雜質的區域的晶化度變化，而 CAAC-OS 膜的晶化度根據區域變化。

注意，在藉由 out-of-plane 法分析包括 InGaZnO_4 結晶的 CAAC-OS 膜的情況下，除了 2θ 為 31° 附近的峰值之外，有時還觀察到 2θ 為 36° 附近的峰值。 2θ 為 36° 附近的峰值示出不具有 c 軸配向性的結晶包括在 CAAC-OS 膜的一部分中。較佳的是，在 CAAC-OS 膜中 2θ 的峰值出現於 31° 附近並不出現於 36° 附近。

在使用 CAAC-OS 膜的電晶體中，起因於可見光或紫外光的照射的電特性的變動小。因此，該電晶體具有高可靠性。

注意，氧化物半導體層 106a 及氧化物半導體層 106b 分別可以採用非晶氧化物半導體膜、微晶氧化物半導體膜和 CAAC-OS 膜中的任何結構，並可以採用兩種以上的混合膜。另外，例如，氧化物半導體層 106a 及氧化物半導體層 106b 分別也可以是包括非晶氧化物半導體膜、微晶氧化物半導體膜和 CAAC-OS 膜中的兩種以上的疊層膜。

當作爲氧化物半導體層 106a 及/或氧化物半導體層

106b 使用 CAAC-OS 膜時，作為獲得該 CAAC-OS 膜的方法，例如可以舉出：將成膜溫度設定為 200°C 以上且 450°C 以下形成氧化物半導體膜，而實現大致垂直於其表面的 c 軸配向的方法。或者，也可以在形成厚度薄的氧化物半導體膜之後，進行 200°C 以上且 700°C 以下的熱處理，而實現大致垂直於其表面的 c 軸配向。或者，也可以在形成厚度薄的第一層之後，進行 200°C 以上且 700°C 以下的熱處理，並形成第二層，而實現大致垂直於其表面的 c 軸配向。

作為氧化物半導體層 106a 及氧化物半導體層 106b，使用至少包含銦 (In) 的氧化物半導體。尤其是，較佳為使用包含銦及鋅 (Zn) 的氧化物半導體。此外，作為用來降低使用該氧化物半導體的電晶體的電特性偏差的穩定劑，除了上述元素以外較佳為還包含鎵 (Ga)。另外，作為穩定劑較佳為包含錫 (Sn)、鈦 (Hf)、鋁 (Al)、銦 (Zr) 中的任何一種或多種。

另外，作為其他穩定劑，也可以包含鑷系元素的鑷 (La)、鈰 (Ce)、鐳 (Pr)、釹 (Nd)、釷 (Sm)、鈾 (Eu)、釷 (Gd)、鉕 (Tb)、鐳 (Dy)、釷 (Ho)、鉕 (Er)、銩 (Tm)、鑷 (Yb)、鐳 (Lu) 中的任何一種或多種。

例如，作為氧化物半導體可以使用氧化銦；氧化錫；氧化鋅；二元金屬氧化物如 In-Zn 類氧化物、In-Mg 類氧化物、In-Ga 類氧化物；三元金屬氧化物如 In-Ga-Zn 類氧

化物（也稱為 IGZO）、In-Al-Zn 類氧化物、In-Sn-Zn 類氧化物、In-Hf-Zn 類氧化物、In-La-Zn 類氧化物、In-Ce-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、In-Er-Zn 類氧化物、In-Tm-Zn 類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧化物；以及四元金屬氧化物如 In-Sn-Ga-Zn 類氧化物、In-Hf-Ga-Zn 類氧化物、In-Al-Ga-Zn 類氧化物、In-Sn-Al-Zn 類氧化物、In-Sn-Hf-Zn 類氧化物、In-Hf-Al-Zn 類氧化物。

例如 In-Ga-Zn 類氧化物是指作為主要成分具有 In、Ga 和 Zn 的氧化物，對 In、Ga、Zn 的比率沒有限制。此外，也可以包含 In、Ga、Zn 以外的金屬元素。

另外，作為氧化物半導體，也可以使用以 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$ ，且 m 不是整數) 表示的材料。注意，M 表示選自 Ga、Fe、Mn 和 Co 中的一種或多種金屬元素。另外，作為氧化物半導體，也可以使用以 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ ($n > 0$ ，且 n 是整數) 表示的材料。

例如，可以使用原子數比為 In:Ga:Zn=1:1:1 ($=1/3:1/3:1/3$)、In:Ga:Zn=2:2:1 ($=2/5:2/5:1/5$) 或 In:Ga:Zn=3:1:2 ($=1/2:1/6:1/3$) 的 In-Ga-Zn 類氧化物或與此近旁的組成的氧化物。另外，也可以使用原子數比為 In:Sn:Zn=1:1:1 ($=1/3:1/3:1/3$)、In:Sn:Zn=2:1:3 ($=1/3:1/6:1/2$) 或 In:Sn:Zn=2:1:5 ($=1/4:1/8:5/8$) 的 In-

Sn-Zn 類氧化物或與此近旁的組成的氧化物。

但是，使用含有銦的氧化物半導體的電晶體不侷限於此，根據所需要的電特性（場效應遷移率、臨界值、偏差等）而使用適當的組成的材料，即可。另外，較佳為採用適當的載流子濃度、雜質濃度、缺陷密度、金屬元素及氧的原子數比、原子間距離以及密度等，以得到所需要的電特性。

例如，使用 In-Sn-Zn 類氧化物半導體的電晶體可以比較容易地得到高場效應遷移率。但是，在使用 In-Ga-Zn 類氧化物半導體的電晶體中也可以藉由減小塊體內缺陷密度提高場效應遷移率。

注意，例如 In、Ga、Zn 的原子數比為 In : Ga : Zn = a : b : c (a+b+c=1) 的氧化物的組成近於原子數比為 In : Ga : Zn = A : B : C (A+B+C=1) 的氧化物的組成是指 a、b、c 滿足 $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$ 的關係。r 例如可以為 0.05。其他氧化物也是同樣的。

另外，也可以作為氧化物半導體層 106a 和氧化物半導體層 106b 使用結晶性不同的氧化物半導體。就是說，也可以採用適當地組合單晶氧化物半導體、多晶氧化物半導體、微晶氧化物半導體、非晶氧化物半導體或 CAAC-OS 的結構。

另外，較佳的是，對氧化物半導體疊層 106 進行用來去除（脫水化或脫氫化）包含在該氧化物半導體疊層 106 中的過剩的氫（包括水及羥基）的熱處理。將熱處理的溫

度設定為 300°C 以上且 700°C 以下，或低於基板的應變點。可以在減壓下或氮氛圍下等進行熱處理。藉由進行上述熱處理，可以從氧化物半導體去除賦予 n 型導電性的雜質的氫。

另外，用於脫水化或脫氫化的熱處理只要在形成氧化物半導體層之後就可以在電晶體 120 的製程中的任何時序進行。另外，既可以進行多次的用來脫水化或脫氫化的熱處理，又可以將用來脫水化或脫氫化的熱處理兼作其他熱處理。

另外，藉由在將氧化物半導體膜加工為島狀之前進行用來脫水化或脫氫化的熱處理，可以防止包含在絕緣層 104 中的氧由於熱處理被釋放，因此是較佳的。

在熱處理中，氮或氫、氬、氫等稀有氣體較佳為不包含水、氫等。另外，較佳為將引入到熱處理裝置中的氮或氫、氬、氫等稀有氣體的純度設定為 6N (99.9999%) 以上，較佳為設定為 7N (99.99999%) 以上 (即，將雜質濃度設定為 1ppm 以下，較佳為設定為 0.1ppm 以下)。

另外，可以在藉由熱處理對氧化物半導體疊層 106 (或者，加工為島狀之前的氧化物半導體膜) 進行加熱之後，在維持其加熱溫度的狀態下或在從其加熱溫度降溫的過程中，對相同爐內引入高純度的氧氣體、高純度的一氧化二氮氣體或超乾燥空氣 (使用 CRDS (Cavity Ring Down laser Spectroscopy: 光腔衰蕩光譜法) 方式的露點計進行測定時的水分量是 20ppm (露點換算為 -55°C) 以

下，較佳的是 1ppm 以下，更佳的是 10ppb 以下的空氣）。較佳為不使氧氣體或一氧化二氮氣體包含水、氫等。或者，較佳為將引入到熱處理裝置中的氧氣體或一氧化二氮氣體的純度設定為 6N 以上，較佳為 7N 以上（也就是說，將氧氣體或一氧化二氮氣體中的雜質濃度設定為 1ppm 以下，較佳為設定為 0.1ppm 以下）。藉由利用氧氣體或一氧化二氮氣體來供給由於脫水化或脫氫化處理中的雜質排出製程而同時被減少的構成氧化物半導體的主要成分材料的氧，來可以使氧化物半導體層高度純化並電性 i 型（本質）化。

此外，由於脫水化或脫氫化處理，構成氧化物半導體的主要成分材料的氧也有可能同時脫離而減少。因此，也可以對進行了脫水化或脫氫化處理的氧化物半導體層中引入氧（至少包含氧自由基、氧原子和氧離子中的任一種）而向膜中供應氧。

藉由對進行了脫水化處理或脫氫化處理的氧化物半導體層引入氧而將氧供應到膜中，可以使氧化物半導體層高度純化且 i 型（本質）化。具有高度純化且 i 型（本質）化的氧化物半導體的電晶體的電特性變動被抑制，所以該電晶體在電性上穩定。

當對氧化物半導體層引入氧時，既可以對氧化物半導體層直接引入氧，又可以透過以後形成的絕緣層 110 等其他膜對氧化物半導體層引入氧。當透過其他膜引入氧時，使用離子植入法、離子摻雜法、電漿浸沒離子植入法等，

即可。當對被露出的氧化物半導體層直接引入氧時，除了上述方法以外，可以使用電漿處理等。

作為氧的供應氣體，使用包含 O 的氣體即可，例如可以使用 O₂ 氣體、N₂O 氣體、CO₂ 氣體、CO 氣體、NO₂ 氣體等。注意，也可以使氧的供應氣體中含有稀有氣體（例如 Ar）。

例如，當藉由離子植入法對氧化物半導體層注入氧離子時，將劑量設定為 1×10^{13} ions/cm² 以上且 5×10^{16} ions/cm² 以下，即可。

或者，也可以藉由使接觸於氧化物半導體層的絕緣層（絕緣層 104 或絕緣層 110）為包括氧過剩區的層，在使該絕緣層接觸於氧化物半導體層的狀態下進行熱處理，將絕緣層所包含的過剩的氧擴散到氧化物半導體層中，而將氧供應到氧化物半導體層中。該熱處理也可以兼作電晶體 120 的製程中的其他熱處理。

只要在形成氧化物半導體層之後，就對氧化物半導體層供應氧的時序沒有特別的限制。另外，對氧化物半導體層也可以多次引入氧。另外，用來脫水化或脫氫化的熱處理及/或氧的供應既可以對各氧化物半導體層分別進行，又可以對形成疊層結構之後的氧化物半導體疊層 106 進行。

較佳為以不暴露於大氣的方式連續形成絕緣層 104 和成為氧化物半導體層 106a 的氧化物半導體膜。在以不暴露於大氣的方式連續形成絕緣層 104 和該氧化物半導體膜

時，可以防止氫或水分等雜質附著於絕緣層 104 表面。

接著，在氧化物半導體疊層 106 上形成成爲源極電極層 108a 及汲極電極層 108b 的導電膜 108（參照圖 2D）。作爲導電膜 108，例如可以使用包括選自 Al、Cr、Cu、Ta、Ti、Mo、W 中的元素的金屬膜、以上述元素爲成分的金屬氮化物膜（氮化鈦膜、氮化鉬膜、氮化鎢膜）等。此外，還可以在 Al、Cu 等的金屬膜的下側和上側中的一者或兩者層疊 Ti、Mo、W 等的高熔點金屬膜或它們的金屬氮化物膜（氮化鈦膜、氮化鉬膜、氮化鎢膜）。此外，也可以使用導電金屬氧化物形成用於源極電極層 108a 及汲極電極層 108b 的導電膜。作爲導電金屬氧化物，也可以使用氧化銦（ In_2O_3 ）、氧化錫（ SnO_2 ）、氧化鋅（ ZnO ）、氧化銦氧化錫（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ）、氧化銦氧化鋅（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）或者使這些金屬氧化物材料包含氧化矽的材料。

此外，作爲導電膜 108，可以使用包含氮的 In-Ga-Zn-O 膜、包含氮的 In-Sn-O 膜、包含氮的 In-Ga-O 膜、包含氮的 In-Zn-O 膜、包含氮的 Sn-O 膜、包含氮的 In-O 膜等金屬氮化物膜。由於這些膜包含與氧化物半導體層 106b 相同的構成元素，所以可以實現與氧化物半導體層 106b 的介面的穩定化。例如，作爲導電膜 108 可以應用從接觸於氧化物半導體層 106b 一側層疊有包含氮的 In-Ga-Zn-O 膜和鎢膜的結構。

接著，對導電膜 108 選擇性地進行蝕刻處理，來形成

源極電極層 108a 及汲極電極層 108b (參照圖 2E)。源極電極層 108a 及汲極電極層 108b 也可以具有錐形形狀。在源極電極層 108a 及汲極電極層 108b 具有錐形形狀時，可以緩和源極與汲極之間的電場集中，所以是較佳的。

另外，在藉由該蝕刻處理的同時氧化物半導體層 106b 的一部分被蝕刻，在源極電極層 108a 與汲極電極層 108b 之間形成厚度小的區域。或者，也可以藉由在形成源極電極層 108a 及汲極電極層 108b 之後對露出的氧化物半導體層 106b 進行蝕刻處理 (例如，濕蝕刻處理)，來形成厚度小的區域。藉由對源極電極層 108a 及汲極電極層 108b 進行加工處理及/或藉由此後的蝕刻處理來實現薄膜化的區域中的氧化物半導體層 106b 的厚度較佳為 1nm 以上且 2nm 以下。

然後，以覆蓋露出的氧化物半導體層 106b、源極電極層 108a 及汲極電極層 108b 的方式形成絕緣層 110。絕緣層 110 是用作閘極絕緣層的絕緣層。在絕緣層 110 上形成成為閘極電極層 112 (包括由與此相同的層形成的佈線) 的導電膜，對該導電膜選擇性地進行蝕刻處理，來形成閘極電極層 112 (參照圖 2F)。

絕緣層 110 可以應用與絕緣層 104 相同的材料及相同的成膜方法。另外，絕緣層 110 的厚度較佳為 5nm 以上且 30nm 以下，更佳為 9nm 以上且 22nm 以下。

閘極電極層 112 可以應用與閘極電極層 102 相同的材料及相同的成膜方法。另外，閘極電極層 112 至少在接觸

於絕緣層 110 的面較佳為使用其功函數比氧化物半導體層 106b 的功函數大的材料，更佳為使用其功函數比氧化物半導體層 106b 的功函數大 1 電子伏特以上的材料。

如上所述，可以形成本實施方式的電晶體 120。

在本實施方式所示的電晶體 120 包括通道形成區的厚度比其他區域（例如，接觸於源極電極層 108a 及汲極電極層 108b 的區域，但是，不包括氧化物半導體層端部的錐形部）小的氧化物半導體疊層 106。由此，可以抑制電晶體 120 的臨界電壓向負方向漂移。

另外，本實施方式所示的電晶體 120 包括：夾著包括通道形成區的氧化物半導體疊層 106 的閘極電極層 102 和閘極電極層 112，並且藉由對閘極電極層 102 施加負偏壓，抑制在背通道一側產生第二電流。由此，可以使電晶體 120 的臨界電壓向正方向變動。

以上，本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而使用。

實施方式 2

在本實施方式中，參照圖式對半導體裝置的一個例子進行說明，該半導體裝置使用上述實施方式 1 所示的電晶體，即使在沒有電力供應的情況下也能夠保持儲存資料，並且對寫入次數也沒有限制。

圖 3A 和圖 3B 是半導體裝置的結構的一個例子。圖 3A 示出半導體裝置的剖面圖，圖 3B 示出半導體裝置的電

路圖。

圖 3A 所示的半導體裝置在其下部具有使用第一半導體材料的電晶體 160，並且在其上部具有使用第二半導體材料的電晶體 162。作為電晶體 162，可以應用實施方式 1 所示的本發明的一個方式的電晶體。

這裏，第一半導體材料和第二半導體材料較佳為具有不同帶隙的材料。例如，可以將氧化物半導體以外的半導體材料（矽等）用於第一半導體材料，並且將氧化物半導體用於第二半導體材料。使用氧化物半導體以外的材料的電晶體容易進行高速工作。另一方面，使用氧化物半導體的電晶體利用其特性而可以長時間地保持電荷。

另外，雖然對上述電晶體都為 n 通道型電晶體的情況進行說明，但是當然可以使用 p 通道型電晶體。此外，除了為了保持資訊作為電晶體 162 利用使用氧化物半導體的實施方式 1 所示那樣的電晶體之外，用於半導體裝置的材料或半導體裝置的結構等的半導體裝置的具體結構不需要侷限於在此所示的結構。

圖 3A 中的電晶體 160 包括：設置在包含半導體材料（例如，矽等）的基板 200 中的通道形成區 216；以夾著通道形成區 216 的方式設置的雜質區 214 及高濃度雜質區 220（組合它們簡單地也稱為雜質區）；接觸於高濃度雜質區 220 的金屬間化合物區 224；設置在通道形成區 216 上的閘極絕緣層 208；設置在閘極絕緣層 208 上的閘極電極層 210；設置在閘極電極層 210 的側面的側壁絕緣層

218；電極層 212a；以及電極層 212b。

此外，電極層 212a 及電極層 212b 是用作源極電極層或汲極電極層的電極層，並且藉由設置在閘極電極層 210 上的絕緣層 228 中的接觸孔電連接於金屬間化合物區 224。作為絕緣層 228，可以使用氧化矽膜、氧氮化矽膜、氧化鋁膜、氧氮化鋁膜、氮化矽膜、氮化鋁膜、氮氧化矽膜、氮氧化鋁膜等無機絕緣膜，並且可以使用它們的單層或疊層。

在基板 200 上以圍繞電晶體 160 的方式設置有元件隔離絕緣層 206。

使用單晶半導體基板的電晶體 160 能夠進行高速工作。因此，藉由將該電晶體用作讀出用電晶體，可以高速地進行資訊的讀出。

圖 3A 所示的電晶體 162 是將氧化物半導體用於通道形成區的電晶體。將氧化物半導體用於通道形成區的電晶體可以實現極小的截止特性。此外，包括在電晶體 162 中的氧化物半導體層較佳為實現高度純化的氧化物半導體層。藉由使用實現高度純化的氧化物半導體，可以得到具有更優異的截止特性的電晶體 162。

因為電晶體 162 的關態電流小，所以藉由使用這種電晶體能夠長期保持儲存資料。換言之，因為可以形成不需要更新工作或更新工作的頻率極低的半導體記憶體裝置，所以可以充分降低耗電量。

電晶體 162 包括氧化物半導體層 244a 和氧化物半導

體層 244b，並包括通道形成區中的厚度比其他區域（例如，接觸於電極層 268a 或電極層 268b 的區域）小的氧化物半導體疊層 244。因此，在電晶體 162 所包括的氧化物半導體疊層 244 中，通道形成區被薄膜化，可以抑制臨界電壓向負方向漂移。此外，電晶體 162 除了隔著閘極絕緣層 260 重疊於氧化物半導體疊層 244 的閘極電極層 262 之外還包括隔著絕緣層 203 及絕緣層 204 重疊於氧化物半導體疊層 244 的閘極電極層 202b。閘極電極層 202b 可以用作背閘極電極，並且藉由對閘極電極層 202b 施加負偏壓，抑制在背通道一側第二電流流過，而可以使電晶體 162 的臨界電壓向正方向變動。由此，可以使電晶體 162 成為常截止型電晶體。

絕緣層 203 及絕緣層 204 可以使用包含氧化矽、氧氮化矽、氧化鋁、氧氮化鋁、氧化鉛、氧化鎵、氧化鋅鎵或它們的混合材料的膜。另外，接觸於氧化物半導體疊層 244（明確而言，氧化物半導體層 244a）的絕緣層 204 較佳為包括氧過剩區。

另外，藉由作為絕緣層 203 使用對氧具有阻隔性的膜，可以防止氧從絕緣層 204 脫離，所以是較佳的。作為對氧具有阻隔性的膜，可以使用對氧具有的透過性至少低於絕緣層 204 的膜，明確而言，例如可以以單層或疊層使用鋁、添加有鎂的鋁、添加有鈦的鋁、鎂或鈦等的氧化物膜或氮化物膜。此外，更佳的是，作為絕緣層 203 使用除了對氧具有阻隔性之外還對氫、水分等雜質具有低透過性

的膜。作為上述膜，較佳為使用氧化鋁膜。藉由作為絕緣層 203 使用氧化鋁膜，不但防止氧脫離，而且可以抑制成為電晶體 162 的電特性的變動要因的氫、水分等雜質混入。

另外，在閘極電極層 202b 及電極層 202a 具有錐形形狀時，可以提高絕緣層 203 的覆蓋性，所以是較佳的。較佳為將錐形角設定為 30° 以上且 70° 以下。

在電晶體 162 上設置有單層或疊層的絕緣層 232、絕緣層 236。作為絕緣層 232 或絕緣層 236，可以應用包含與絕緣層 203 及絕緣層 204 相同的材料的膜。另外，如果需要，也可以藉由在形成絕緣層 236 之後進行 CMP 處理等平坦化處理來使絕緣層 236 的表面平坦化。或者，為了降低起因於電晶體的表面凹凸，作為絕緣層 236 可以形成平坦化絕緣膜，而也可以層疊無機絕緣膜和平坦化絕緣膜。作為平坦化絕緣膜，可以使用聚醯亞胺類樹脂、丙烯酸類樹脂、苯並環丁烯類樹脂等有機材料。或者，除了上述有機材料之外，還可以使用低介電常數材料（low-k 材料）等。

在絕緣層 236 上設置有佈線層 256。佈線層 256 是用來連接電晶體 162 與其他電晶體的佈線。佈線層 256 藉由形成在絕緣層 236、絕緣層 232 及閘極絕緣層 260 等中的接觸孔電連接於電極層 268b。此外，也可以在接觸孔中另行形成電極層，藉由該電極層電連接佈線層 256 與電極層 268b。

另外，在隔著閘極絕緣層 260 重疊於電晶體 162 的電極層 268a 的區域設置有導電層 253，並由電極層 268a、閘極絕緣層 260、導電層 253 構成電容元件 164。換言之，電晶體 162 的電極層 268a 用作電容元件 164 中的一方電極，導電層 253 用作電容元件 164 中的另一方電極。另外，當不需要電容器時，也可以採用不設置電容元件 164 的結構。另外，電容元件 164 也可以另行設置在電晶體 162 的上方。

在本實施方式中，導電層 253 可以藉由與電晶體 162 的閘極電極層 262 相同的製程形成。

電極層 268a 電連接於形成在與閘極電極層 202b 相同的層中的電極層 202a。另外，電極層 202a 藉由設置在絕緣層 234 中的接觸孔電連接於電極層 222a。雖然圖 3A 未圖示，但是電極層 222a 電連接於電晶體 160 的閘極電極層 210。由此，電晶體 162 的電極層 268a 電連接於電晶體 160 的閘極電極層 210。

絕緣層 230 及絕緣層 234 的結構可以與絕緣層 228 相同。另外，如果需要，也可以對絕緣層 228、絕緣層 230 及絕緣層 234 進行平坦化處理。另外，電晶體 162 的電極層 268a 與電晶體 160 的閘極電極層 210 的電連接不侷限於圖 3A 所示的結構，可以適當地設定介於其間的電極層（或佈線層）及絕緣層的結構。例如，既可以在電極層 202a 與電極層 222a 之間另行設置電極層，又可以直接連接電極層 268a 與閘極電極層 210。

另外，在絕緣層 204 包括氧過剩區的情況下，在形成接觸孔時有時絕緣層 204 所包含的過剩的氧被釋放，因此該接觸孔較佳為設置在不與氧化物半導體疊層 244 重疊的區域中。在圖 3A 中，在絕緣層 204 中，電極層 202a 藉由設置在不重疊於氧化物半導體疊層 244 的區域中的接觸孔電連接於電極層 268a。但是，設置在比絕緣層 204 下一側（電晶體 160 一側）的接觸孔也可以重疊於氧化物半導體疊層 244。在圖 3A 中，示出電晶體 162 的閘極電極層 202b 與設置在與電極層 222a 相同的層中的佈線層 222b 電連接的例子。

在圖 3A 中，電晶體 160 和電晶體 162 以至少其一部分重疊的方式設置。另外，較佳為以與電晶體 160 的至少一部分重疊的方式設置有電晶體 162 及電容元件 164。例如，電容元件 164 的導電層 253 以與電晶體 160 的閘極電極層 210 至少一部分重疊的方式設置。藉由採用這種平面佈局，可以降低半導體裝置所占的面積，從而可以實現高積體化。

接著，圖 3B 示出對應於圖 3A 的電路結構的一個例子。

在圖 3B 中，第一佈線（1st Line）與電晶體 160 的源極電極層電連接，第二佈線（2nd Line）與電晶體 160 的汲極電極層電連接。另外，第三佈線（3rd Line）與電晶體 162 的源極電極層和汲極電極層中的一方電連接，第四佈線（4th Line）與電晶體 162 的閘極電極層電連接。並

且，電晶體 160 的閘極電極層以及電晶體 162 的源極電極層和汲極電極層中的另一方與電容元件 164 的一方電極電連接，第五佈線（5th Line）與電容元件 164 的另一方電極電連接。

在圖 3B 所示的半導體裝置中，藉由有效地利用能夠保持電晶體 160 的閘極電極層的電位的特徵，可以如以下所示那樣進行資訊的寫入、保持以及讀出。

對資訊的寫入及保持進行說明。首先，將第四佈線的電位設定為使電晶體 162 成為導通狀態的電位，使電晶體 162 成為導通狀態。由此，對電晶體 160 的閘極電極層和電容元件 164 施加第三佈線的電位。也就是說，對電晶體 160 的閘極電極層施加規定的電荷（寫入）。這裏，施加賦予兩種不同電位位準的電荷（以下，稱為 Low 位準電荷、High 位準電荷）中的任一種。然後，藉由將第四佈線的電位設定為使電晶體 162 成為截止狀態的電位，使電晶體 162 成為截止狀態，保持對電晶體 160 的閘極電極層施加的電荷（保持）。

因為電晶體 162 的關態電流極小，所以電晶體 160 的閘極電極層的電荷被長時間地保持。

接著，對資訊的讀出進行說明。當在對第一佈線施加規定的電位（恆電位）的狀態下，對第五佈線施加適當的電位（讀出電位）時，第二佈線根據保持在電晶體 160 的閘極電極層的電荷量具有不同的電位。這是因為如下緣故：一般而言，在電晶體 160 為 n 通道型的情況下，對電

晶體 160 的閘極電極層施加 High 位準電荷時的外觀上的臨界值 V_{th_H} 低於對電晶體 160 的閘極電極層施加 Low 位準電荷時的外觀上的臨界值 V_{th_L} 。在此，外觀上的臨界電壓是指爲了使電晶體 160 成爲“導通狀態”所需要的第五佈線的電位。因此，藉由將第五佈線的電位設定爲 V_{th_H} 和 V_{th_L} 之間的電位 V_0 ，可以辨別施加到電晶體 160 的閘極電極層的電荷。例如，在寫入中，當被供應 High 位準電荷時，如果第五佈線的電位爲 $V_0 (>V_{th_H})$ ，則電晶體 160 成爲“導通狀態”。當被供應 Low 位準電荷時，即使第五佈線的電位爲 $V_0 (<V_{th_L})$ ，電晶體 160 也維持“截止狀態”。因此，藉由辨別第二佈線的電位可以讀出所保持的資訊。

注意，當將記憶單元配置爲陣列狀時，需要唯讀出所希望的記憶單元的資訊。像這樣，當不讀出資訊時，對第五佈線施加不管閘極電極層的狀態如何都使電晶體 160 成爲“截止狀態”的電位，也就是小於 V_{th_H} 的電位，即可。或者，對第五佈線施加不管閘極電極層的狀態如何都使電晶體 160 成爲“導通狀態”的電位，也就是大於 V_{th_L} 的電位，即可。

在本實施方式所示的半導體裝置中，藉由應用在通道形成區中使用氧化物半導體的關態電流極小的電晶體，可以極爲長期保持儲存資料。就是說，因爲不需要進行更新工作，或者，可以將更新工作的頻率降低到極低，所以可以充分降低耗電量。另外，即使在沒有電力供應的情況

（注意，較佳為電位是固定的）下，也可以長期保持儲存資料。這裏，藉由使用常截止電晶體作為電晶體 162，可以具有在沒有電力供給時將接地電位輸入到電晶體 162 的閘極（閘極電極層 262）的結構。由此，在沒有電力供給時，電晶體 162 也可以維持截止狀態，而可以繼續保持儲存資料。

另外，在本實施方式所示的半導體裝置中，資訊的寫入不需要高電壓，而且也沒有元件劣化的問題。例如，不像習知的非揮發性記憶體的情況那樣，不需要對浮動閘極注入電子或從浮動閘極抽出電子，所以根本不會產生閘極絕緣層的劣化等的問題。就是說，在根據所公開的發明的一個方式的半導體裝置中，對作為習知的非揮發性記憶體所存在的問題的能夠重寫的次數沒有限制，而使可靠性得到顯著提高。再者，根據電晶體的導通狀態或截止狀態進行資訊寫入，由此也可以容易實現高速工作。

如上所述，能夠提供實現了微型化及高積體化且賦予高電特性的半導體裝置以及該半導體裝置的製造方法。

本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而使用。

實施方式 3

在本實施方式中，關於使用實施方式 1 所示的電晶體的半導體裝置，參照圖 4A 和圖 4B 對與實施方式 2 所示的結構不同的結構進行說明，該半導體裝置即使在沒有電

力供應的情況下也能夠保持儲存資料，並且對寫入次數也沒有限制。

圖 4A 示出半導體裝置的電路結構的一個例子，圖 4B 是示出半導體裝置的一個例子的示意圖。首先對圖 4A 所示的半導體裝置進行說明，接著對圖 4B 所示的半導體裝置進行說明。

在圖 4A 所示的半導體裝置中，位元線 BL 與電晶體 162 的源極電極層或汲極電極層電連接，字線 WL 與電晶體 162 的閘極電極層電連接，並且電晶體 162 的源極電極層或汲極電極層與電容元件 254 的第一端子電連接。

接著，說明對圖 4A 所示的半導體裝置（記憶單元 250）進行資訊的寫入及保持的情況。

首先，藉由將字線 WL 的電位設定為電晶體 162 成為導通狀態的電位，使電晶體 162 成為導通狀態。由此，將位元線 BL 的電位施加到電容元件 254 的第一端子（寫入）。然後，藉由將字線 WL 的電位設定為電晶體 162 成為截止狀態的電位，來使電晶體 162 成為截止狀態，由此儲存電容元件 254 的第一端子的電位（保持）。

使用氧化物半導體的電晶體 162 具有關態電流極小的特徵。因此，藉由使電晶體 162 成為截止狀態，可以極長時間地儲存電容元件 254 的第一端子的電位（或累積在電容元件 254 中的電荷）。另外，藉由使用常截止電晶體作為電晶體 162，可以具有在沒有電力供給時將接地電位輸入到電晶體 162 的閘極的結構。由此，在沒有電力供給

時，電晶體 162 也可以維持截止狀態，而可以連續保持儲存資料。

接著，對資訊的讀出進行說明。當電晶體 162 成爲導通狀態時，處於浮動狀態的位元線 BL 與電容元件 254 導通，於是，在位元線 BL 與電容元件 254 之間電荷被再次分配。結果，位元線 BL 的電位變化。位元線 BL 的電位的變化量根據電容元件 254 的第一端子的電位（或累積在電容元件 254 中的電荷）而取不同的值。

例如，在以 V 爲電容元件 254 的第一端子的電位，以 C 爲電容元件 254 的電容，以 C_B 爲位元線 BL 所具有的電容成分（以下也稱爲位元線電容），並且以 V_{B0} 爲再次分配電荷之前的位元線 BL 的電位的條件下，再次分配電荷之後的位元線 BL 的電位爲 $(C_B \times V_{B0} + C \times V) / (C_B + C)$ 。因此，作爲記憶單元 250 的狀態，當電容元件 254 的第一端子的電位爲 V_1 和 V_0 ($V_1 > V_0$) 的兩個狀態時，保持電位 V_1 時的位元線 BL 的電位 $(= (C_B \times V_{B0} + C \times V_1) / (C_B + C))$ 高於保持電位 V_0 時的位元線 BL 的電位 $(= (C_B \times V_{B0} + C \times V_0) / (C_B + C))$ 。

並且，藉由比較位元線 BL 的電位與預定的電位，可以讀出資訊。

如上所述，圖 4A 所示的半導體裝置可以利用電晶體 162 的關態電流極小的特徵長期保持累積在電容元件 254 中的電荷。就是說，因爲不需要進行更新工作，或者，可以將更新工作的頻率降低到極低，所以可以充分降低耗電

量。另外，即使沒有電力供給，也可以在較長期間內保持儲存資料。

接著，對圖 4B 所示的半導體裝置進行說明。

圖 4B 所示的半導體裝置在其上部作為儲存電路包括記憶單元陣列 251a 及記憶單元陣列 251b，該記憶單元陣列 251a 及記憶單元陣列 251b 包括多個圖 4A 所示的記憶單元 250，並且在其下部包括用來使記憶單元陣列 251（記憶單元陣列 251a 及記憶單元陣列 251b）工作的週邊電路 258。另外，週邊電路 258 與記憶單元陣列 251 電連接。

藉由採用圖 4B 所示的結構，可以將週邊電路 258 設置在記憶單元陣列 251（記憶單元陣列 251a 及 251b）的正下方，從而可以實現半導體裝置的小型化。

在設置在週邊電路 258 中的電晶體中，更佳為使用與電晶體 162 不同的半導體材料。例如，可以使用矽、鍺、矽鍺、碳化矽或砷化鎵等，較佳為使用單晶半導體。另外，還可以使用有機半導體材料等。使用這種半導體材料的電晶體能夠進行充分的高速工作。從而，藉由利用該電晶體，能夠順利實現被要求高速工作的各種電路（邏輯電路、驅動電路等）。

另外，圖 4B 所示的半導體裝置示出層疊有兩個記憶單元陣列 251（記憶單元陣列 251a、記憶單元陣列 251b）的結構，但是所層疊的記憶單元陣列的個數不侷限於此。也可以採用層疊有三個以上的記憶單元陣列的結

構。

如上所述，能夠提供實現了微型化及高積體化且具有高電特性的半導體裝置以及該半導體裝置的製造方法。

本實施方式可以與其他實施方式所記載的結構適當地組合而實施。

實施方式 4

在本實施方式中，作為使用本說明書所示的電晶體的半導體裝置的其他例子，圖 13A 至圖 13C 示出作為邏輯電路的 NOR 型電路及 NAND 型電路。圖 13B 示出 NOR 型電路，圖 13C 示出 NAND 型電路。圖 13A 是示出圖 13B 的 NOR 型電路中的電晶體 802 及電晶體 803 的結構的剖面圖。

在圖 13B 和圖 13C 所示的 NOR 型電路及 NAND 型電路中，作為 p 通道型電晶體的電晶體 801、802、811 及 814 可以採用與實施方式 2 所示的電晶體 160 相同的結構。在本實施方式中，藉由將賦予 p 型的雜質元素如硼（B）、鋁（Al）或鎵（Ga）等引入到使用具有 n 型的半導體材料的基板 800（例如，n 型單晶矽基板），形成包括 p 型雜質區的 p 通道型電晶體。

此外，作為 n 通道型電晶體的電晶體 803、804、812 及 813，應用在具有與實施方式 1 所示的電晶體 120 相同的結構的通道形成區使用氧化物半導體膜的電晶體。

另外，在圖 13A 至圖 13C 所示的 NOR 型電路及

NAND 型電路中，由於電晶體 803、804、812 及 813 的氧化物半導體疊層的通道形成區被薄膜化，所以可以抑制該電晶體的臨界電壓向負方向漂移。此外，以隔著絕緣層夾持氧化物半導體疊層的方式設置有第一閘極電極層與第二閘極電極層，將一方的閘極電極層用作背閘極，並且藉由適當地控制電位，例如控制為 GND，可以使電晶體 803、804、812 及 813 的臨界電壓進一步向正方向漂移，而可以實現常截止型的電晶體。

注意，在本實施方式中示出如下例子：在 NOR 型電路中，設置在電晶體 803 及電晶體 804 中並可以用作背閘極的閘極電極層彼此電連接，在 NAND 型電路中，設置在電晶體 812 及電晶體 813 中並可以用作背閘極的閘極電極層彼此電連接。但是，本實施方式不侷限於此，也可以具有用作上述背閘極的閘極電極層分別獨立地被電控制的結構。

在圖 13A 所示的半導體裝置中，作為基板 800 使用單晶矽基板，在該單晶矽基板上形成電晶體 802，在電晶體 802 上層疊將氧化物半導體疊層用於通道形成區的電晶體 803 的例子。在基板 800 上以圍繞電晶體 802 的方式設置有元件隔離絕緣層 806。

電連接於電晶體 803 的閘極電極層 841a 的電極層 841b 藉由設置在閘極絕緣層 843 及絕緣層 839 中的接觸孔電連接於設置在與閘極電極層 840 相同的層中的電極層的電極層 835。電極層 835 藉由設置在絕緣層 836 及絕緣

層 833 中的接觸孔電連接於佈線層 832。雖然在圖 13A 中未明確地圖示，但是佈線層 832 藉由設置在絕緣層 830 及絕緣層 826 中的接觸孔電連接於電晶體 802 的閘極電極層 821。由此，電晶體 803 的閘極電極層 841a 電連接於電晶體 802 的閘極電極層 821。

此外，雖然在圖 13A 中未明確地圖示，但是電晶體 802 的電極層 825 電連接於佈線層 834，佈線層 834 藉由電極層 831 電連接於電晶體 803 的電極層 845。由此，電晶體 802 的電極層 825 電連接於電晶體 803 的電極層 845。

另外，電晶體 802 的電極層（或閘極電極層）與電晶體 803 的電極層（或閘極電極層）的電連接不侷限於圖 13A 所示的結構，可以適當地設定介於其間的電極層（或佈線層）及絕緣層的結構。

如圖 13A 所示，藉由層疊電晶體 802 和電晶體 803，可以減小半導體裝置所占的面積，由此可以實現高積體化。另外，由於電晶體 802 是能夠實現常截止的電晶體，所以可以正確地控制邏輯電路。

如上所述，能夠提供實現了微型化及高積體化且賦予高電特性的半導體裝置以及該半導體裝置的製造方法。

本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而使用。

實施方式 5

在本實施方式中，作為半導體裝置的一個例子，說明至少在其一部分中使用上述實施方式 1 所公開的電晶體的 CPU（Central Processing Unit：中央處理單元）。

圖 5A 是示出 CPU 的具體結構的方塊圖。圖 5A 所示的 CPU 在基板 1190 上具有：ALU1191（ALU：Arithmetic logic unit：運算電路）、ALU 控制器 1192、指令解碼器 1193、中斷控制器 1194、定時控制器 1195、暫存器 1196、暫存器控制器 1197、匯流排介面（Bus I/F）1198、能夠重寫的 ROM1199 以及 ROM 介面（ROM I/F）1189。作為基板 1190 使用半導體基板、SOI 基板、玻璃基板等。ROM1199 及 ROM 介面 1189 也可以設置在不同的晶片上。當然，圖 5A 所示的 CPU 只不過是簡化其結構而所示的一個例子，所以實際的 CPU 根據其用途具有各種各樣的結構。

藉由匯流排介面 1198 輸入到 CPU 的指令在輸入到指令解碼器 1193 並被解碼之後，輸入到 ALU 控制器 1192、中斷控制器 1194、暫存器控制器 1197、定時控制器 1195。

ALU 控制器 1192、中斷控制器 1194、暫存器控制器 1197、定時控制器 1195 根據被解碼的指令進行各種控制。明確而言，ALU 控制器 1192 生成用來控制 ALU1191 的工作的信號。另外，中斷控制器 1194 在進行 CPU 的程式時，根據其優先度或遮罩的狀態來判斷來自外部的輸入/輸出裝置或週邊電路的中斷要求而對該要求進行處理。

暫存器控制器 1197 生成暫存器 1196 的位址，並對應於 CPU 的狀態來進行暫存器 1196 的讀出或寫入。

另外，定時控制器 1195 生成用來控制 ALU1191、ALU 控制器 1192、指令解碼器 1193、中斷控制器 1194 以及暫存器控制器 1197 的工作定時的信號。例如，定時控制器 1195 具有根據基準時脈信號 CLK1 來生成內部時脈信號 CLK2 的內部時脈發生器，並將該內部時脈信號 CLK2 供應到上述各種電路。

在圖 5A 所示的 CPU 中，在暫存器 1196 中設置有記憶單元。作為暫存器 1196 的記憶單元也可以使用上述實施方式 2 或 3 所公開的記憶單元。

在圖 5A 所示的 CPU 中，暫存器控制器 1197 根據 ALU1191 的指令進行暫存器 1196 中的保持工作的選擇。換言之，暫存器控制器 1197 在暫存器 1196 所具有的記憶單元中選擇由反轉理論（值）的理論元件保持資料還是由電容器保持資料。在選擇由反轉理論（值）的理論元件保持資料的情況下，對暫存器 1196 中的記憶元件供應電源電壓。在選擇由電容器保持資料的情況下，對電容器進行資料的重寫，而可以停止對暫存器 1196 中的記憶元件供應電源電壓。

如圖 5B 或圖 5C 所示，可以藉由在記憶單元群和施加有電源電位 VDD 或電源電位 VSS 的節點之間設置切換元件來進行電源的停止。以下對圖 5B 及圖 5C 的電路進行說明。

圖 5B 及圖 5C 示出用來控制對記憶單元供應電源電位的切換元件包括上述實施方式 1 所示的電晶體的儲存電路的結構的一個例子。

圖 5B 所示的記憶體裝置包括切換元件 1141 以及具有多個記憶單元 1142 的記憶單元群 1143。明確而言，作為各記憶單元 1142 可以使用在實施方式 2 或 3 中記載的記憶單元。記憶單元群 1143 所具有的各記憶單元 1142 藉由切換元件 1141 施加有高位準的電源電位 VDD。並且，記憶單元群 1143 所具有的各記憶單元 1142 施加有信號 IN 的電位和低位準的電源電位 VSS。

在圖 5B 中，作為切換元件 1141 使用上述實施方式 1 所公開的電晶體，並且該電晶體的開關被施加到其閘極電極層的信號 SigA 控制。

另外，雖然圖 5B 中示出切換元件 1141 只具有一個電晶體的結構，但是對其沒有特別的限制，也可以具有多個電晶體。當切換元件 1141 具有多個用作切換元件的電晶體時，既可以將上述多個電晶體並聯，又可以將上述多個電晶體串聯，還可以組合並聯和串聯。

此外，在圖 5B 中，由於切換元件 1141 控制對記憶單元群 1143 所具有的各記憶單元 1142 供應高位準的電源電位 VDD，但是也可以由於切換元件 1141 控制供應低位準的電源電位 VSS。

另外，圖 5C 示出記憶體裝置的一個例子，其中藉由切換元件 1141 對記憶單元群 1143 所具有的各記憶單元

1142 供應低位準的電源電位 VSS。可以由切換元件 1141 控制對記憶單元群 1143 所具有的各記憶單元 1142 供應低位準的電源電位 VSS。

即使在記憶單元群和施加有電源電位 VDD 或電源電位 VSS 的節點之間設置切換元件來暫時停止 CPU 的動作而停止供應電源電壓，也能夠保持資料，從而可以降低耗電量。明確地說，例如，在個人電腦的使用者停止對鍵盤等輸入裝置輸入資訊時，可以停止 CPU 的工作，由此可以降低耗電量。

在此，雖然以 CPU 為例子來說明，但是也可以將上述電晶體應用於 DSP (Digital Signal Processor: 數位信號處理器)、定製 LSI、FPGA (Field Programmable Gate Array: 現場可程式邏輯閘陣列) 等的 LSI。

本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而使用。

另外，表 2 示出作為自旋電子裝置已知的自旋 MRAM (自旋注入磁化反轉型 MRAM (spin torque transfer MRAM)) 與使用氧化物半導體的記憶體的比較表。

[表 2]

	自旋電子學(MTJ元件)	氧化物半導體/Si
1)耐熱性	不穩定	非常穩定 (至150°C)
2)驅動方式	電流驅動	電壓驅動
3)寫入原理	改變磁性體的自旋方向	FET的導通/截止
4)Si LSI	適合於雙極LSI (由於雙極LSI不適合於高積體化，所以在高積體化電路中較佳為使用MOSLSI。但是，W變大。)	適合於MOSLSI
5)系統開銷 (Overhead)	大 (起因於大焦耳熱)	比MTJ元件小2位至3位以上 (起因於寄生電容的充電和放電)
6)非揮發性	利用自旋	利用小關態電流
7)讀出次數	沒有限制	沒有限制
8)3D化	困難(至多兩層)	容易(對層的個數沒有限制)
9)積體化度(F ²)	4F ² 至15F ²	根據3D化的疊層數決定
10)材料	具有磁性的稀土元件	氧化物半導體材料
11)磁場耐受性	弱	強

如表 2 所示，組合有使用氧化物半導體的電晶體與使用矽的電晶體的記憶體的驅動方式、寫入原理及材料等非常與自旋電子裝置不同。

另外，如表 2 所示，組合有使用氧化物半導體的電晶體與使用矽的電晶體的記憶體與自旋電子裝置相比在耐熱

性、3D化（3層以上的疊層結構化）、磁場耐受性等許多方面是有利的。注意，表2中的系統開銷是指寫入到處理器中的記憶部等的電力等的由所謂的系統開銷消費的電力。

如上所述，藉由利用使用具有許多優於自旋電子裝置之處的氧化物半導體的記憶體，可以實現CPU的低耗電量化。

本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而使用。

實施方式6

可以將本說明書所公開的半導體裝置應用於多種電子裝置（包括遊戲機）。作為電子裝置，可以舉出電視機、顯示器等顯示裝置、照明設備、臺式或筆記本型個人電腦、文字處理器、再現儲存在DVD（Digital Versatile Disc：數位影音光碟）等儲存介質中的靜態影像或動態影像的影像再現裝置、可攜式CD播放器、收音機、磁帶答錄機、頭戴式耳機音響、音響、無繩電話子機、步話機、便攜無線設備、行動電話機、車載電話、可攜式遊戲機、計算器、可攜式資訊終端、電子筆記本、電子書閱讀器、電子翻譯器、聲音輸入器、攝影機、數位靜態照相機、電動剃鬚刀、微波爐等高頻加熱裝置、電鍋、洗衣機、吸塵器、空調器等空調設備、洗碗機、烘碗機、乾衣機、烘被機、電冰箱、電冷凍箱、電冷藏冷凍箱、DNA保存用冰

凍器、煙探測器、輻射計數器（radiation counters）、透析裝置等醫療設備等。再者，還可以舉出工業設備諸如引導燈、信號機、傳送帶、自動扶梯、電梯、工業機器人、蓄電系統等。另外，利用使用石油的引擎或來自非水類二次電池的電力藉由電動機推進的移動體等也包括在電器設備的範疇內。作為上述移動體，例如可以舉出電動汽車（EV）、兼具內燃機和電動機的混合動力汽車（HEV）、插電式混合動力汽車（PHEV）、使用履帶代替這些的車輪的履帶式車輛、包括電動輔助自行車的電動自行車、摩托車、電動輪椅、高爾夫球車、小型或大型船舶、潛水艇、直升機、飛機、火箭、人造衛星、太空探測器、行星探測器、太空船。圖 6A 至圖 6C 示出這些電子裝置的具體例子。

圖 6A 示出具有顯示部的桌子 9000。在桌子 9000 中，外殼 9001 組裝有顯示部 9003，利用顯示部 9003 可以顯示影像。另外，示出利用四個腿部 9002 支撐外殼 9001 的結構。另外，外殼 9001 具有用於供應電力的電源供應線 9005。

實施方式 1 所示的電晶體都可以用於顯示部 9003，可以使電子裝置具有高可靠性。

顯示部 9003 具有觸屏輸入功能，而藉由用手指等接觸顯示於桌子 9000 的顯示部 9003 中的顯示按鈕 9004 來可以進行屏面操作或資訊輸入，並且顯示部 9003 也可以用作如下控制裝置，即藉由使其具有能夠與其他家電產品

進行通訊的功能或能夠控制其他家電產品的功能，而藉由屏面操作控制其他家電產品。例如，藉由使用具有影像感測器功能的半導體裝置，可以使顯示部 9003 具有觸屏輸入功能。

另外，利用設置於外殼 9001 的鉸鏈也可以將顯示部 9003 的屏面以與地板垂直的方式立起來，從而也可以將桌子用作電視機。雖然在小房間裏設置大屏面的電視機會使自由使用的空間變小，但是若桌子安裝有顯示部則可以有效地利用房間的空間。

圖 6B 是可攜式音樂播放器，其主體 3021 設有：顯示部 3023；爲了掛在耳朵上的固定部 3022；操作按鈕 3024；及外部連接埠 3025 等。此外，也可以設有揚聲器。藉由實施方式 1 所示的電晶體或實施方式 2 至實施方式 4 所示的記憶體或邏輯電路用於內置在主體 3021 中的記憶體或 CPU 等，可以實現進一步低耗電量化的可攜式音樂播放器（PDA）。

再者，藉由使圖 6B 所示的可攜式音樂播放器具有天線、麥克風功能及無線通信功能，且與行動電話機互動，可以實現在駕駛汽車等時利用無線通信進行免提的對話。

圖 6C 示出電腦，該電腦包括含有 CPU 的主體 9201、外殼 9202、顯示部 9203、鍵盤 9204、外部連接埠 9205、指向裝置 9206 等。該電腦藉由將利用本發明的一個方式製造的半導體裝置用於顯示部 9203 來製造。藉由使用實施方式 5 所示的 CPU，可以製造耗電量低的電腦。

圖 7A 及圖 7B 是能夠進行折疊的平板終端。圖 7A 是打開的狀態，並且平板終端包括外殼 9630、顯示部 9631a、顯示部 9631b、顯示模式切換開關 9034、電源開關 9035、省電模式切換開關 9036、卡子 9033 以及操作開關 9038。

在圖 7A 及圖 7B 所示的可攜式設備中，作為用來暫時儲存影像資料的記憶體使用 SRAM 或 DRAM。例如，可以將實施方式 2 或 3 所說明的半導體裝置用作記憶體。藉由將上述實施方式所說明的半導體裝置用於記憶體，能夠以高速進行資訊的寫入和讀出，能夠長期保持儲存資料，還能夠充分降低耗電量。

另外，在顯示部 9631a 中，可以將其一部分用作觸摸屏的區域 9632a，並且可以藉由接觸所顯示的操作鍵 9638 來輸入資料。此外，作為一個例子，示出顯示部 9631a 的一半只具有顯示的功能，而另一半具有觸摸屏的功能的結構，但是不侷限於該結構。也可以採用使顯示部 9631a 的所有區域具有觸摸屏的功能的結構。例如，可以使顯示部 9631a 的整個面顯示鍵盤按鈕來將其用作觸摸屏，並且將顯示部 9631b 用作顯示幕面。

此外，在顯示部 9631b 中與顯示部 9631a 同樣也可以將其一部分用作觸摸屏的區域 9632b。此外，藉由使用手指或觸控筆等接觸觸摸屏上的顯示鍵盤顯示切換按鈕 9639 的位置，可以在顯示部 9631b 上顯示鍵盤按鈕。

此外，也可以對觸摸屏的區域 9632a 和觸摸屏的區域

9632b 同時進行觸摸輸入。

另外，顯示模式切換開關 9034 能夠切換豎屏顯示和橫屏顯示等顯示的方向並選擇黑白顯示或彩色顯示等的切換。根據藉由平板終端所內置的光感測器檢測到的使用時的外光的光量，省電模式切換開關 9036 可以使顯示的亮度設定為最適合的亮度。平板終端除了光感測器以外還可以內置陀螺儀和加速度感測器等檢測傾斜度的感測器等的其他檢測裝置。

此外，圖 7A 示出顯示部 9631b 的顯示面積與顯示部 9631a 的顯示面積相同的例子，但是不侷限於此，既可以使一方的尺寸和另一方的尺寸不同又可以使它們的顯示品質有差異。例如顯示部 9631a 和顯示部 9631b 中的一方與另一方相比可以進行高精細的顯示。

圖 7B 是合上的狀態，並且平板終端包括外殼 9630、太陽能電池 9633、充放電控制電路 9634、電池 9635 以及 DCDC 轉換器 9636。此外，在圖 7B 中，作為充放電控制電路 9634 的一個例子示出具有電池 9635 和 DCDC 轉換器 9636 的結構。

此外，平板終端能夠進行折疊，因此不使用時可以合上外殼 9630。因此，可以保護顯示部 9631a 和顯示部 9631b，而可以提供一種具有良好的耐久性且從長期使用的觀點來看具有良好的可靠性的平板終端。

此外，圖 7A 及圖 7B 所示的平板終端還可以具有如下功能：顯示各種各樣的資訊（靜態影像、動態影像、文

字影像等)；將日曆、日期或時刻等顯示在顯示部上；對顯示在顯示部上的資訊進行操作或編輯的觸摸輸入；藉由各種各樣的軟體(程式)控制處理等。

藉由利用安裝在平板終端的表面上的太陽能電池 9633，可以將電力供應到觸摸屏、顯示部或影像信號處理部等。另外，可以藉由將太陽能電池 9633 設置在外殼 9630 的單面或雙面，來高效地對電池 9635 進行充電。另外，當作爲電池 9635 使用鋰離子電池時，有可以實現小型化等的優點。

另外，參照圖 7C 所示的方塊圖對圖 7B 所示的充放電控制電路 9634 的結構和工作進行說明。圖 7C 示出太陽能電池 9633、電池 9635、DCDC 轉換器 9636、轉換器 9637、開關 SW1 至開關 SW3 以及顯示部 9631，電池 9635、DCDC 轉換器 9636、轉換器 9637、開關 SW1 至開關 SW3 對應圖 7B 所示的充放電控制電路 9634。

首先，說明在利用外光使太陽能電池 9633 發電時的工作的例子。使用 DCDC 轉換器 9636 對太陽能電池所產生的電力進行升壓或降壓以使它成爲用來對電池 9635 進行充電的電壓。並且，當利用來自太陽能電池 9633 的電力使顯示部 9631 工作時使開關 SW1 導通，並且，利用轉換器 9637 將其升壓或降壓到顯示部 9631 所需要的電壓。另外，當不進行顯示部 9631 中的顯示時，可以採用使開關 SW1 截止且使開關 SW2 導通來對電池 9635 進行充電的結構。

注意，作為發電單元的一個例子示出太陽能電池 9633，但是不侷限於此，也可以使用壓電元件（piezoelectric element）或熱電轉換元件（珀耳帖元件（Peltier element））等其他發電單元進行電池 9635 的充電。例如，也可以使用以無線（不接觸）的方式能夠收發電力來進行充電的無線電力傳輸模組或組合其他充電方法進行充電。

在圖 8A 的電視機 8000 中，外殼 8001 組裝有顯示部 8002，利用顯示部 8002 可以顯示影像，並且從揚聲器部 8003 可以輸出聲音。可以將實施方式 1 所示的電晶體用於顯示部 8002。

作為顯示部 8002，可以使用液晶顯示裝置、在各個像素中具備有機 EL 元件等發光元件的發光裝置、電泳顯示裝置、DMD（Digital Micromirror Device：數位微鏡裝置）、PDP（Plasma Display Panel：電漿顯示面板）等半導體顯示裝置。

電視機 8000 也可以具備接收機及數據機等。電視機 8000 可以藉由利用接收機，接收一般的電視廣播。再者，藉由數據機連接到有線或無線方式的通信網路，也可以進行單向（從發送者到接收者）或雙向（發送者和接收者之間或接收者之間等）的資訊通信。

此外，電視機 8000 也可以具備用來進行資訊通信的 CPU、記憶體等。電視機 8000 也可以使用實施方式 2 至實施方式 5 中的任一個所示的記憶體、邏輯電路及 CPU。

在圖 8A 中，具有室內機 8200 和室外機 8204 的空調器是使用實施方式 5 的 CPU 的電氣設備的一個例子。明確地說，室內機 8200 具有外殼 8201、送風口 8202、CPU8203 等。在圖 8A 中，例示出 CPU8203 設置在室內機 8200 中的情況，但是 CPU8203 也可以設置在室外機 8204 中。或者，在室內機 8200 和室外機 8204 的兩者中設置 CPU8203。因為實施方式 5 所示的 CPU 是使用氧化物半導體的 CPU，而具有良好的耐熱性，所以可以實現可靠性高的空調器。

在圖 8A 中，電冷藏冷凍箱 8300 是具備使用氧化物半導體的 CPU 的電氣設備的一個例子。明確地說，電冷藏冷凍箱 8300 包括外殼 8301、冷藏室門 8302、冷凍室門 8303 及 CPU8304 等。在圖 8A 中，CPU8304 設置在外殼 8301 的內部。藉由將實施方式 5 所示的 CPU 用於電冷藏冷凍箱 8300 的 CPU8304，可以實現低耗電量化。

在圖 8B 和圖 8C 中，示出電氣設備的一個例子的電動汽車的例子。電動汽車 9700 安裝有二次電池 9701。二次電池 9701 的電力由控制電路 9702 調整輸出而供應到驅動裝置 9703。控制電路 9702 由具有未圖示的 ROM、RAM、CPU 等的處理裝置 9704 控制。藉由將實施方式 5 所示的 CPU 用於電動汽車 9700 的 CPU，可以實現低耗電量化。

驅動裝置 9703 是利用直流電動機或交流電動機，或者將電動機和內燃機組合而構成。處理裝置 9704 根據電

動汽車 9700 的駕駛員的操作資訊（加速、減速、停止等）、行車資訊（爬坡、下坡等資訊或者行車中的車輪受到的負載等）等的輸入資訊，向控制電路 9702 輸出控制信號。控制電路 9702 利用處理裝置 9704 的控制信號調整從二次電池 9701 供應的電能控制驅動裝置 9703 的輸出。當安裝有交流電動機時，雖然未圖示，但是還安裝有將直流轉換為交流的反相器。

本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而使用。

【符號說明】

- 100：基板
- 102：閘極電極層
- 103：絕緣層
- 104：絕緣層
- 106：氧化物半導體疊層
- 106a：氧化物半導體層
- 106b：氧化物半導體層
- 108：導電膜
- 108a：源極電極層
- 108b：汲極電極層
- 110：絕緣層
- 112：閘極電極層
- 120：電晶體

- 160：電晶體
- 162：電晶體
- 164：電容元件
- 200：基板
- 202a：電極層
- 202b：閘極電極層
- 203：絕緣層
- 204：絕緣層
- 206：元件隔離絕緣層
- 208：閘極絕緣層
- 210：閘極電極層
- 212a：電極層
- 212b：電極層
- 214：雜質區
- 216：通道形成區
- 218：側壁絕緣層
- 220：高濃度雜質區
- 222a：電極層
- 222b：佈線層
- 224：金屬間化合物區
- 228：絕緣層
- 230：絕緣層
- 232：絕緣層
- 234：絕緣層

- 236：絕緣層
- 244：氧化物半導體疊層
- 244a：氧化物半導體層
- 244b：氧化物半導體層
- 250：記憶單元
- 251：記憶單元陣列
- 251a：記憶單元陣列
- 251b：記憶單元陣列
- 253：導電層
- 254：電容元件
- 256：佈線層
- 258：週邊電路
- 260：閘極絕緣層
- 262：閘極電極層
- 268a：電極層
- 268b：電極層
- 302：絕緣層
- 306：氧化物半導體層
- 308a：源極電極層
- 308b：汲極電極層
- 310：閘極絕緣層
- 320：電晶體
- 402：氧過剩區
- 405a：源極電極層

- 405b : 汲極電極層
- 400 : 氧
- 800 : 基板
- 801 : 電晶體
- 802 : 電晶體
- 803 : 電晶體
- 804 : 電晶體
- 806 : 元件隔離絕緣層
- 811 : 電晶體
- 812 : 電晶體
- 813 : 電晶體
- 814 : 電晶體
- 821 : 閘極電極層
- 825 : 電極層
- 826 : 絕緣層
- 830 : 絕緣層
- 831 : 電極層
- 832 : 佈線層
- 833 : 絕緣層
- 834 : 佈線層
- 835 : 電極層
- 836 : 絕緣層
- 839 : 絕緣層
- 840 : 閘極電極層

- 841a : 閘極電極層
- 841b : 電極層
- 843 : 閘極絕緣層
- 845 : 電極層
- 1141 : 切換元件
- 1142 : 記憶單元
- 1143 : 記憶單元群
- 1189 : ROM 介面
- 1190 : 基板
- 1191 : ALU
- 1192 : ALU 控制器
- 1193 : 指令解碼器
- 1194 : 中斷控制器
- 1195 : 定時控制器
- 1196 : 暫存器
- 1197 : 暫存器控制器
- 1198 : 匯流排介面
- 1199 : ROM
- 3021 : 主體
- 3022 : 固定部
- 3023 : 顯示部
- 3024 : 操作按鈕
- 3025 : 外部連接埠
- 8000 : 電視機

- 8001 : 外殼
- 8002 : 顯示部
- 8003 : 揚聲器部
- 8200 : 室內機
- 8201 : 外殼
- 8202 : 送風口
- 8203 : CPU
- 8204 : 室外機
- 8300 : 電冷藏冷凍箱
- 8301 : 外殼
- 8302 : 冷藏室門
- 8303 : 冷凍室門
- 8304 : CPU
- 9000 : 桌子
- 9001 : 外殼
- 9002 : 腿部
- 9003 : 顯示部
- 9004 : 顯示按鈕
- 9005 : 電源供應線
- 9033 : 卡子
- 9034 : 開關
- 9035 : 電源開關
- 9036 : 開關
- 9038 : 操作開關

- 9201 : 主體
- 9202 : 外殼
- 9203 : 顯示部
- 9204 : 鍵盤
- 9205 : 外部連接埠
- 9206 : 指向裝置
- 9630 : 外殼
- 9631 : 顯示部
- 9631a : 顯示部
- 9631b : 顯示部
- 9632a : 區域
- 9632b : 區域
- 9633 : 太陽能電池
- 9634 : 充放電控制電路
- 9635 : 電池
- 9636 : DCDC 轉換器
- 9637 : 轉換器
- 9638 : 操作鍵
- 9639 : 按鈕
- 9700 : 電動汽車
- 9701 : 二次電池
- 9702 : 控制電路
- 9703 : 驅動裝置
- 9704 : 處理裝置

申請專利範圍

1. 一種半導體裝置，包括：

絕緣表面上的第一閘極電極層；

該第一閘極電極層上的第一絕緣層；

氧化物半導體疊層，該氧化物半導體疊層包括第一氧化物半導體層及第二氧化物半導體層並隔著該第一閘極電極層與該氧化物半導體疊層之間的該第一絕緣層重疊於該第一閘極電極層；

在該第二氧化物半導體層上並與其接觸的源極電極層及汲極電極層；

在該源極電極層、該汲極電極層及該源極電極層和該汲極電極層之間的該第二氧化物半導體層的上表面上並與其接觸的第二絕緣層；以及

第二閘極電極層，該第二閘極電極層隔著該第二閘極電極層與該氧化物半導體疊層之間的該第二絕緣層重疊於該氧化物半導體疊層，

其中，該第一氧化物半導體層及該第二氧化物半導體層包括相同的構成元素和該構成元素的不同組成，

並且，接觸於該第二絕緣層的該第二氧化物半導體層的區域的厚度小於接觸於該源極電極層的該第二氧化物半導體層的區域及接觸於該汲極電極層的該第二氧化物半導體層的區域的厚度。

2. 根據申請專利範圍第 1 項之半導體裝置，

其中，該第一氧化物半導體層包含銦及鎵，

並且，在該第一氧化物半導體層中，銦含量大於鎵含量。

3.根據申請專利範圍第 1 項之半導體裝置，
其中，該第二氧化物半導體層包含銦及鎵，
並且，在該第二氧化物半導體層中，銦含量為鎵含量以下。

4.根據申請專利範圍第 1 項之半導體裝置，
其中，該第一閘極電極層及該第二閘極電極層中的至少一方是具有 5eV 以上的功函數的導電層。

5.根據申請專利範圍第 1 項之半導體裝置，
其中，該第一閘極電極層及該第二閘極電極層中的至少一方是包含氮的 In-Ga-Zn-O 膜。

6.根據申請專利範圍第 1 項之半導體裝置，
其中，該第一氧化物半導體層包含第一區及一對第二區，

其中，該第一區重疊於接觸於該第二絕緣層的該第二氧化物半導體層的該區域，

其中，該對第二區重疊於該源極電極層及該汲極電極層，並且

其中，該第一區的厚度實質上相同於該對第二區的厚度。

7.根據申請專利範圍第 1 項之半導體裝置，
其中，該第一氧化物半導體層及該第二氧化物半導體層中的每一個包含銦及鎵，

其中，在該第一氧化物半導體層中，銦的濃度高於鎵的濃度，並且

其中，在該第二氧化物半導體層中，鎵的濃度高於銦的濃度。

8. 根據申請專利範圍第 1 項之半導體裝置，其中，該氧化物半導體疊層的一部分的厚度大於或等於 3nm 且小於 20nm，該部分在該源極電極層與該汲極電極層之間。

圖式

圖 1A

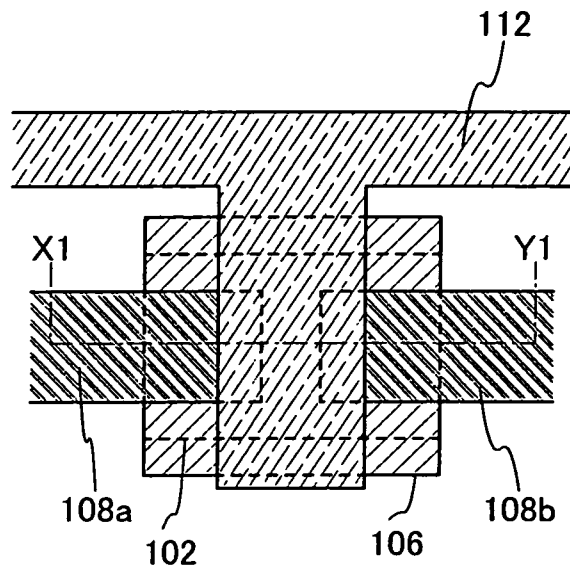
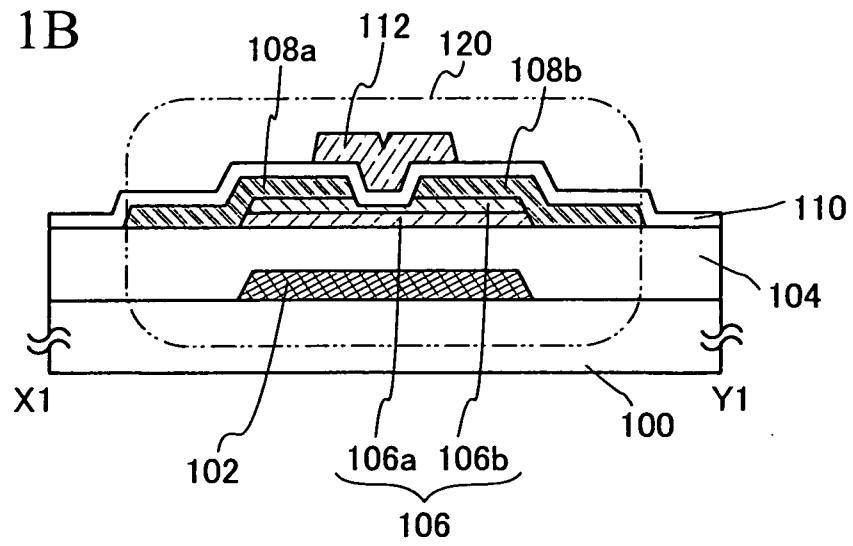


圖 1B



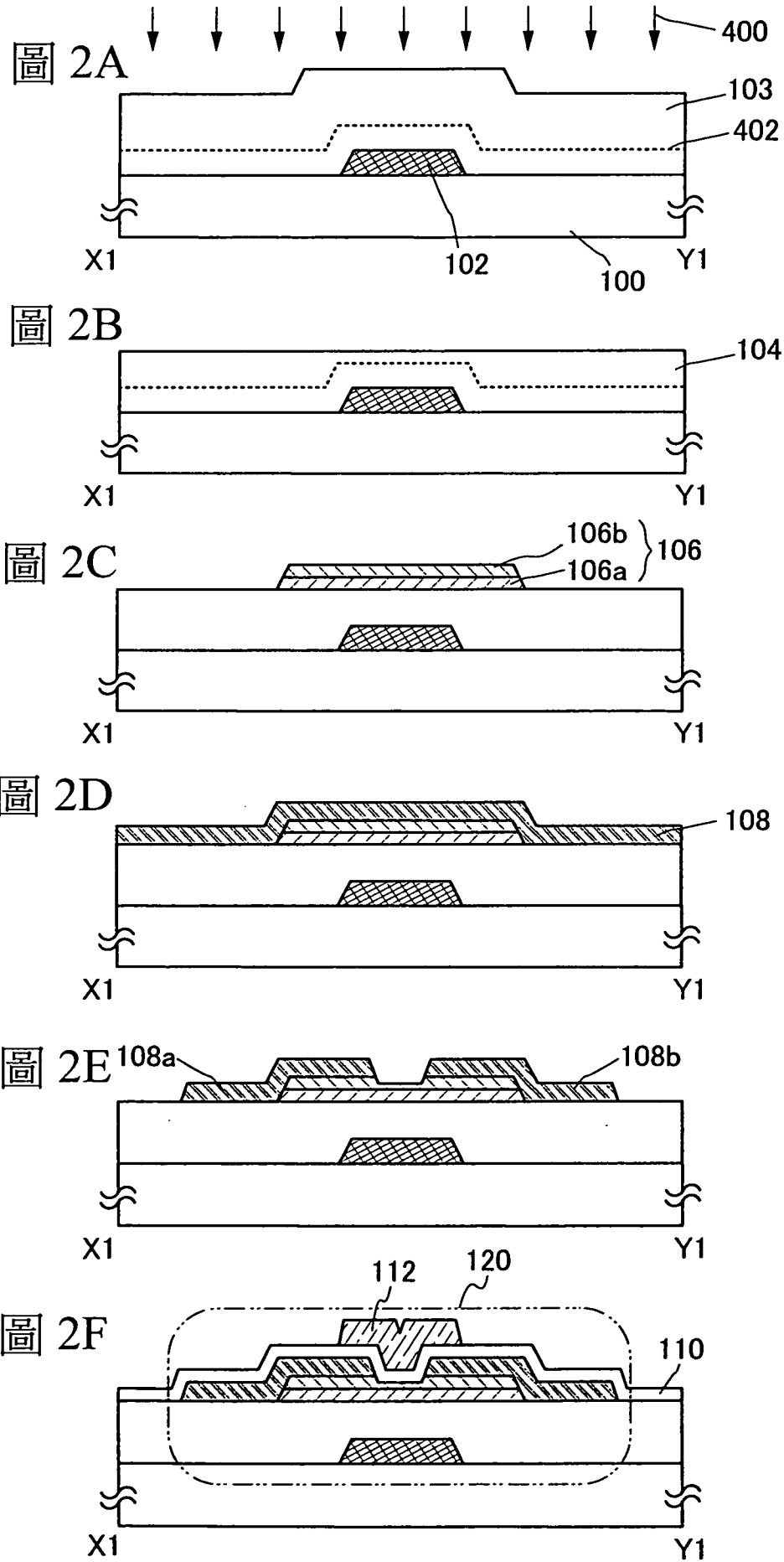


圖 3A

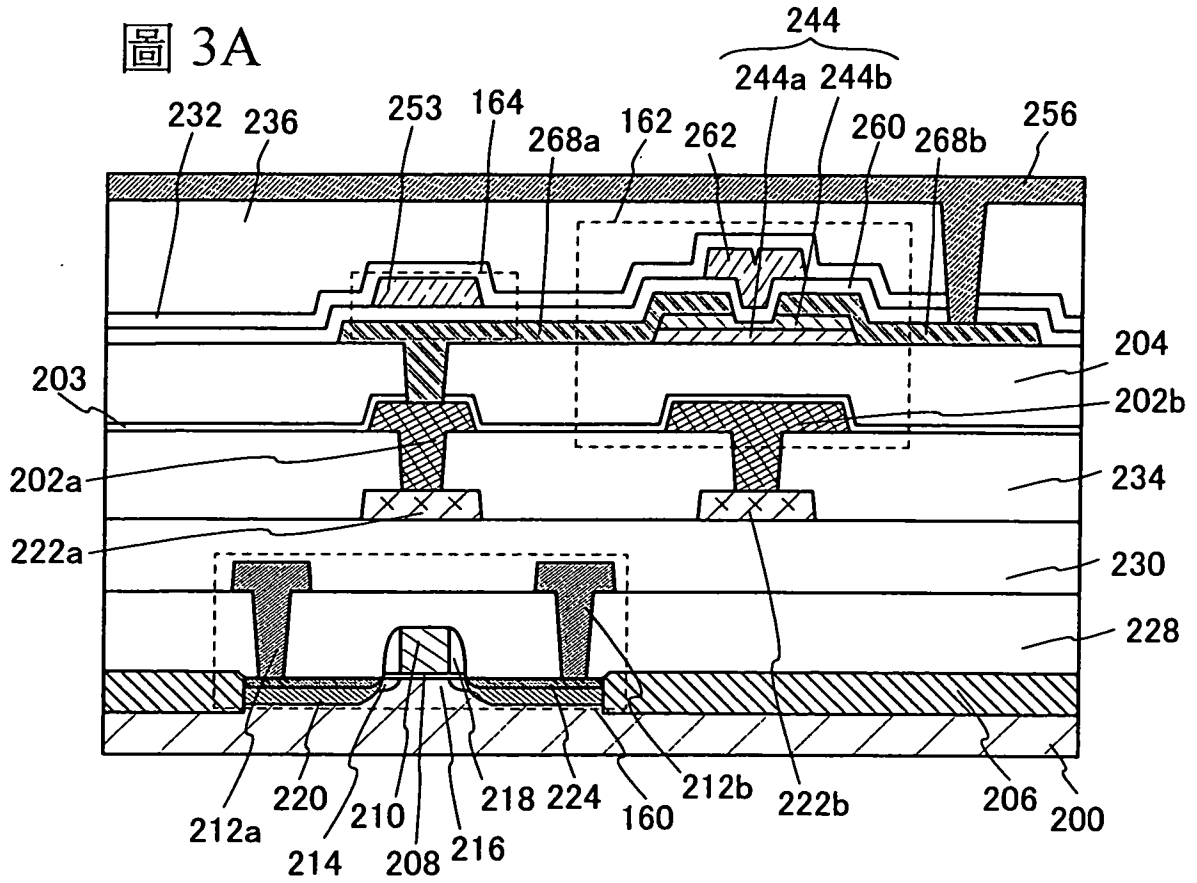


圖 3B

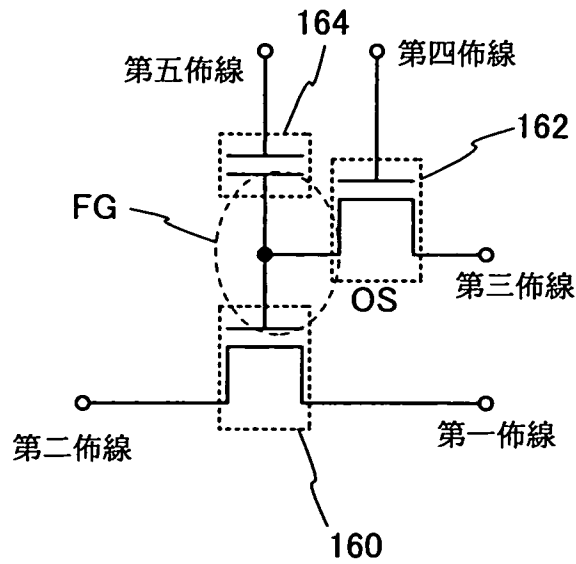


圖 4A

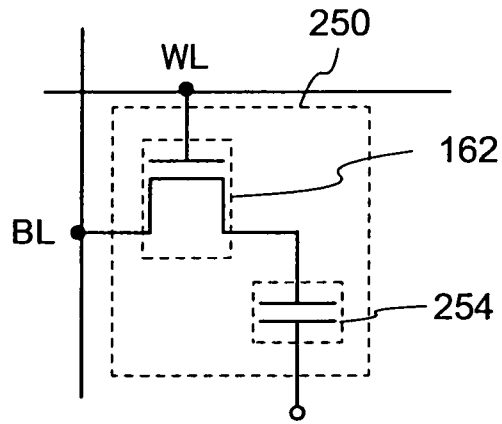


圖 4B

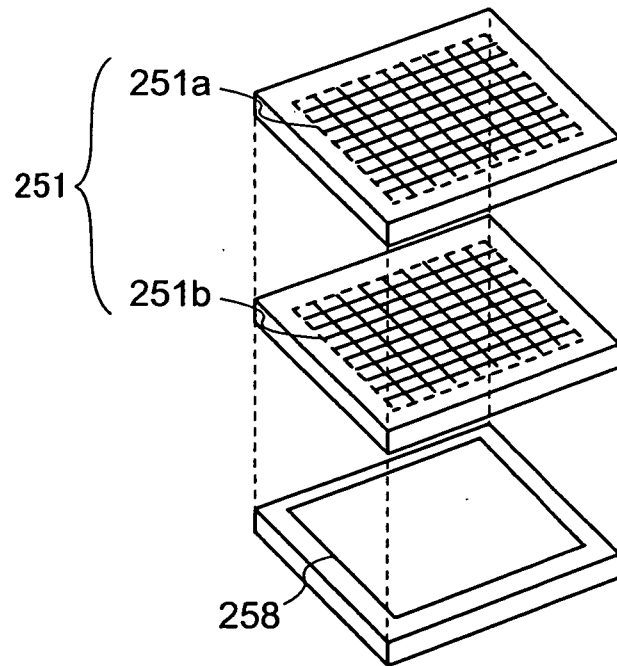


圖 5A

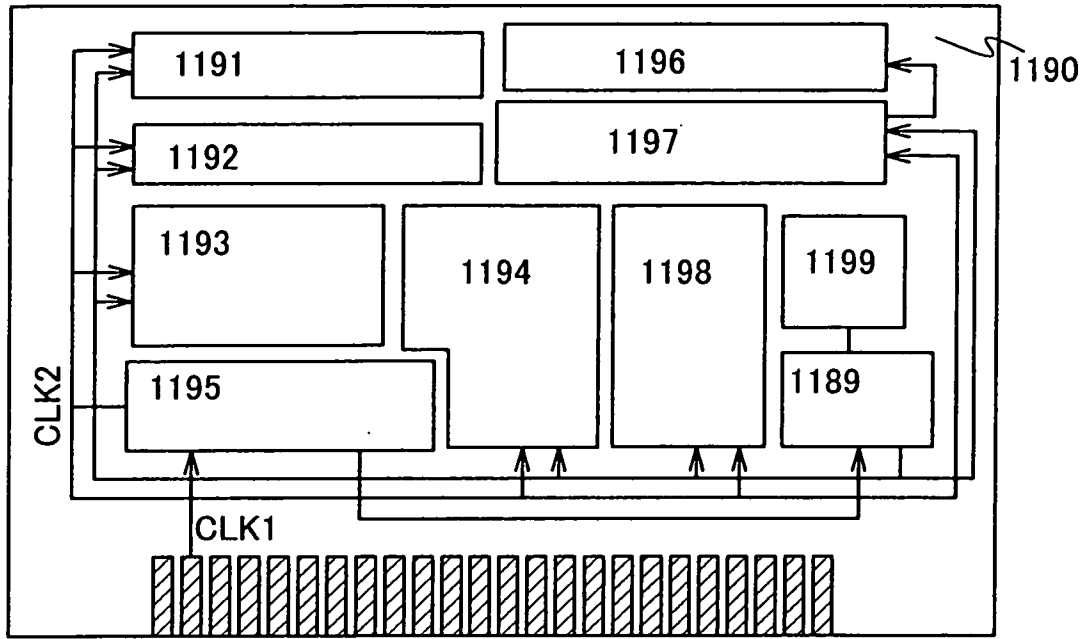


圖 5B

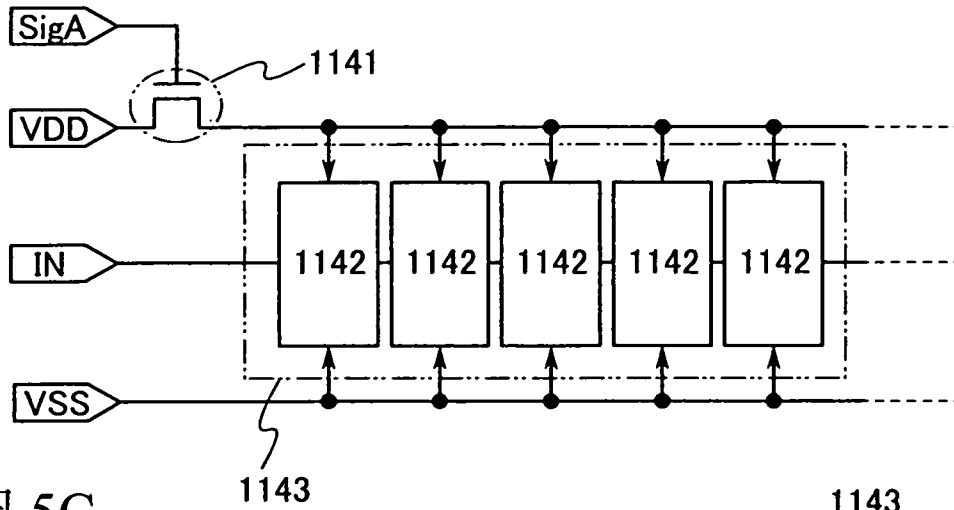


圖 5C

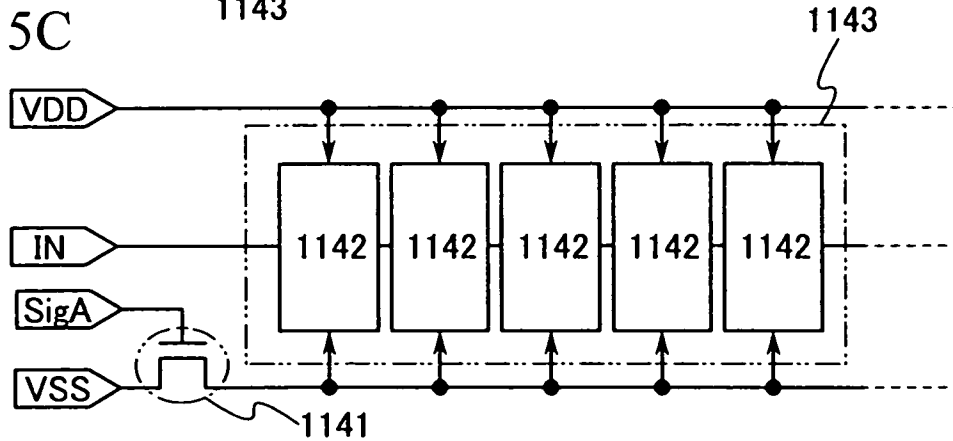


圖 6A

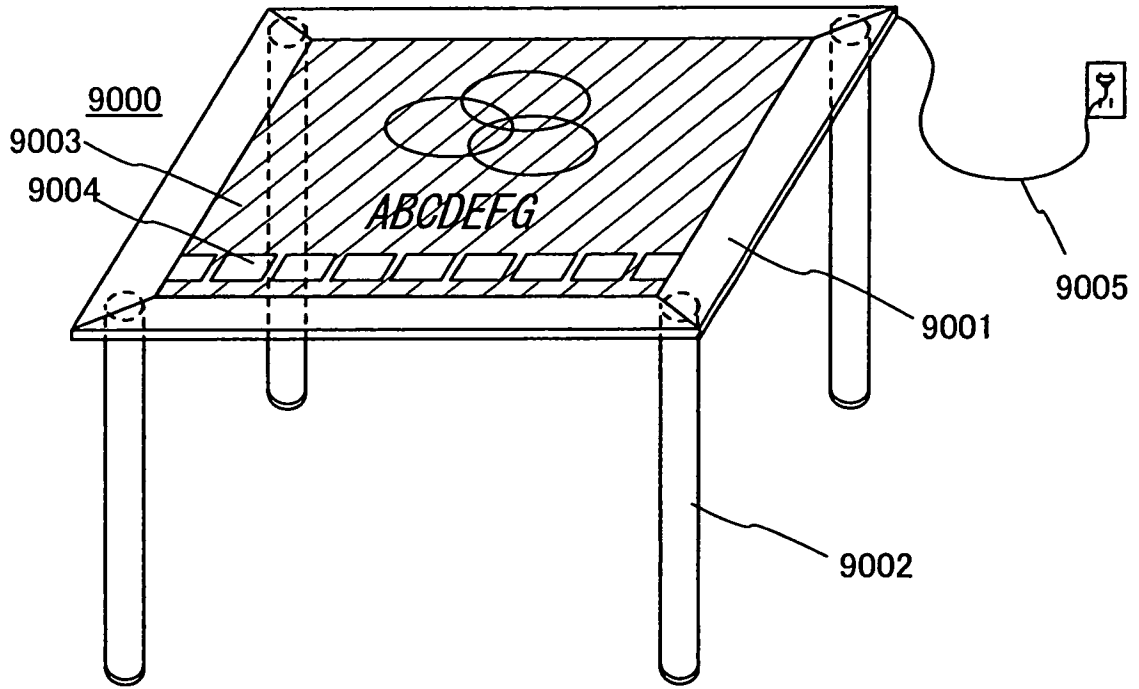


圖 6B

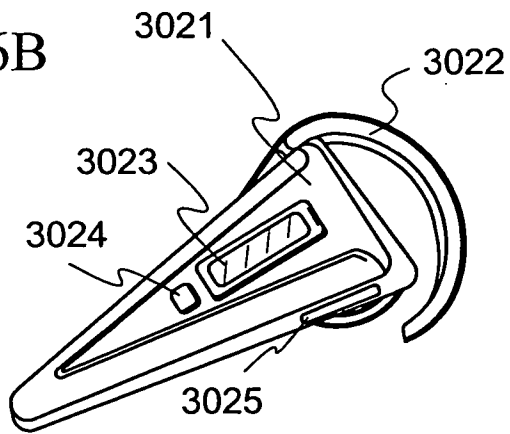


圖 6C

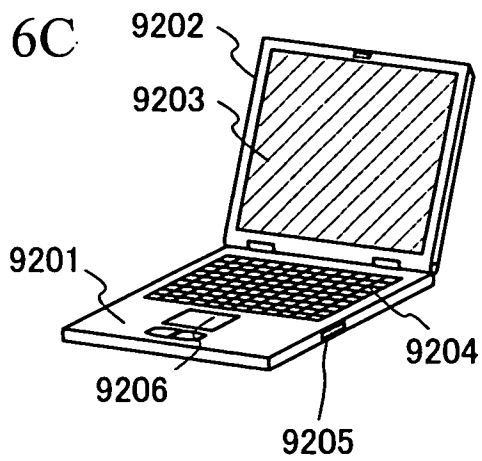


圖 7A

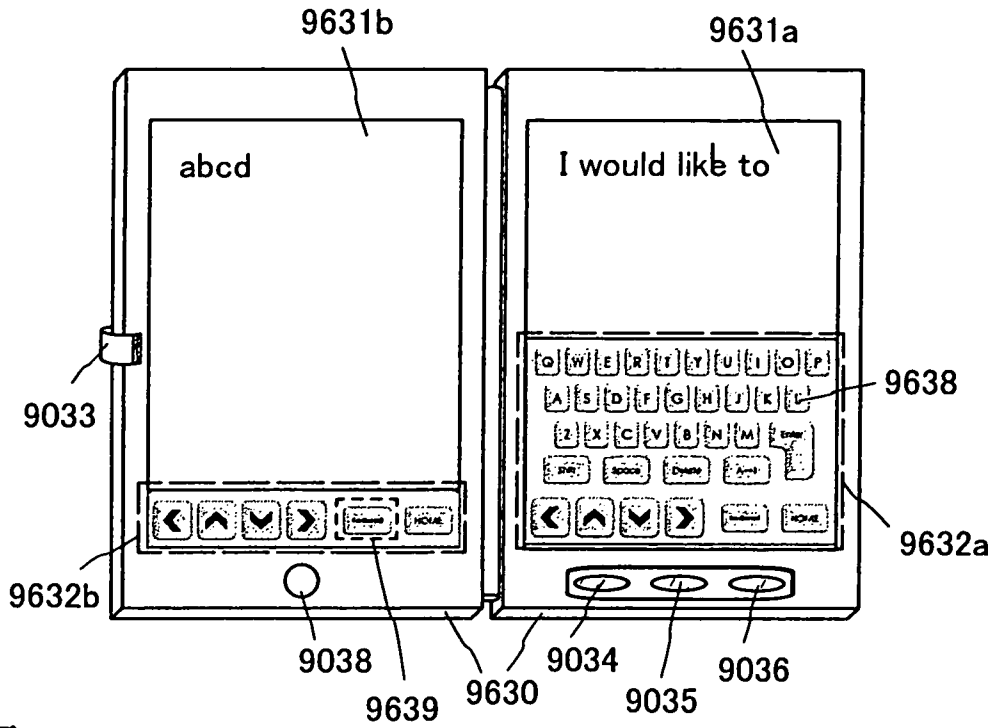


圖 7B

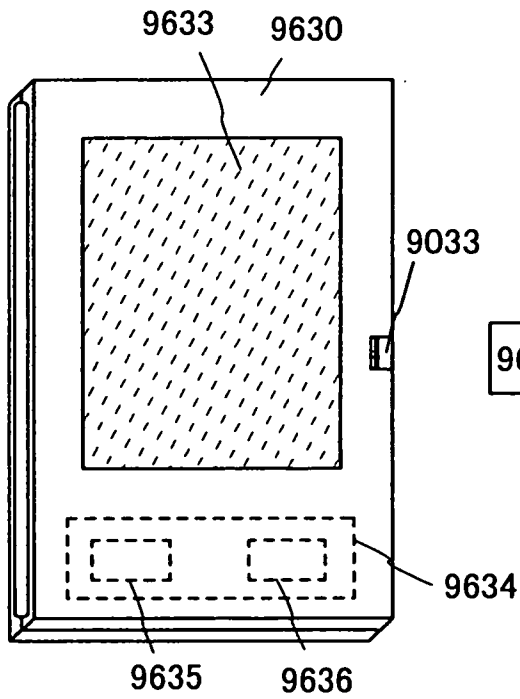


圖 7C

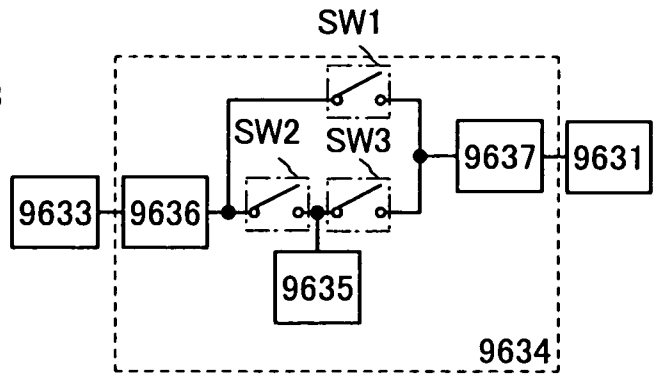


圖 8A

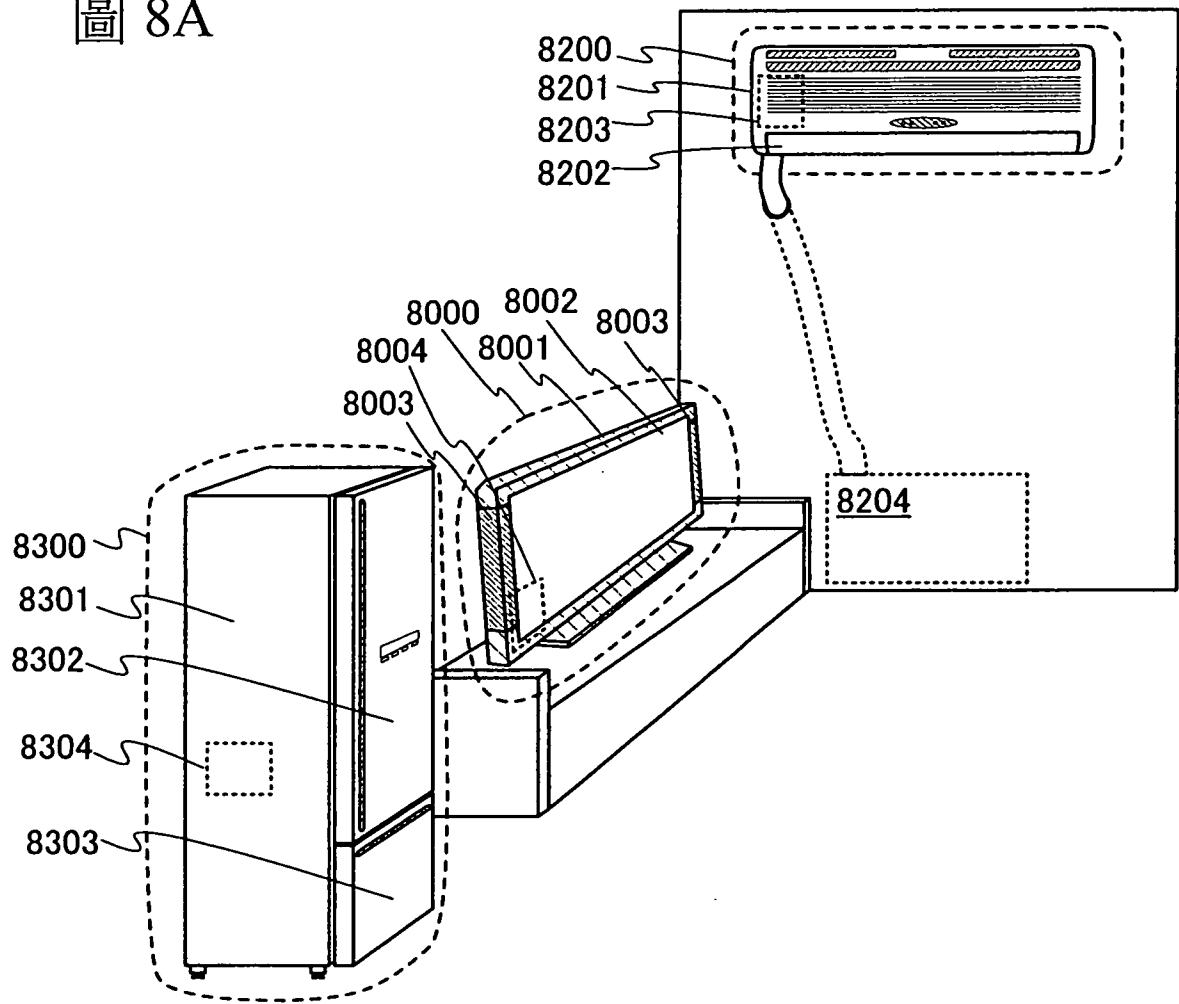


圖 8B

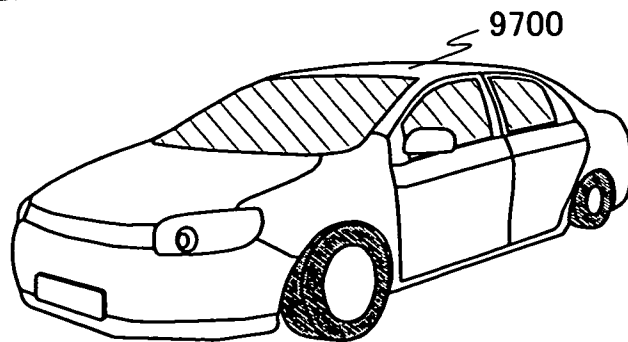


圖 8C

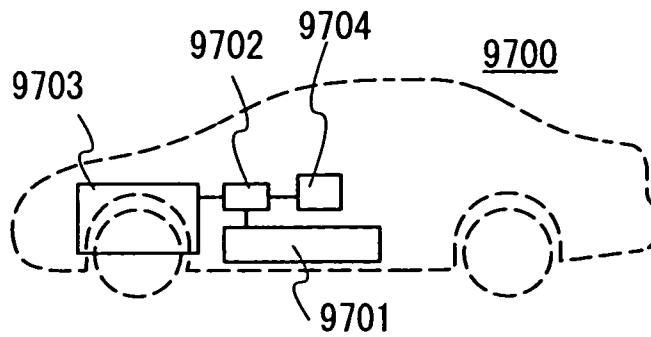


圖 9

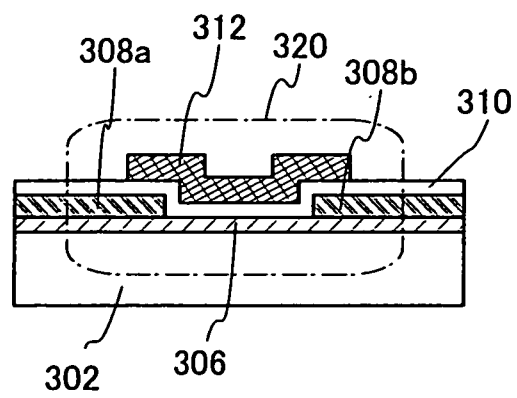


圖 10A

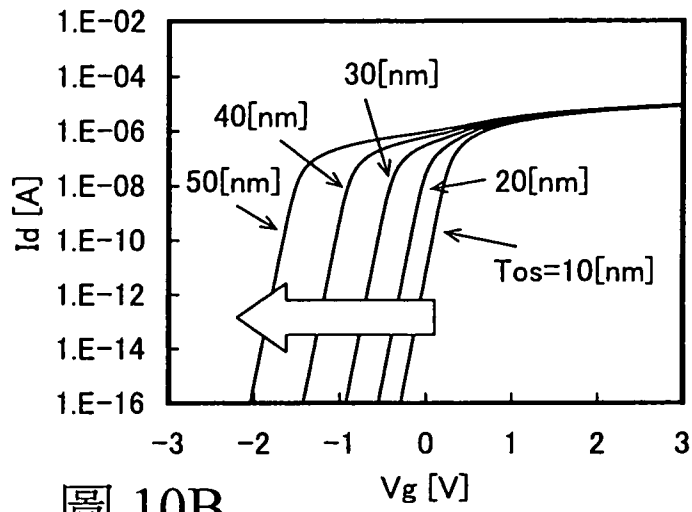


圖 10B

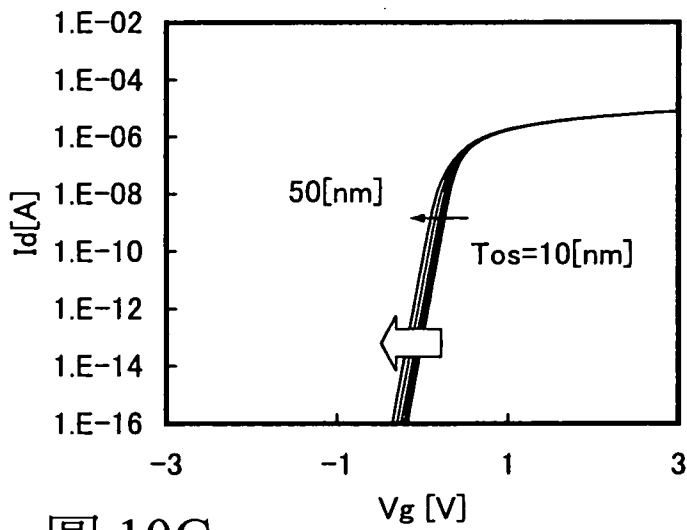


圖 10C

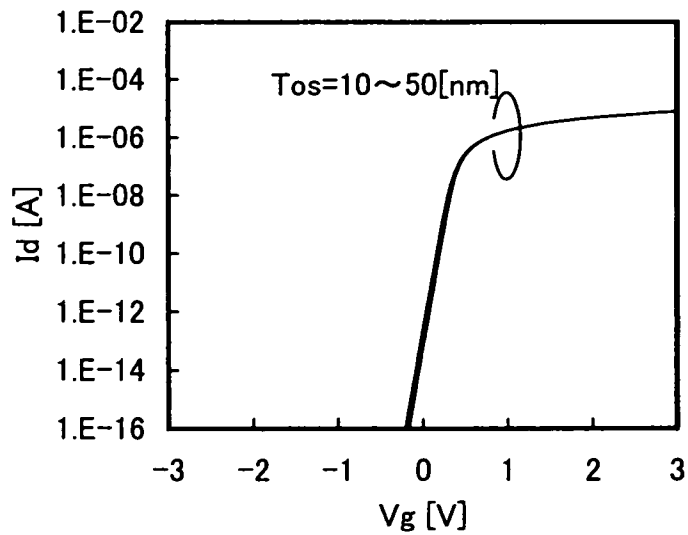


圖 11A

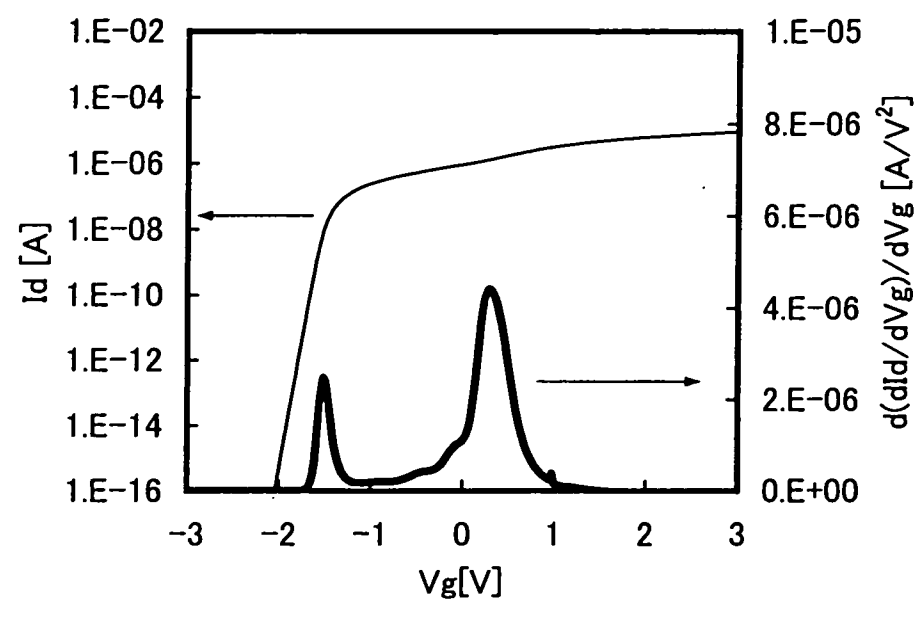


圖 11B

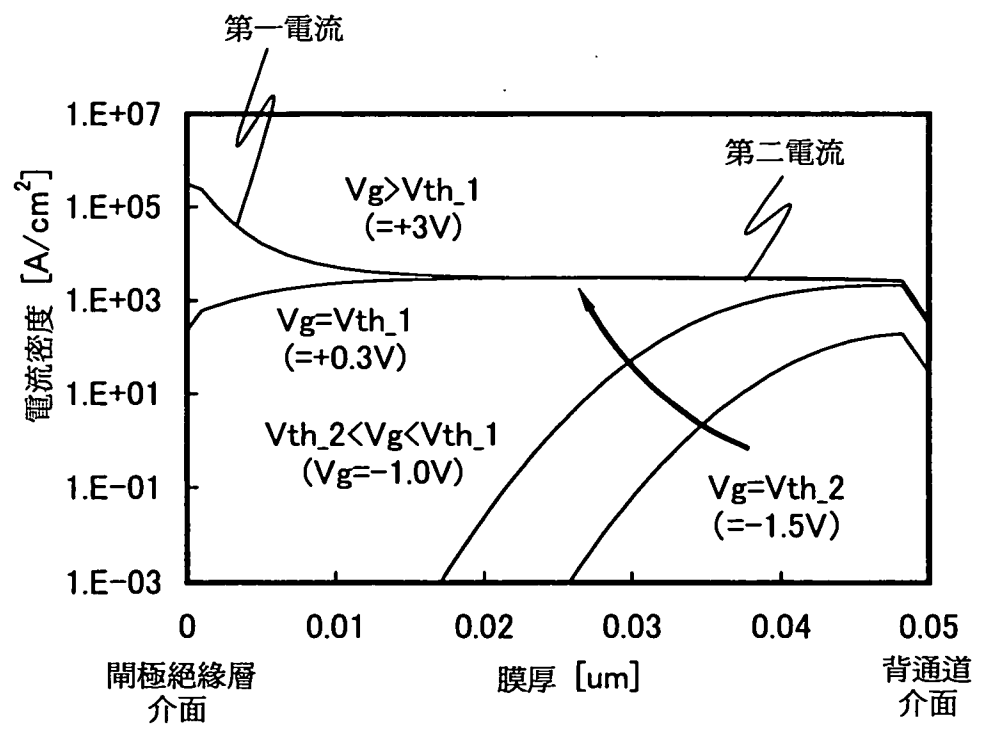


圖 12

GE \ GI \ OS (n 型)

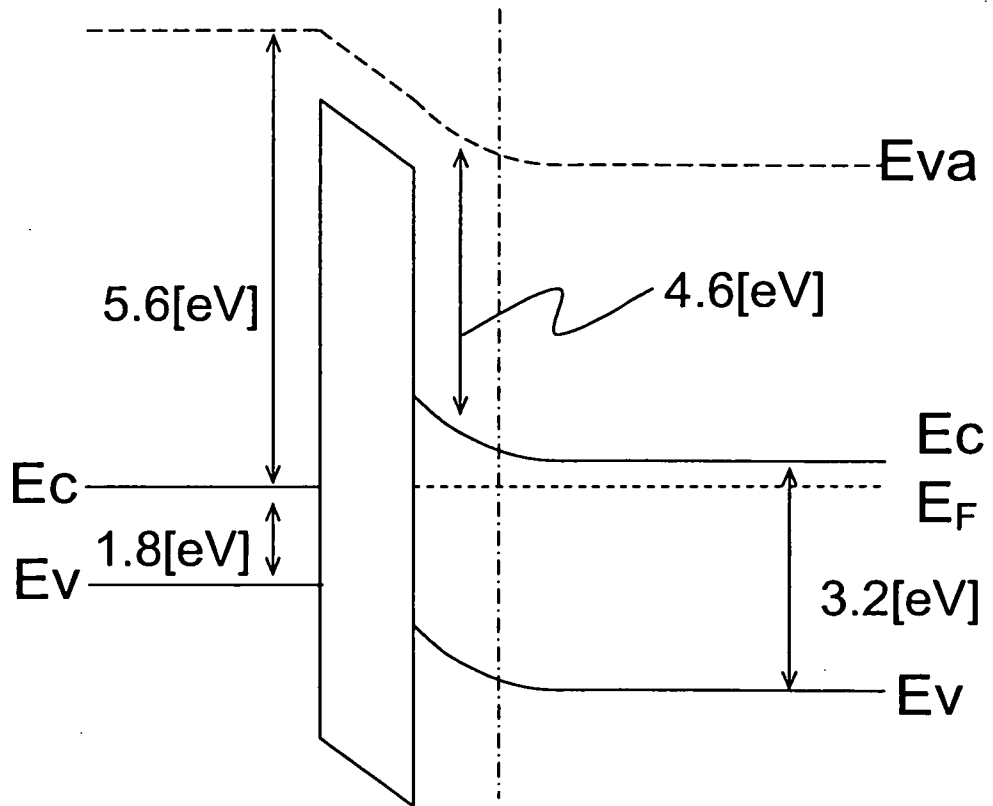


圖 13A

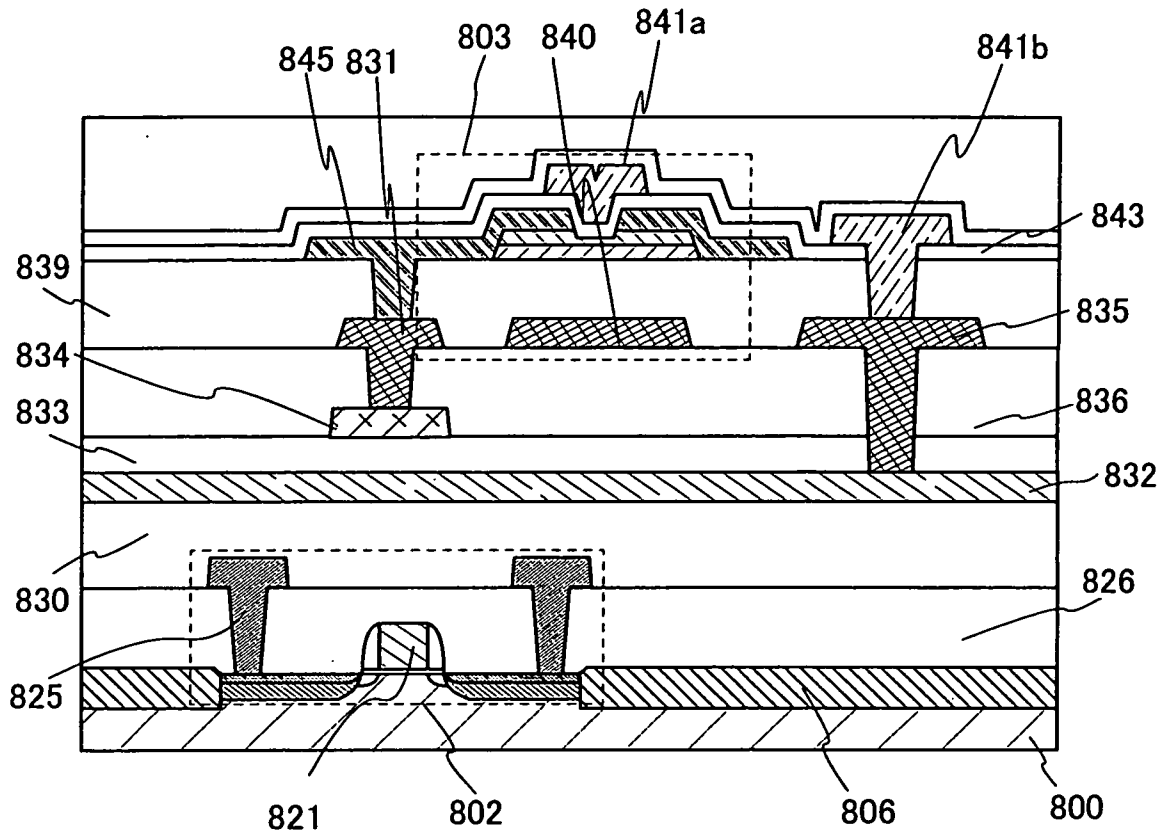


圖 13B

圖 13C

