

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成22年11月18日(2010.11.18)

【公開番号】特開2008-277757(P2008-277757A)

【公開日】平成20年11月13日(2008.11.13)

【年通号数】公開・登録公報2008-045

【出願番号】特願2008-50828(P2008-50828)

【国際特許分類】

H 01 L 21/52 (2006.01)

H 01 L 23/12 (2006.01)

【F I】

H 01 L 21/52 C

H 01 L 23/12 501W

【誤訳訂正書】

【提出日】平成22年10月1日(2010.10.1)

【誤訳訂正1】

【訂正対象書類名】特許請求の範囲

【訂正対象項目名】全文

【訂正方法】変更

【訂正の内容】

【特許請求の範囲】

【請求項1】

半田接続部を製造するプロセスであって、

半田付け可能な表面領域を有する基板を設ける工程と、

上面および半田付け可能な裏面を有する半導体チップを設ける工程と、

上記半田付け可能な表面領域に、半田材料を塗布する工程と、

上記半導体チップを、

(a) 上記半田材料に第1の溶解を行い、

(b) 続いて上記半導体チップの裏面を上記半田材料上に降下させ、

(c) 上記半田材料を凝固させて上記表面領域と上記裏面との間に半田材料層を形成する、

ことによって上記基板に一体的にボンディングする工程と、

上記一体的にボンディングされた構造を、真空引き可能な加熱スペース内に導入する工程と、

上記半田材料層の上記半田材料に対して真空下において第2の溶解を行うことによって、上記半田材料層から揮発性物質を排出させ、次に、上記半田材料層の上記半田材料を凝固させて半田接続部を形成する工程とを含んでいる、プロセス。

【請求項2】

ダイボンディングおよび真空溶解のために、基板の多数の半田付け可能な表面領域上に多数の半導体チップが配置されるバッチ処理が用いられる、請求項1に記載のプロセス。

【請求項3】

ダイボンディングおよび真空溶解のために、少なくとも1つのダイボンディング位置および真空炉位置を含む連続枚葉式製造装置(continuous production installation)内において多数の半導体チップが次々と処理される連続的なプロセスが用いられる、請求項1に記載のプロセス。

【請求項4】

上記半田付け可能な表面領域あるいは上記半田付け可能な裏面に、半田材料として、SnAg、PbSnAg、PbSn、あるいはPbSnInからなる群のうちのいずれか1

つの材料が塗布される、請求項1～請求項3のいずれか一項に記載のプロセス。

【請求項 5】

25mm<sup>2</sup>以上の面積Aを有する上記表面領域と上記半導体チップとの間に、半田接続部が製造される、請求項1～請求項4のいずれか一項に記載のプロセス。

【請求項 6】

225mm<sup>2</sup>以上の面積Aを有する上記表面領域と上記半導体チップとの間に、半田接続部が製造される、請求項1～請求項4のいずれか一項に記載のプロセス。

【請求項 7】

上記表面領域とパワー半導体チップとの間に、半田接続部が製造される、請求項1～請求項6のいずれか一項に記載のプロセス。

【請求項 8】

上記半田接続部の上記基板の上記表面領域として、リードフレームのチップアイランドが用いられる、請求項1～請求項7のいずれか一項に記載のプロセス。

【請求項 9】

上記表面領域に半田材料を塗布する上記工程の前に、上記表面領域が、銅、銀、ニッケル、ニッケル／パラジウム／金、あるいはこれらの合金からなる群のうちのいずれか1つの材料によって被覆される、請求項1～請求項7のいずれか一項に記載のプロセス。

【請求項 10】

上記基板としてセラミックシートが用いられる、請求項1～請求項9のいずれか一項に記載のプロセス。

【請求項 11】

上記基板としてプラスチックシートが用いられる、請求項1～請求項9のいずれか一項に記載のプロセス。

【請求項 12】

上記半田接続部を製造する上記工程の前に、上記半導体チップの上記裏面が、アルミニウム、金、銀、あるいはパラジウム／金、あるいはこれらの合金からなる群のうちのいずれか1つの材料によって被覆される、請求項1～請求項11のいずれか一項に記載のプロセス。

【請求項 13】

上記半導体チップはシリコン結晶ウェハから製造される、請求項1～請求項12のいずれか一項に記載のプロセス。

【請求項 14】

半田接続部を製造する上記工程の前に、少なくとも1つのチップアイランドと、上記半導体チップの接触領域に部材を接続するための接触端子領域とを有する、パターン形成された金属被膜が上記基板に形成される、請求項1～請求項13のいずれか一項に記載のプロセス。

【請求項 15】

上記基板の全面を金属で被覆することにより、上記全面にわたって金属被膜を形成する工程と、

続いて、上記全面にわたって金属被膜が形成された上記基板に対してパターン形成するために、フォトリソグラフィによって、パターン形成されたレジストマスクを形成する工程とを含んでいる、請求項14に記載のプロセス。

【請求項 16】

パターン形成された金属被膜を形成する上記工程のために、ドライエッティング処理またはウェットエッティング処理が行われ、当該ドライエッティング処理中または当該ウェットエッティング処理中に、上記レジストマスクが上記パターン形成された金属被膜が形成されるように保護し、当該保護後に上記レジストマスクが除去される、請求項15に記載のプロセス。

【請求項 17】

上記全面にわたって形成された金属被膜は、レーザービームによってパターン形成され

る、請求項15に記載のプロセス。

【請求項18】

上記パターン形成された金属被膜は、印刷法によって形成される、請求項14に記載のプロセス。

【請求項19】

上記パターン形成された金属被膜は、スクリーン印刷法によって形成される、請求項14に記載のプロセス。

【請求項20】

上記パターン形成された金属被膜は、ステンシル印刷法によって形成される、請求項14に記載のプロセス。

【請求項21】

上記パターン形成された金属被膜は、ジェット印刷法によって形成される、請求項14に記載のプロセス。

【誤訳訂正2】

【訂正対象書類名】明細書

【訂正対象項目名】0025

【訂正方法】変更

【訂正の内容】

【0025】

本実施例においては絶縁材料9を含んだセラミックシートまたはプラスチックシートである基板3の導入前には、基板3の上面13に、パターン形成された金属被膜が形成されている。基板3は、まずその全表面積が金属によって被膜され、そしてパターン形成されたレジストマスクがフォトリソグラフィによって形成される。次に、この全面にわたって形成された金属被膜をパターン形成するために、ドライエッティング処理またはウェットエッティング処理が行われる。このエッティング処理中、上記レジストマスクは、パターン形成された金属被膜12が形成されるように保護する。続いて、上記レジストマスクが再び除去される。この目的のために、金属被膜12は、銅、銀、ニッケル、ニッケル／パラジウム／金、あるいはこれらの合金からなる群のいずれかの物質として形成される。上記全面の金属被膜は、基板3の絶縁材料9を金属箔を用いてめっきすることによって行うことができ、あるいは、電解槽内において金属を堆積することによって絶縁材料9を積層することによって行うことができる。

【誤訳訂正3】

【訂正対象書類名】明細書

【訂正対象項目名】0031

【訂正方法】変更

【訂正の内容】

【0031】

図4は、ダイボンディングプロセス完了後の半田接続部30を示す基本図である。ダイボンディングプロセスを完了するためには、基板3の表面領域4と半導体チップ2の裏面10との間に、半田材料層5が形成されるように半田材料6を凝固させた後、基板3に半導体チップ2が一体的にボンディングされる。図4には、ダイボンディングプロセス中に形成された空隙34が、単に原理的に示されている。これら空隙34は、半田材料6から成る、大きさがサブミクロン程度の高揮発性成分の塊または塊状として半田材料6内に示されている。