

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第2部門第3区分

【発行日】平成26年5月1日(2014.5.1)

【公開番号】特開2014-42954(P2014-42954A)

【公開日】平成26年3月13日(2014.3.13)

【年通号数】公開・登録公報2014-013

【出願番号】特願2012-186181(P2012-186181)

【国際特許分類】

B 8 1 B 7/02 (2006.01)

B 8 1 C 1/00 (2006.01)

H 0 3 H 9/24 (2006.01)

H 0 3 H 3/007 (2006.01)

【F I】

B 8 1 B 7/02

B 8 1 C 1/00

H 0 3 H 9/24 Z

H 0 3 H 3/007 Z

【手続補正書】

【提出日】平成26年3月14日(2014.3.14)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正の内容】

【0022】

MEMS構造体3は、窒化膜12に積層された第1導電層13および第2導電層14をフォトリソグラフィによりパターンングすることで形成される機械的に可動な部分を有する構造体であり、空洞部2(キャビティー)内に配置されている。

MEMS構造体3は、例えば、図1(c)に示すようなMEMS振動子3eである。

MEMS振動子3eは、下部電極13eと可動部を有する上部電極14eとを備えている。下部電極13eと上部電極14eとの間には、上部電極14eの可動空間を構成する空隙部13gが形成されている。空洞部2および空隙部13gは、MEMS振動子3eに積層した第2酸化膜15、第3酸化膜16、および下部電極13eと上部電極14eとの間に形成した第4酸化膜13f(図示省略)をエッチングにより除去(リリースエッチング)することによって形成されている。

第2酸化膜15、第3酸化膜16、および第4酸化膜13fは、いわゆる犠牲層であり、これらの犠牲層がリリースエッチングされることで、上部電極14eが下部電極13eから遊離した片持ち構造の可動電極構造が形成される。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0029

【補正方法】変更

【補正の内容】

【0029】

また、外部の電気回路部は、半導体回路としてMEMS素子100と一体に構成することができる。つまり、例えば、第1酸化膜11、窒化膜12は、電気回路部を構成する回路領域の素子分離層として、MEMS構造体3を構成する第1導電層13、第2導電層14は、回路領域のゲート電極として、第2酸化膜15、第3酸化膜16、第4酸化膜13

f、保護膜 17 は、層間絶縁部を形成する層間絶縁層（絶縁膜）や保護膜として、また、第 1 配線層 21 a、第 2 配線層 21 b は、上層配線部としての回路配線層などとして、半導体回路を形成する材料と共用することができる。換言すると、MEMS 素子 100 は、半導体回路の製造工程において形成することができる。特に半導体で形成する可動電極を有する MEMS 振動子の場合には、水晶などの振動子に比較して半導体プロセスに容易に組み入れることができる。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0035

【補正方法】変更

【補正の内容】

【0035】

図 3 (c) : 次に、窒化膜 12 に、MEMS 構造体 3 および犠牲層の一部を構成する第 2 酸化膜 15 を積層し形成する。

具体的には、まず、窒化膜 12 の上に第 1 導電層 13 を積層し、フォトリソグラフィによりパターニングする。第 1 導電層 13 は、MEMS 構造体 3 の一部を構成するポリシリコン層であり、積層後にイオン注入をして所定の導電性を持たせる。次に、第 1 導電層 13 と第 2 導電層 14 との間に必要な犠牲層を形成する。例えば、MEMS 振動子 3 e (図 1 (c)) の場合には、熱酸化により下部電極 13 e の表面に第 4 酸化膜 13 f を形成する。

次に、第 2 導電層 14 を積層し、フォトリソグラフィによりパターニングする。第 2 導電層 14 は、MEMS 構造体 3 の一部、および側壁部 20 の最下層を構成するポリシリコン層であり、積層後にイオン注入をして所定の導電性を持たせる。

第 1 導電層 13、および第 2 導電層 14 のパターニングは、所定の MEMS 構造体 3 が形成され、かつ、ウェハ基板 1 を平面視したときに、第 1 導電層 13 あるいは第 2 導電層 14 と下層配線部 5 とが重なるそれぞれの領域の中央部分と重なる窒化膜 12 の領域に、貫通孔 12 h が形成されるように行なう。また、電気接続部 50 を、第 1 導電層 13 あるいは第 2 導電層 14 に貫通させて形成する場合には、図 3 (c) に示すように、貫通孔 12 h に重なる位置に貫通孔を形成する。

次に、犠牲層の一部を構成する第 2 酸化膜 15 を積層する。第 2 酸化膜 15 は、半導体プロセスでは、層間膜 (IMD (Inter Metal Dielectric)) として形成され、好適例として TEOS (Tetraethoxysilane) を用いて平坦化している。半導体プロセスの世代によっては、CMP (Chemical Mechanical Polishing) などによる平坦化を行なっても良い。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0039

【補正方法】変更

【補正の内容】

【0039】

図 3 (f) : 保護膜 17 を積層し、開口 31 が露出するように開口部を設けてフォトリソグラフィによりパターニングする。保護膜 17 は、半導体プロセスで一般的な保護膜 (例えば SiO₂膜や SiN の 2 層膜) であれば良く、ポリイミド膜などであっても良い。

次に、ウェハ基板 1 をエッチング液に晒し、犠牲層としての第 2 酸化膜 15、第 3 酸化膜 16、および第 4 酸化膜 13 f (MEMS 構造体 3 が図 1 (c) に示すような MEMS 振動子 3 e の場合) をリリースエッチングすることで、MEMS 構造体 3 を形成する。