

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-204542

(P2012-204542A)

(43) 公開日 平成24年10月22日(2012. 10. 22)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 27/105 (2006.01)	H O 1 L 27/10 4 4 8	5 F 0 8 3
H O 1 L 45/00 (2006.01)	H O 1 L 45/00 Z	
H O 1 L 49/00 (2006.01)	H O 1 L 49/00 Z	
H O 1 L 51/30 (2006.01)	H O 1 L 29/28 2 5 0 E	
H O 1 L 51/05 (2006.01)	H O 1 L 29/28 1 0 0 B	
審査請求 未請求 請求項の数 5 O L (全 17 頁)		

(21) 出願番号 特願2011-66672 (P2011-66672)
(22) 出願日 平成23年3月24日 (2011. 3. 24)

(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(74) 代理人 100089118
弁理士 酒井 宏明
(72) 発明者 小長井 聡
東京都港区芝浦一丁目1番1号 株式会社
東芝内
Fターム(参考) 5F083 FZ10 GA10 GA21 JA39 JA40
KA01 KA05 LA21 PR40

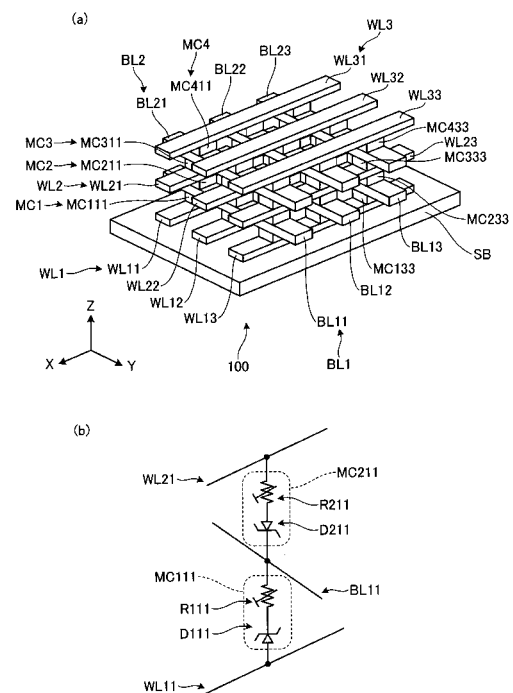
(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】 (修正有)

【課題】上側のメモリセルと下側のメモリセルとの間におけるデータリテンションのばらつきを低減できる不揮発性半導体記憶装置を提供する。

【解決手段】第1のメモリセルMC111は、第1のラインWL11の半導体基板SBと反対側に配されている。第2のラインBL11は、第1のメモリセルMC111を介して第1のラインWL11に交差する。第2のメモリセルMC211は、第2のラインBL11の半導体基板SBと反対側に配されている。第3のラインWL21は、第2のメモリセルMC211を介して第2のラインBL11に交差する。第1のメモリセルMC111は、第1の抵抗変化層R111と第1の整流層D111とを有する。第1の抵抗変化層R111は、カーボン系の材料で形成されている。第2のメモリセルMC211は、第2の抵抗変化層R211と第2の整流層D211とを有する。第2の抵抗変化層R211は、金属酸化物で形成されている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体基板と、
前記半導体基板上に配置された第 1 のラインと、
前記第 1 のラインの前記半導体基板と反対側に配された第 1 のメモリセルと、
前記第 1 のメモリセルを介して前記第 1 のラインに交差する第 2 のラインと、
前記第 2 のラインの前記半導体基板と反対側に配された第 2 のメモリセルと、
前記第 2 のメモリセルを介して前記第 2 のラインに交差する第 3 のラインと、
を備え、
前記第 1 のメモリセルは、カーボン系の材料で形成された第 1 の抵抗変化層と、第 1 の
整流層とを有し、
前記第 2 のメモリセルは、金属酸化物で形成された第 2 の抵抗変化層と、第 2 の整流層
とを有する、
ことを特徴とする不揮発性半導体記憶装置。

【請求項 2】

半導体基板と、
前記半導体基板上に配置された第 1 のラインと、
前記第 1 のラインの前記半導体基板と反対側に配された第 1 のメモリセルと、
前記第 1 のメモリセルを介して前記第 1 のラインに交差する第 2 のラインと、
前記第 2 のラインの前記半導体基板と反対側に配された第 2 のメモリセルと、
前記第 2 のメモリセルを介して前記第 2 のラインに交差する第 3 のラインと、
を備え、
前記第 1 のメモリセルは、第 1 の抵抗変化層及び第 1 の整流層を有し、
前記第 2 のメモリセルは、第 2 の抵抗変化層及び第 2 の整流層を有し、
前記第 1 の抵抗変化層の組成は、前記第 2 の抵抗変化層の組成と異なる
ことを特徴とする不揮発性半導体記憶装置。

【請求項 3】

半導体基板と、
前記半導体基板上に配置された第 1 のラインと、
前記第 1 のラインの前記半導体基板と反対側に配された第 1 のメモリセルと、
前記第 1 のメモリセルを介して前記第 1 のラインに交差する第 2 のラインと、
前記第 2 のラインの前記半導体基板と反対側に配された第 2 のメモリセルと、
前記第 2 のメモリセルを介して前記第 2 のラインに交差する第 3 のラインと、
を備え、
前記第 1 のメモリセルは、第 1 の抵抗変化層及び第 1 の整流層を有し、
前記第 2 のメモリセルは、第 2 の抵抗変化層及び第 2 の整流層を有し、
前記第 1 の抵抗変化層の膜厚は、前記第 2 の抵抗変化層の膜厚より厚い
ことを特徴とする不揮発性半導体記憶装置。

【請求項 4】

半導体基板と、
前記半導体基板上に配置された第 1 のラインと、
前記第 1 のラインの前記半導体基板と反対側に配された第 1 のメモリセルと、
前記第 1 のメモリセルを介して前記第 1 のラインに交差する第 2 のラインと、
前記第 2 のラインの前記半導体基板と反対側に配された第 3 のラインと、
前記第 3 のラインの前記半導体基板と反対側に配された第 2 のメモリセルと、
前記第 2 のメモリセルを介して前記第 3 のラインに交差する第 4 のラインと、
を備え、
前記第 1 のメモリセルは、第 1 の抵抗変化層及び第 1 の整流層を有し、
前記第 2 のメモリセルは、第 2 の抵抗変化層及び第 2 の整流層を有し、
前記第 1 の抵抗変化層の前記半導体基板に平行な平面方向の幅は、前記第 2 の抵抗変化

層の前記半導体基板に平行な平面方向の幅より大きいことを特徴とする不揮発性半導体記憶装置。

【請求項 5】

前記第 2 のラインと前記第 3 のラインとを絶縁する絶縁膜をさらに備え、
前記第 1 のライン及び前記第 2 のラインの幅は、前記第 3 のライン及び前記第 4 のラインの幅より広いことを特徴とする請求項 4 に記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

10

本発明の実施形態は、不揮発性半導体記憶装置に関する。

【背景技術】

【0002】

近年、トランジスタ動作に頼らない不揮発性メモリが求められている。そのような不揮発性メモリとして、相変化メモリ（PCM）素子や抵抗変化メモリ（ReRAM）素子などの抵抗変化型のメモリは、抵抗材料の抵抗変化状態を利用して動作するために、書き込み／消去にトランジスタ動作が不要である。また、抵抗材料のサイズが大きい（100 nm～1 μm）場合には、抵抗変化材料の抵抗を完全に変化させることが難しいために書き込み／消去速度が低下したり、書き込み消去電流が大きくなってしまいうのに対して、抵抗材料のサイズを微細化することにより、抵抗変化材料の抵抗を完全に変化させやすくなる。このため、微細化する程、素子特性が改善し、書き込み／消去速度向上、消費電力低減が実現できるという性質を有する。また、抵抗変化型のメモリは、積層することでビット密度を比較的容易に増大させることが可能であるという利点も有する。そのため、最近、高容量のデータ処理を要する半導体製品の増加に伴い、このような抵抗変化型のメモリに対する必要性が増大している。

20

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2009 - 239148 号公報

【発明の概要】

30

【発明が解決しようとする課題】

【0004】

1 つの実施形態は、例えば、上側のメモリセルと下側のメモリセルとの間におけるデータテンションのばらつきを低減できる不揮発性半導体記憶装置を提供することを目的とする。

【課題を解決するための手段】

【0005】

1 つの実施形態によれば、半導体基板と第 1 のラインと第 1 のメモリセルと第 2 のラインと第 2 のメモリセルと第 3 のラインとを有する不揮発性半導体記憶装置が提供される。第 1 のラインは、半導体基板上に配置されている。第 1 のメモリセルは、第 1 のラインの半導体基板と反対側に配されている。第 2 のラインは、第 1 のメモリセルを介して第 1 のラインに交差する。第 2 のメモリセルは、第 2 のラインの半導体基板と反対側に配されている。第 3 のラインは、第 2 のメモリセルを介して第 2 のラインに交差する。第 1 のメモリセルは、第 1 の抵抗変化層と第 1 の整流層とを有する。第 1 の抵抗変化層は、カーボン系の材料で形成されている。第 2 のメモリセルは、第 2 の抵抗変化層と第 2 の整流層とを有する。第 2 の抵抗変化層は、金属酸化物で形成されている。

40

【図面の簡単な説明】

【0006】

【図 1】第 1 の実施形態にかかる不揮発性半導体記憶装置の構成を示す図。

【図 2】第 1 の実施形態にかかる不揮発性半導体記憶装置の構成を示す図。

50

【図 3】第 1 の実施形態にかかる不揮発性半導体記憶装置の製造方法を示す図。

【図 4】第 1 の実施形態にかかる不揮発性半導体記憶装置の製造方法を示す図。

【図 5】第 1 の実施形態にかかる不揮発性半導体記憶装置の製造方法を示す図。

【図 6】第 1 の実施形態における抵抗変化層の膜厚とデータリテンションとの関係を示す図。

【図 7】第 2 の実施形態にかかる不揮発性半導体記憶装置の構成を示す図。

【図 8】第 2 の実施形態における抵抗変化層の組成とデータリテンションとの関係を示す図。

【図 9】第 3 の実施形態にかかる不揮発性半導体記憶装置の構成を示す図。

【図 10】第 3 の実施形態にかかる不揮発性半導体記憶装置の構成を示す図。

10

【図 11】第 3 の実施形態にかかる不揮発性半導体記憶装置の製造方法を示す図。

【図 12】第 3 の実施形態にかかる不揮発性半導体記憶装置の製造方法を示す図。

【図 13】第 3 の実施形態におけるセルサイズ（抵抗変化層の幅）とデータリテンションとの関係を示す図。

【発明を実施するための形態】

【0007】

以下に添付図面を参照して、実施形態にかかる不揮発性半導体記憶装置を詳細に説明する。なお、これらの実施形態により本発明が限定されるものではない。

【0008】

（第 1 の実施形態）

20

第 1 の実施形態にかかる不揮発性半導体記憶装置 100 について図 1 を用いて説明する。図 1（a）は、不揮発性半導体記憶装置 100 の概略構成を示す斜視図であり、図 1（b）は、不揮発性半導体記憶装置 100 における上側のメモリセルと下側のメモリセルを含む部分の等価回路図である。

【0009】

不揮発性半導体記憶装置 100 では、半導体基板 S B の上に、配線層とメモリ層とが交互に複数回積層されている。例えば、半導体基板 S B の上には、図 1（a）に示すように、配線層 W L 1、メモリ層 M C 1、配線層 B L 1、メモリ層 M C 2、配線層 W L 2、メモリ層 M C 3、配線層 B L 2、メモリ層 M C 4、及び配線層 W L 3 が順に Z 方向に積層されている。なお、「半導体基板 S B の上に」とは、半導体基板 S B の直接上に配置される場合だけでなく、所定の層（例えば、層間絶縁膜など）を介して半導体基板 S B の上に配置される場合も含む表現である。

30

【0010】

配線層 W L 1、W L 2、W L 3 のそれぞれは、X 方向にそれぞれ延びるとともに Y 方向に配列された複数のワードラインを有している。例えば、配線層 W L 1 では、複数のワードライン W L 1 1 ~ W L 1 3 が X 方向にそれぞれ延びているとともに Y 方向に配列されている。例えば、配線層 W L 2 では、複数のワードライン W L 2 1 ~ W L 2 3 が X 方向にそれぞれ延びているとともに Y 方向に配列されている。例えば、配線層 W L 3 では、複数のワードライン W L 3 1 ~ W L 3 3 が X 方向にそれぞれ延びているとともに Y 方向に配列されている。

40

【0011】

配線層 B L 1、B L 2 のそれぞれは、Y 方向にそれぞれ延びるとともに X 方向に配列された複数のビットラインを有している。例えば、配線層 B L 1 では、複数のビットライン B L 1 1 ~ B L 1 3 が Y 方向にそれぞれ延びているとともに X 方向に配列されている。例えば、配線層 B L 2 では、複数のビットライン B L 2 1 ~ B L 2 3 が Y 方向にそれぞれ延びているとともに X 方向に配列されている。

【0012】

メモリ層 M C 1、メモリ層 M C 2、メモリ層 M C 3、メモリ層 M C 4 のそれぞれは、ワードラインを含む配線層とビットラインを含む配線層との間に配されている。例えば、メモリ層 M C 1 は、配線層 W L 1 と配線層 B L 1 との間に配されている。例えば、メモリ層

50

MC 2 は、配線層 BL 1 と配線層 WL 2 との間に配されている。例えば、メモリ層 MC 3 は、配線層 WL 2 と配線層 BL 2 との間に配されている。例えば、メモリ層 MC 4 は、配線層 BL 2 と配線層 WL 3 との間に配されている。

【 0 0 1 3 】

また、メモリ層 MC 1、メモリ層 MC 2、メモリ層 MC 3、メモリ層 MC 4 のそれぞれでは、複数のワードラインと複数のビットラインとの複数の交差位置に配された（すなわち、マトリックス状に配された）複数のメモリセルを有している。例えば、メモリ層 MC 1 では、複数のメモリセル MC 1 1 1 ~ MC 1 3 3 が、複数のワードライン WL 1 1 ~ WL 1 3 と複数のビットライン BL 1 1 ~ BL 1 3 との複数の交差位置に、すなわち、マトリックス状に配列されている。例えば、メモリ層 MC 2 では、複数のメモリセル MC 2 1 1 ~ MC 2 3 3 が、複数のビットライン BL 1 1 ~ BL 1 3 と複数のワードライン WL 2 1 ~ WL 2 3 との複数の交差位置に、すなわち、マトリックス状に配列されている。例えば、メモリ層 MC 3 では、複数のメモリセル MC 3 1 1 ~ MC 3 3 3 が、複数のワードライン WL 2 1 ~ WL 2 3 と複数のビットライン BL 2 1 ~ BL 2 3 との複数の交差位置に、すなわち、マトリックス状に配列されている。例えば、メモリ層 MC 4 では、複数のメモリセル MC 4 1 1 ~ MC 4 3 3 が、複数のビットライン BL 2 1 ~ BL 2 3 と複数のワードライン WL 3 1 ~ WL 3 3 との複数の交差位置に、すなわち、マトリックス状に配列されている。

10

【 0 0 1 4 】

Z 方向に見てみると、例えば、ワードライン WL 1 1 の上には、メモリセル MC 1 1 1 が配されている。ビットライン BL 1 1 は、メモリセル MC 1 1 1 を介してワードライン WL 1 1 に交差している。ビットライン BL 1 1 の上には、メモリセル MC 2 1 1 が配されている。ワードライン WL 2 1 は、メモリセル MC 2 1 1 を介してワードライン WL 2 1 に交差している。この部分の等価回路を示すと図 1 (b) のようになる。

20

【 0 0 1 5 】

図 1 (b) に示すように、ワードライン WL 1 1 及びビットライン BL 1 1 の交差位置に配されたメモリセル（下側のメモリセル）MC 1 1 1 では、整流素子 D 1 1 1 及び抵抗変化素子 R 1 1 1 が直列に接続されている。整流素子 D 1 1 1 は、例えば、ダイオードであり、カソードが抵抗変化素子 R 1 1 1 に接続され、アノードがワードライン WL 1 1 に接続されている。抵抗変化素子 R 1 1 1 は、一端がビットライン BL 1 1 に接続され、他端が整流素子 D 1 1 1 に接続されている。

30

【 0 0 1 6 】

また、ビットライン BL 1 1 及びワードライン WL 2 1 の交差位置に配されたメモリセル（上側のメモリセル）MC 2 1 1 では、整流素子 D 2 1 1 及び抵抗変化素子 R 2 1 1 が直列に接続されている。整流素子 D 2 1 1 は、例えば、ダイオードであり、カソードがビットライン BL 1 1 に接続され、アノードが抵抗変化素子 R 2 1 1 に接続されている。抵抗変化素子 R 2 1 1 は、一端がワードライン WL 2 1 に接続され、他端が整流素子 D 2 1 1 に接続されている。

【 0 0 1 7 】

このように、不揮発性半導体記憶装置 1 0 0 は、例えば、クロスポイント型の抵抗変化メモリであってもよい。

40

【 0 0 1 8 】

なお、図 1 (b) では、各メモリセル MC 1 1 1、MC 2 1 1 の構成として、ワードラインからビットラインへ向かう方向が整流素子 D 1 1 1、D 2 1 1 の順方向となる構成が例示されているが、ワードラインからビットラインへ向かう方向が整流素子 D 1 1 1、D 2 1 1 の逆方向となる構成であってもよい。また、各メモリセル MC 1 1 1、MC 2 1 1 内では、整流素子及び抵抗変化素子の配置が入れ替えられたものであってもよい。

【 0 0 1 9 】

次に、図 1 (b) で例示した下側のメモリセル MC 1 1 1 と上側のメモリセル MC 2 1 1 とのそれぞれの層構成について図 2 (a)、(b) を用いて説明する。図 2 (a) は、

50

不揮発性半導体記憶装置 100 を X 方向に垂直にきった場合の断面構成を示し、図 2 (b) は、不揮発性半導体記憶装置 100 を Y 方向に垂直にきった場合の断面構成を示す。

【 0 0 2 0 】

図 1 (b) に示す下側のメモリセル MC 1 1 1 は、図 2 (a)、(b) に示すように、ワードライン WL 1 1 に相当するラインパターン 1 0 2 と、ビットライン BL 1 1 に相当するラインパターン 1 1 0 との交差する位置に配されている。また、メモリセル MC 1 1 1 は、層間絶縁膜 1 0 9 を介して、同じメモリ層 MC 1 内の隣接するメモリセルと絶縁されている。

【 0 0 2 1 】

下側のメモリセル MC 1 1 1 では、バリアメタル層 1 0 3、ダイオード層 (整流層) 1 0 4、下部電極層 1 0 5、抵抗変化層 1 0 6、上部電極層 1 0 7、及び CMP ストッパー層 1 0 8 が順に積層されている。

10

【 0 0 2 2 】

バリアメタル層 1 0 3 は、ラインパターン 1 0 2 の上に配されている。バリアメタル層 1 0 3 は、例えば、金属 (例えば、窒化チタン) などの導電体で形成されている。

【 0 0 2 3 】

ダイオード層 1 0 4 は、バリアメタル層 1 0 3 の上に配されている。ダイオード層 1 0 4 は、例えば、MIM (Metal - Insulator - Metal) 構造、PIN 構造 (P + poly Silicon - Intrinsic - N + poly Silicon) 等にて構成されている。ダイオード層 1 0 4 は、PIN 構造である場合、例えば、N 型層、I 型層、及び P 型層が積層された構成を有している。N 型層は、砒素やリンなどの N 型の不純物を含む半導体 (例えば、シリコン) で形成されている。I 型層は、不純物を含まない、いわゆる真性 (イントリンシック) 半導体 (例えば、シリコン) で形成されている。P 型層は、ボロンなどの P 型の不純物を含む半導体 (例えば、シリコン) で形成されている。ダイオード層 1 0 4 は、メモリセル MC 1 1 1 における整流素子 D 1 1 1 として機能する (図 1 (b) 参照)。

20

【 0 0 2 4 】

下部電極層 1 0 5 は、ダイオード層 1 0 4 の上に配されている。下部電極層 1 0 5 は、例えば、金属 (例えば、窒化チタン) などの導電体で形成されている。下部電極層 1 0 5 は、抵抗変化層 1 0 6 に対する下部電極として機能する。

30

【 0 0 2 5 】

抵抗変化層 1 0 6 は、下部電極層 1 0 5 の上に配されている。抵抗変化層 1 0 6 は、例えば、 $ZnMn_2O_4$ 、 NiO 、 HfO 、 TiO_2 、 $SrZrO_3$ 、 $Pr_{0.7}Ca_{0.3}MnO_3$ のグループから選択される 1 つの材料で形成されている。抵抗変化層 1 0 6 は、メモリセル MC 1 1 1 における抵抗変化素子 R 1 1 1 として機能する (図 1 (b) 参照)。

【 0 0 2 6 】

上部電極層 1 0 7 は、抵抗変化層 1 0 6 の上に配されている。上部電極層 1 0 7 は、例えば、金属 (例えば、窒化チタン) などの導電体で形成されている。上部電極層 1 0 7 は、抵抗変化層 1 0 6 に対する上部電極として機能する。

40

【 0 0 2 7 】

CMP ストッパー層 1 0 8 は、上部電極層 1 0 7 の上に配されている。CMP ストッパー層 1 0 8 は、例えば、金属 (例えば、タングステン) などの導電体で形成されている。CMP ストッパー層 1 0 8 は、後述のように製造工程において上面が平坦化される際のストッパー膜として機能する。

【 0 0 2 8 】

また、図 1 (b) に示す上側のメモリセル MC 2 1 1 は、図 2 (a)、(b) に示すように、ビットライン BL 1 1 に相当するラインパターン 1 1 0 と、ワードライン WL 2 1 に相当するラインパターン 1 3 3 との交差する位置に配されている。また、メモリセル MC 2 1 1 は、層間絶縁膜 1 3 4 を介して、同じメモリ層 MC 2 内の隣接するメモリセルと

50

絶縁されている。

【0029】

上側のメモリセルMC211では、バリアメタル層111、ダイオード層（整流層）112、下部電極層113、抵抗変化層114、上部電極層115、及びCMPストッパー層116が順に積層されている。

【0030】

上側のメモリセルMC211における各層の構成は、基本的に下側のメモリセルMC111と同様であるが、次の点で異なる。下側のメモリセルMC111における抵抗変化層106の膜厚D106は、上側のメモリセルMC211における抵抗変化層114の膜厚D114より厚い。すなわち、膜厚D106は、ダイオード層を形成するための熱工程の回数に関して下側のメモリセルMC111が上側のメモリセルMC211より多いことを考慮して決定された分、膜厚D114より厚い。例えば、膜厚D114は、約10nmであり、膜厚D106は、約5nmであってもよい。

なお、上側のメモリセルMC211及び下側のメモリセルMC111は、下地膜101上に配されている。

【0031】

次に、不揮発性半導体記憶装置100の製造方法について図3～図5及び図2を用いて説明する。図3(a)～図5(b)は、不揮発性半導体記憶装置100の製造方法を示す工程断面図である。図2は、不揮発性半導体記憶装置100の断面構成を示す図であるが、製造方法を示す工程断面図として流用することにする。

【0032】

図3(a)に示す工程では、半導体基板SB（又は半導体基板SB及びその上の層間絶縁膜等）を含む下地膜101上に、導電層102a、導電層103a、ダイオード層104a、導電層105a、抵抗変化層106a、導電層107a、CMPストッパー層108aが順に積層された積層膜SF1を形成する。

【0033】

ここで、例えば、ダイオード層104aがPIN構造である場合、ダイオード層104aにおけるP型層となるべき半導体層にin-situで又は形成後にP型の不純物を導入した後に、P型の不純物を活性化するための熱処理を行う。また、ダイオード層104aにおけるN型層となるべき半導体層にin-situで又は形成後にN型の不純物を導入した後に、N型の不純物を活性化するための熱処理を行う。

【0034】

図3(b)に示す工程では、積層膜SF1を、X方向にそれぞれ延びるとともにY方向に配列された複数のフィン状体FIN1へエッチング加工する。これにより、導電層102aがワードラインWL11等に相当する複数のラインパターン102に分割される。各フィン状体FIN1では、ラインパターン102、導電層103b、ダイオード層104b、導電層105b、抵抗変化層106b、導電層107b、CMPストッパー層108bが順に積層されている（図4(b)参照）。そして、複数のフィン状体FIN1の間に層間絶縁膜109を埋め込み、CMPで平坦化する。このとき、CMPストッパー層108bがストッパーとなるので、上面が容易に平坦化される。

【0035】

図4(a)、(b)に示す工程では、平坦化された上面の上に、導電層110a、導電層111a、ダイオード層112a、導電層113a、抵抗変化層114a、導電層115a、CMPストッパー層116aが順に積層された積層膜SF2を形成する。

【0036】

ここで、例えば、ダイオード層112aがPIN構造である場合、ダイオード層112aにおけるP型層となるべき半導体層にin-situで又は形成後にP型の不純物を導入した後に、P型の不純物を活性化するための熱処理を行う。また、ダイオード層112aにおけるN型層となるべき半導体層にin-situで又は形成後にN型の不純物を導入した後に、N型の不純物を活性化するための熱処理を行う。

【 0 0 3 7 】

図 5 (a)、(b) に示す工程では、積層膜 S F 2 を、Y 方向にそれぞれ延びるとともに X 方向に配列された複数のフィン状体 F I N 2 へエッチング加工する。これにより、導電層 1 1 0 a がビットライン B L 1 1 等に相当する複数のラインパターン 1 1 0 に分割される。各フィン状体 F I N 2 では、ラインパターン 1 1 0、導電層 1 1 1 b、ダイオード層 1 1 2 b、導電層 1 1 3 b、抵抗変化層 1 1 4 b、導電層 1 1 5 b、C M P ストッパー層 1 1 6 b が順に積層されている。

【 0 0 3 8 】

それとともに、下側の複数のフィン状体 F I N 1 を、X 方向及び Y 方向に 2 次元的に配列された複数のメモリセルへエッチング加工する。すなわち、下側のメモリ層 M C 1 における複数のメモリセル M C 1 1 1 ~ M C 1 3 3 がマトリックス状に配列されたメモリセルアレイを形成する (図 1 (a) 参照)。

10

【 0 0 3 9 】

そして、複数のフィン状体 F I N 2 の間に層間絶縁膜 1 3 4 を埋め込み、C M P で平坦化する。このとき、C M P ストッパー層 1 1 6 b がストッパーとなるので、上面が容易に平坦化される。

【 0 0 4 0 】

図 2 (a)、(b) に示す工程では、上側の複数のフィン状体 F I N 2 を、X 方向及び Y 方向に 2 次元的に配列された複数のメモリセルへエッチング加工する。すなわち、上側のメモリ層 M C 2 における複数のメモリセル M C 2 1 1 ~ M C 2 3 3 がマトリックス状に配列されたメモリセルアレイを形成する (図 1 (a) 参照)。なお、以上の工程を繰り返すことで、3 層以上のメモリセルアレイを形成することができる。

20

【 0 0 4 1 】

また、第 1 の実施形態による効果を明確化するために、抵抗変化層の膜厚とデータリテンションとの関係について行った評価結果について、図 6 を用いて説明する。

【 0 0 4 2 】

図 6 に示すように、3 種類の異なるメモリセルアレイを用意した。すなわち、3 種類のメモリセルアレイは、それぞれ、膜厚 D 1、D 2、D 3 を有する抵抗変化層を含むメモリセルが複数配列されたものを用意し、それぞれセット (低抵抗化) させた後のデータリテンションを評価した。

30

【 0 0 4 3 】

具体的には、膜厚 D 1、D 2、D 3 は、5 n m ~ 1 5 n m の範囲内で、

$$D 1 < D 2 < D 3$$

となるように決定した。そして、所定の放置時間を経た後に、各メモリセルアレイについてデータリテンションが良好となるビット (メモリセル) の割合について評価を行った。その結果、抵抗変化層の膜厚が D 1 → D 2 → D 3 と厚くなるに従って、データリテンションが良好となるビットの割合が増加する傾向にあることが確認された。このことから、熱工程の回数の多い下側のメモリセル M C 1 1 1 における抵抗変化層 1 0 6 の膜厚 D 1 0 6 を、熱工程の回数の少ない上側のメモリセル M C 2 1 1 における抵抗変化層 1 1 4 の膜厚 D 1 1 4 より厚くすることで、上側のメモリセルと下側のメモリセルとの間におけるデータリテンションのばらつきを低減できることが確認できた。

40

【 0 0 4 4 】

ここで、仮に、上側のメモリセルの抵抗変化層の膜厚と下側のメモリセルの抵抗変化層の膜厚とが略同じである場合について考える。この場合、例えば、上記で例示した製造方法において、ダイオード層を形成するための熱工程の回数に関して、上側のメモリセル M C 2 1 1 を含むメモリ層 M C 2 が 2 回であるのに対して、下側のメモリセル M C 1 1 1 を含むメモリ層 M C 1 が 4 回である。これにより、上側のメモリセル M C 2 1 1 の抵抗変化層に比べて、下側のメモリセル M C 1 1 1 の抵抗変化層は、多数回の熱工程に晒されるので、データリテンションが劣化する傾向にある。このため、上側のメモリセルと下側のメモリセルとでデータリテンションにばらつきが生じる傾向にある。

50

【 0 0 4 5 】

それに対して、第 1 の実施形態では、下側のメモリセルにおける抵抗変化層の膜厚を、上側のメモリセルにおける抵抗変化層の膜厚より厚くする。これにより、熱工程の回数の違いによるデータリテンションのばらつきを低減できるので、上側のメモリセルと下側のメモリセルとの間におけるデータリテンションのばらつきを低減できる。

【 0 0 4 6 】

なお、不揮発性半導体記憶装置 1 0 0 において、メモリ層 M C 1 におけるメモリセルの抵抗変化層の膜厚が、メモリ層 M C 2、M C 3、M C 4 におけるメモリセルの抵抗変化層の膜厚より厚くなっていても良い。あるいは、メモリ層 M C 1、M C 2 におけるメモリセルの抵抗変化層の膜厚が、互いに略等しく、かつ、メモリ層 M C 3、M C 4 におけるメモリセルの抵抗変化層の膜厚より厚くなっていても良い。あるいは、メモリ層 M C 1、M C 2、M C 3 におけるメモリセルの抵抗変化層の膜厚が、互いに略等しく、かつ、メモリ層 M C 4 におけるメモリセルの抵抗変化層の膜厚より厚くなっていても良い。

10

【 0 0 4 7 】

あるいは、不揮発性半導体記憶装置 1 0 0 において、抵抗変化層の膜厚は、上層のメモリ層から下層のメモリ層に渡って多段階的に厚くなっていても良い。例えば、図 1 (a) に示す構成において、

メモリ層 M C 4 におけるメモリセルの抵抗変化層の膜厚 < メモリ層 M C 3 におけるメモリセルの抵抗変化層の膜厚 < メモリ層 M C 2 におけるメモリセルの抵抗変化層の膜厚 < メモリ層 M C 1 におけるメモリセルの抵抗変化層の膜厚
となっていてよい。

20

【 0 0 4 8 】

これにより、階層毎でのダイオード形成時の熱履歴差によるデータリテンションのばらつきを多段階的に低減することができる。

【 0 0 4 9 】

(第 2 の実施形態)

次に、第 2 の実施形態にかかる不揮発性半導体記憶装置 1 0 0 i について説明する。以下では、第 1 の実施形態と異なる点を中心に説明する。

【 0 0 5 0 】

第 2 の実施形態では、下側のメモリ層におけるメモリセルの抵抗変化層の組成が、上側のメモリ層におけるメモリセルの抵抗変化層の組成が異なっている点で、第 1 の実施形態と異なる。

30

【 0 0 5 1 】

具体的には、不揮発性半導体記憶装置 1 0 0 i において、図 7 (a)、(b) に示すように、下側のメモリセル M C 1 1 1 i における抵抗変化素子 R 1 1 1 i として機能する抵抗変化層 1 0 6 i の組成は、上側のメモリセル M C 2 1 1 i における抵抗変化素子 R 2 1 1 i として機能する抵抗変化層 1 1 4 i の組成よりも熱に強い。例えば、下側のメモリセル M C 1 1 1 i の抵抗変化層 1 0 6 i は、カーボン系の材料で形成され、上側のメモリセル M C 2 1 1 i における抵抗変化層 1 1 4 i は、金属酸化物で形成されている。

【 0 0 5 2 】

また、第 2 の実施形態による効果を明確化するために、抵抗変化層の組成とデータリテンションとの関係について行った評価結果について、図 8 を用いて説明する。

40

【 0 0 5 3 】

図 8 に示すように、3 種類の異なるメモリセルアレイを用意した。すなわち、3 種類のメモリセルアレイは、それぞれ、金属酸化物、第 1 のカーボン系材料、第 2 のカーボン系材料で抵抗変化層を含むメモリセルが複数配列されたものを用意し、それぞれセット (低抵抗化) させた後のデータリテンションを評価した。

【 0 0 5 4 】

具体的には、所定の放置時間を経た後に、セット (低抵抗化) 後の電流 I s e t 及びリセット (高抵抗化) 後の電流 I r e s e t の確率分布を取り、I s e t と I r e s e t と

50

が交わる値を求めた。その結果を図 8 に示している。図 8 に示された値が大きいほどデータリテンションが良いという結果を示す。すなわち、抵抗変化層の組成が金属酸化物→第 1 のカーボン系材料→第 2 のカーボン系材料となるに従って、データリテンションが良好となるビットの割合が増加する傾向にあることが確認された。このことから、熱工程の回数の多い下側のメモリセル MC 1 1 1 i における抵抗変化層 1 0 6 i をカーボン系の材料で形成し、熱工程の回数の少ない上側のメモリセル MC 2 1 1 i における抵抗変化層 1 1 4 i を金属酸化物で形成することで、上側のメモリセルと下側のメモリセルとの間におけるデータリテンションのばらつきを低減できることが確認できた。

【0055】

なお、金属酸化物は、例えば、 $ZnMn_2O_4$ 、 NiO 、 HfO 、 TiO_2 、 $SrZrO_3$ 、 $Pr_{0.7}Ca_{0.3}MnO_3$ のグループから選択される 1 つの材料である。第 1 のカーボン系材料は、例えば、 SiC を主成分とする材料である。第 2 のカーボン系材料は、例えば、 C ナノチューブを主成分とする材料である。

10

【0056】

以上のように、第 2 の実施形態では、下側のメモリセルにおける抵抗変化層の組成を、上側のメモリセルにおける抵抗変化層の組成より熱に強いものにする。これにより、熱工程の回数の違いによるデータリテンションのばらつきを低減できるので、上側のメモリセルと下側のメモリセルとの間におけるデータリテンションのばらつきを低減できる。

【0057】

例えば、下側のメモリセルにおける抵抗変化層をカーボン系の材料で形成し、上側のメモリセルにおける抵抗変化層を金属酸化物で形成する。これにより、下側のメモリセルにおける抵抗変化層の組成を、上側のメモリセルにおける抵抗変化層の組成より熱に強いものにするができる。

20

【0058】

なお、不揮発性半導体記憶装置 1 0 0 i において、抵抗変化層の組成は、上層のメモリ層から下層のメモリ層に渡って多段階的に異なっても良い。例えば、図 1 (a) に示す構成において、メモリ層 MC 3、MC 4 におけるメモリセルの抵抗変化層を金属酸化物で形成し、メモリ層 MC 2 におけるメモリセルの抵抗変化層を第 1 のカーボン系材料で形成し、メモリ層 MC 1 におけるメモリセルの抵抗変化層を第 2 のカーボン系材料で形成しても良い。

30

【0059】

これにより、階層毎でのダイオード形成時の熱履歴差によるデータリテンションのばらつきを多段階的に低減することができる。

【0060】

あるいは、第 1 の実施形態と第 2 の実施形態とを組み合わせても良い。すなわち、下側のメモリセルにおける抵抗変化層の膜厚を上側のメモリセルにおける抵抗変化層の膜厚より厚くすることに加えて、下側のメモリセルにおける抵抗変化層の組成を上側のメモリセルにおける抵抗変化層の組成より熱に強いものにするを行ってもよい。

【0061】

(第 3 の実施形態)

40

次に、第 3 の実施形態にかかる不揮発性半導体記憶装置 1 0 0 j について説明する。以下では、第 1 の実施形態と異なる点を中心に説明する。

【0062】

第 3 の実施形態では、下側のメモリ層におけるメモリセルの抵抗変化層の平面方向の幅が、上側のメモリ層におけるメモリセルの抵抗変化層の平面方向の幅より広い点で、第 1 の実施形態と異なる。

【0063】

具体的には、不揮発性半導体記憶装置 1 0 0 j は、図 1 (a) に示す構成において、メモリ層 MC 2 を除去して配線層 BL 1 と配線層 WL 2 との間に絶縁膜 1 9 2 を追加し (図 1 0 (a)、(b) 参照)、配線層 WL 1 における各ワードラインと配線層 BL 1 にお

50

る各ビットラインとの線幅を広くする変更を行って得られる。

【0064】

例えば、図9(a)、(b)に示すように、配線層WL1jにおける各ワードラインWL11j、WL12jの線幅W1は、配線層WL2jにおける各ワードラインWL21j~WL24jの線幅W3より広い。線幅W1は、例えば、線幅W3の2倍とワードラインWL21j、WL22j間のスペースとを合わせたものであってもよい。また、配線層BL1jにおける各ビットラインBL11j、BL12jの線幅W2は、配線層BL2jにおける各ビットラインBL21j~BL24jの線幅W4より広い。線幅W2は、例えば、線幅W4の2倍とビットラインBL21j、BL22j間のスペースとを合わせたものであってもよい。

10

【0065】

これに応じて、例えば、ワードラインWL11j及びビットラインBL11jの交差する位置にある下側のメモリセルMC111j(図9(b)参照)の平面方向の幅は、ワードラインWL21j及びビットラインBL21jの交差する位置にある上側のメモリセルMC311j(図9(a)参照)の平面方向の幅より広い。

【0066】

具体的には、図10(a)、(b)に示すように、下側のメモリセルMC111jでは、バリアメタル層174、ダイオード層(整流層)175、下部電極層176、抵抗変化層177、上部電極層178、及びCMPストッパー層179が、それぞれ、図1(b)に示す下側のメモリセルMC111は、図2(a)、(b)に示すように、ワードラインWL11jに相当するラインパターン173の線幅W1に対応した幅と、ビットラインBL11jに相当するラインパターン181の線幅W2に対応した幅とを有する。例えば、抵抗変化層177は、線幅W1に対応したY方向の幅W177と、線幅W2に対応したX方向の幅W206とを有する。なお、ダイオード層175は、整流素子D111jとして機能し、抵抗変化層177は、抵抗変化素子R111jとして機能する。

20

【0067】

一方、上側のメモリセルMC311jでは、バリアメタル層194、ダイオード層(整流層)195、下部電極層196、抵抗変化層197、上部電極層198、及びCMPストッパー層199が、それぞれ、ワードラインWL21jに相当するラインパターン193の線幅W1に対応した幅と、ビットラインBL21jに相当するラインパターン220の線幅W2に対応した幅とを有する。例えば、抵抗変化層197は、線幅W3に対応したY方向の幅W197と、線幅W4に対応したX方向の幅W215とを有する。なお、ダイオード層195は、整流素子D311jとして機能し、抵抗変化層197は、抵抗変化素子R311jとして機能する。

30

【0068】

ここで、下側のメモリセルMC111jにおける抵抗変化層177のY方向の幅W177は、上側のメモリセルMC311jにおける抵抗変化層197のY方向の幅W197より広い。また、下側のメモリセルMC111jにおける抵抗変化層177のX方向の幅W206は、上側のメモリセルMC311jにおける抵抗変化層197のX方向の幅W215より広い。

40

なお、上側のメモリセルMC311j及び下側のメモリセルMC111jは、下地領域172の上に配されている。

【0069】

また、不揮発性半導体記憶装置100jの製造方法が、図11、図12及び図10に示すように、第1の実施形態と異なる。

【0070】

図3(b)に示す工程では、複数のフィン状体FIN1の幅を上記の線幅W1に対応した広い幅にエッチング加工する。それ以外の点は第1の実施形態と同様である。

【0071】

図11(a)、(b)に示す工程では、複数のフィン状体FIN1の上に導電層(図示

50

せず)を堆積する。そして、導電層及び複数のフィン状体F I N 1をエッチング加工する。これにより、導電層がビットラインB L 1 1 j等に相当する複数のラインパターン1 8 1に分割される。それとともに、複数のフィン状体F I N 1が、X方向及びY方向に2次元的に配列された複数のメモリセルへ分割される。すなわち、下側のメモリ層M C 1 jにおける複数のメモリセルM C 1 1 1 j ~ M C 1 2 2 jがマトリックス状に配列されたメモリセルアレイを形成する(図9(b)参照)。そして、複数のメモリセルM C 1 1 1 j ~ M C 1 2 2 jの間に層間絶縁膜2 0 9を埋め込む。

【0072】

図12(a)、(b)に示す工程では、複数のラインパターン1 8 1及び層間絶縁膜2 0 9を覆う絶縁膜1 9 2を形成する。

10

【0073】

図10(a)、(b)に示す工程では、絶縁膜1 9 2の上に、図3(a)に示すような積層膜を形成し、その積層膜を上記と同様にして、線幅W 3、W 4に対応した広い幅をそれぞれ有する複数のメモリセルにエッチング加工する。すなわち、上側のメモリ層M C 3 jにおける複数のメモリセルM C 3 1 1 j ~ M C 3 4 4 jがマトリックス状に配列されたメモリセルアレイを形成する(図9(a)参照)。それとともに、ビットラインB L 2 1 j等に相当する複数のラインパターン2 2 0も形成する。そして、複数のメモリセルM C 3 1 1 j ~ M C 3 4 4 jの間に層間絶縁膜2 0 0を埋め込む。

【0074】

また、第3の実施形態による効果を明確化するために、セルサイズ(抵抗変化層の平面方向の幅)とデータリテンションとの関係について行った評価結果について、図13を用いて説明する。

20

【0075】

図13(a)に示すように、2種類の異なるメモリセルアレイを用意した。すなわち、2種類のメモリセルアレイは、それぞれ、セルサイズC S 1、C S 2を有するメモリセルが複数配列されたものを用意し、それぞれセット(低抵抗化)させた後のデータリテンションを評価した。

【0076】

具体的には、

$$C S 2 = C S 1 \times 6$$

30

となるように決定した。そして、所定の放置時間を経た後に、各メモリセルアレイについてデータリテンションが良好となるビット(メモリセル)の割合について評価を行った。データリテンションが良好かどうかの基準として、抵抗の変化率が50%以上であることとした。すなわち、図13(b)に示すように、基準ラインより下に分布するビット(メモリセル)をN Gとした。その結果、セルサイズがC S 1 → C S 2と大きくなるに従って、データリテンションが良好となるビットの割合が増加する傾向にあることが確認された。このことから、熱工程の回数の多い下側のメモリセルM C 1 1 1 jにおける抵抗変化層1 7 7の平面方向の幅を、熱工程の回数の少ない上側のメモリセルM C 3 1 1 jにおける抵抗変化層1 9 7の平面方向の幅より広くすることで、上側のメモリセルと下側のメモリセルとの間におけるデータリテンションのばらつきを低減できることが確認できた。

40

【0077】

以上のように、第3の実施形態では、下側のメモリセルにおける抵抗変化層の平面方向の幅を、上側のメモリセルにおける抵抗変化層の平面方向の幅より広くする。これにより、熱工程の回数の違いによるデータリテンションのばらつきを低減できるので、上側のメモリセルと下側のメモリセルとの間におけるデータリテンションのばらつきを低減できる。

【0078】

なお、不揮発性半導体記憶装置1 0 0 jにおいて、セルサイズ(抵抗変化層の平面方向の幅)は、上層のメモリ層から下層のメモリ層に渡って多段階的に大きく(広く)なっている。例えば、図1(a)に示す構成において、

50

メモリ層 M C 4 におけるメモリセルのセルサイズ < メモリ層 M C 3 におけるメモリセルのセルサイズ < メモリ層 M C 2 におけるメモリセルのセルサイズ < メモリ層 M C 1 におけるメモリセルのセルサイズ
となってもよい。

【 0 0 7 9 】

これにより、階層毎でのダイオード形成時の熱履歴差によるデータリテンションのばらつきを多段階的に低減することができる。

【 0 0 8 0 】

あるいは、第 1 の実施形態と第 3 の実施形態とを組み合わせても良い。すなわち、下側のメモリセルにおける抵抗変化層の膜厚を上側のメモリセルにおける抵抗変化層の膜厚より厚くすることに加えて、下側のメモリセルにおける抵抗変化層の平面方向の幅を上側のメモリセルにおける抵抗変化層の平面方向の幅より広くすることを行ってもよい。

10

【 0 0 8 1 】

あるいは、第 2 の実施形態と第 3 の実施形態とを組み合わせても良い。すなわち、下側のメモリセルにおける抵抗変化層の組成を上側のメモリセルにおける抵抗変化層の組成より熱に強いものにするに加えて、下側のメモリセルにおける抵抗変化層の平面方向の幅を上側のメモリセルにおける抵抗変化層の平面方向の幅より広くすることを行ってもよい。

【 0 0 8 2 】

あるいは、第 1 の実施形態 ~ 第 3 の実施形態を全て組み合わせても良い。

20

【 0 0 8 3 】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

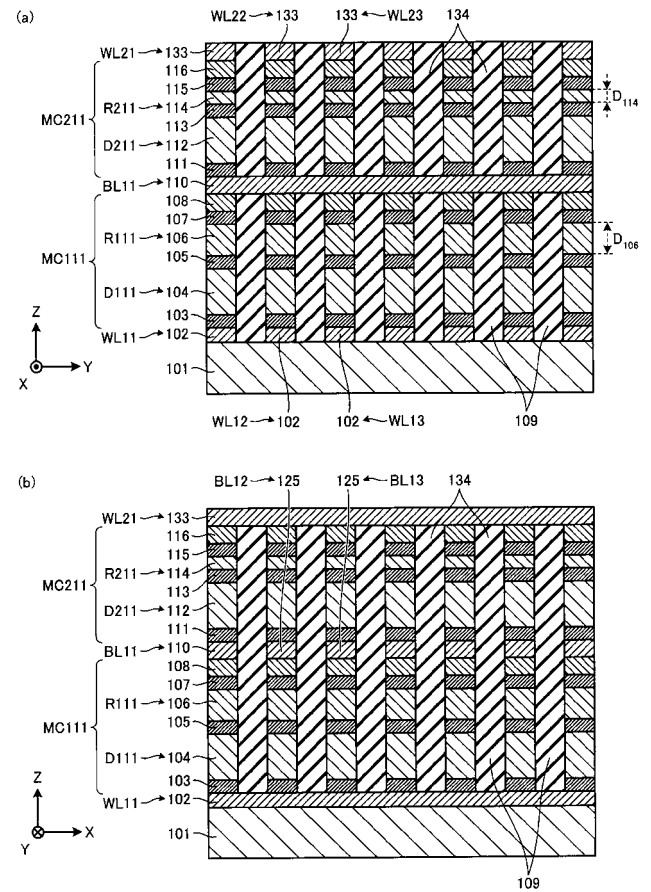
【 符号の説明 】

【 0 0 8 4 】

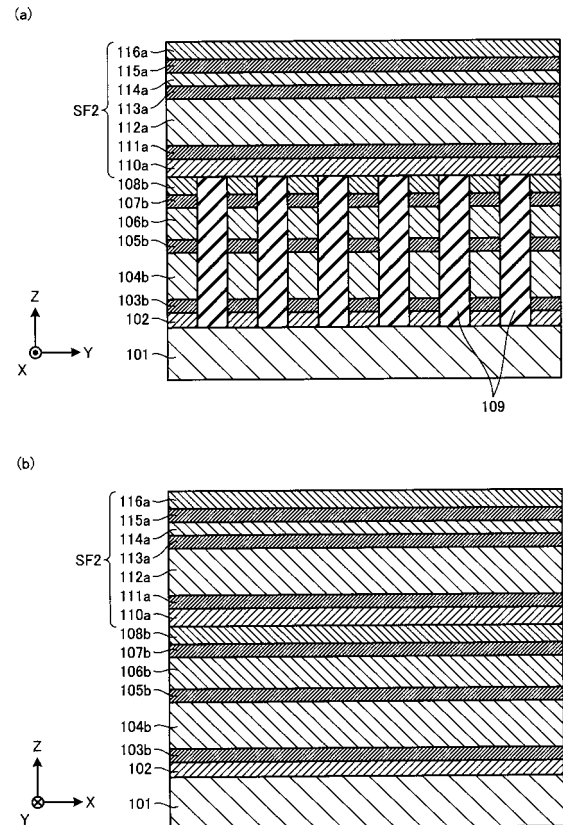
1 0 0、1 0 0 i、1 0 0 j 不揮発性半導体記憶装置、1 0 6、1 0 6 a、1 0 6 b、1 0 6 i、1 1 4、1 1 4 a、1 1 4 b、1 1 4 i、1 2 2、1 2 2 b、1 2 2 i、1 2 9、1 2 9 a、1 2 9 b、1 2 9 i 抵抗変化層、1 0 4、1 0 4 a、1 0 4 b、1 1 2、1 1 2 b、1 2 0、1 2 0 b、1 2 7、1 2 7 b ダイオード層、B L 1 1 ~ B L 2 3 ビットライン、M C 1 1 1 ~ M C 4 3 3、M C 1 1 1 i、M C 2 1 1 i、M C 1 1 1 j ~ M C 3 4 4 j メモリセル、W L 1 1 ~ W L 3 3 ワードライン。

30

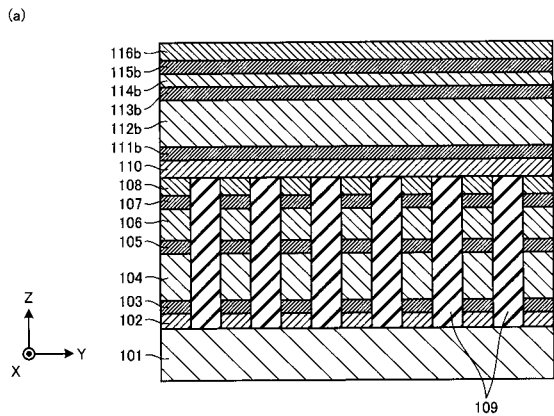
【 図 2 】



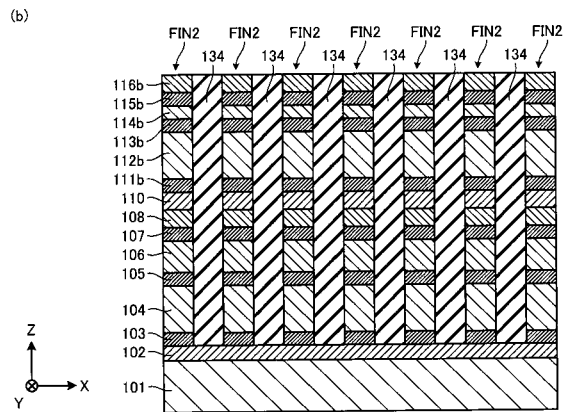
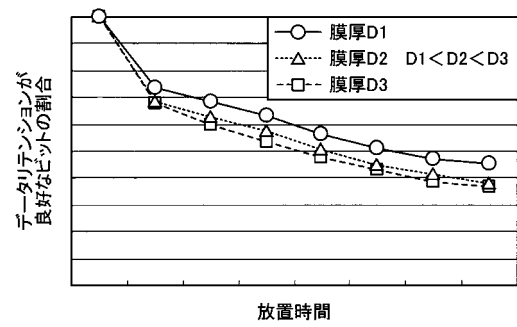
【 図 4 】



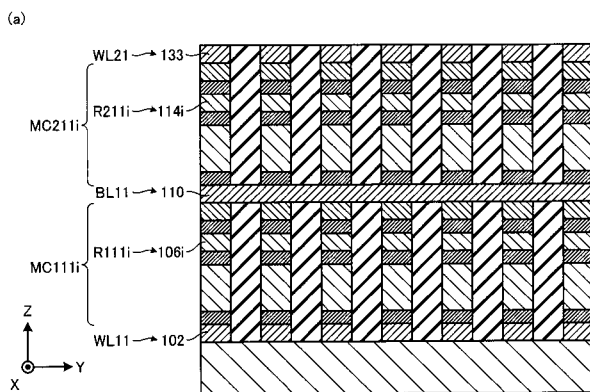
【図 5】



【図 6】



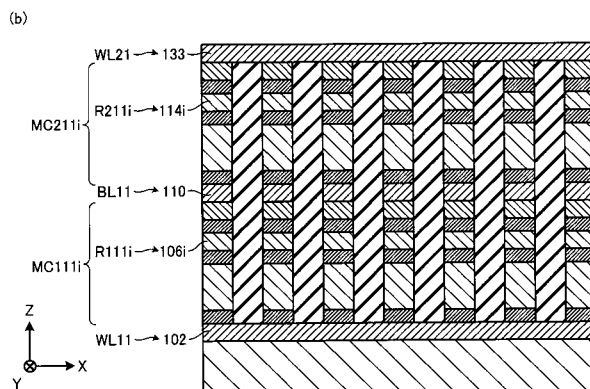
【図 7】



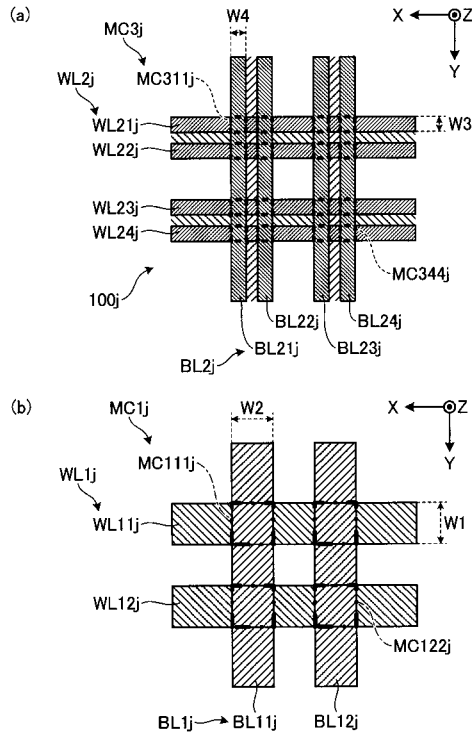
【図 8】

膜の組成の違いによるDR特性

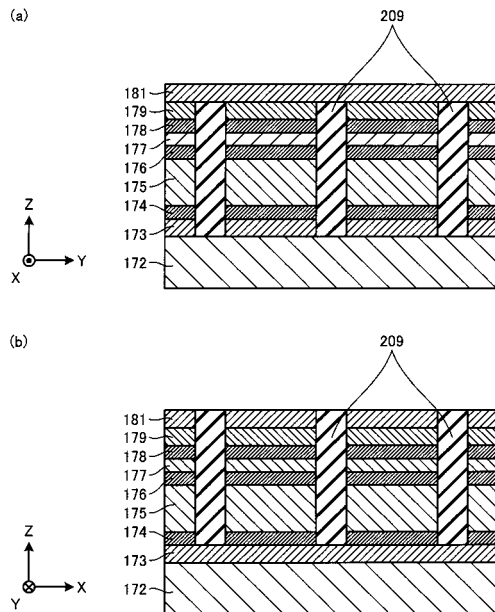
	金属酸化物	第1のカーボン系材料	第2のカーボン系材料
DR特性	2.2 σ	2.3 σ	2.6 σ



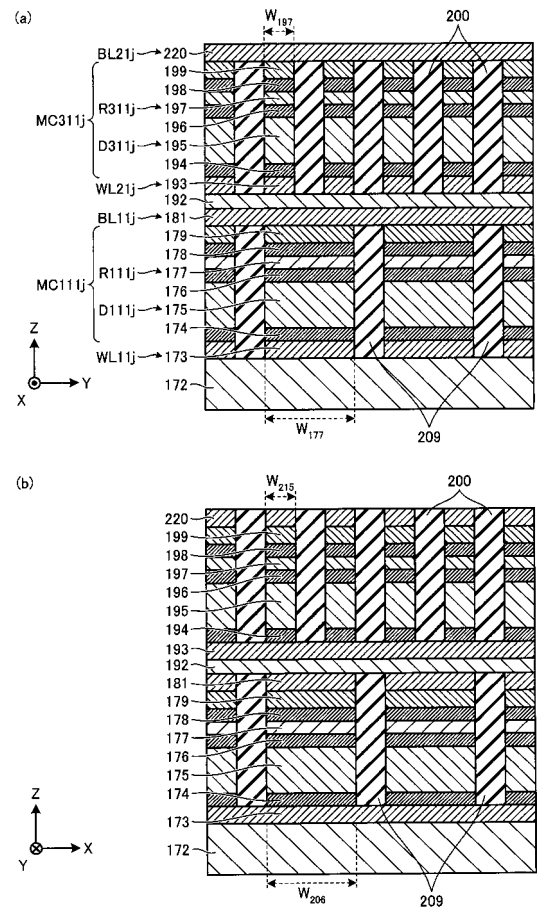
【図 9】



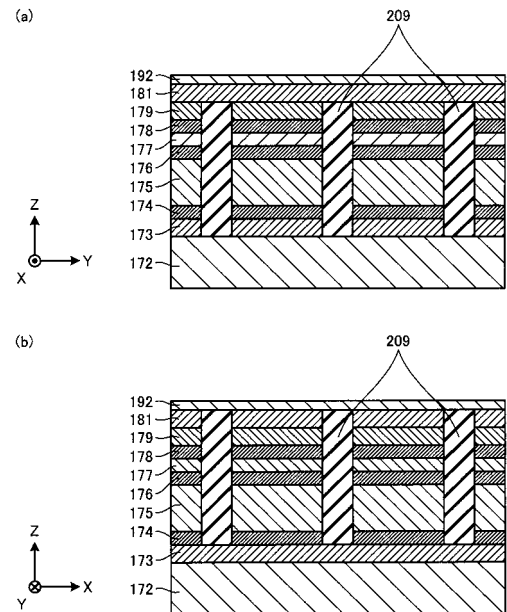
【図 11】



【図 10】



【図 12】



【図 13】

