

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成18年1月19日(2006.1.19)

【公表番号】特表2004-530352(P2004-530352A)

【公表日】平成16年9月30日(2004.9.30)

【年通号数】公開・登録公報2004-038

【出願番号】特願2002-580489(P2002-580489)

【国際特許分類】

H 03K 5/13 (2006.01)

H 03F 3/45 (2006.01)

H 03K 19/017 (2006.01)

【F I】

H 03K 5/13

H 03F 3/45 A

H 03K 19/017

【手続補正書】

【提出日】平成17年4月6日(2005.4.6)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

遅延回路に対して相補型入力を形成する差動対の第1及び第2のトランジスタのゲートと、遅延回路の相補型出力を形成する前記差動対の前記第1及び第2のトランジスタのドレインが共通のソース構成において接続されたトランジスタ(102、103)の差動対、

第1の電源(V<sub>DD</sub>)を前記差動対の前記第1のトランジスタ(102)のドレインに結合する並列に接続されたソースドレン回路を有する第3及び第4のトランジスタ(104、106)からなる第1の負荷、

前記第1の電源(V<sub>DD</sub>)を前記差動対の前記第2のトランジスタ(103)のドレインに結合する並列に接続されたソースドレン回路を有する第5及び第6のトランジスタ(105、107)からなる第2の負荷、及び

基準電圧に接続された第1の入力と、第2の入力と、出力を有する増幅器(130)と、

第1の電源(V<sub>DD</sub>)と増幅器(130)の第2の入力間に結合したソースドレン回路を有する第7及び8のトランジスタ(113、114)からなる第3の負荷を含むバイアス回路を含み、前記第3、5及び7のトランジスタのゲートは増幅器(130)の出力に結合することを特徴とする発振器用遅延回路。

【請求項2】

第1の電源(V<sub>DD</sub>)に結合したソースと、前記第4、6及び8のトランジスタのゲートと一緒に結合したドレインとゲートを有する第9のPMOSトランジスタ(122)を更に含むことを特徴とする請求項1に記載の遅延回路。

【請求項3】

差動対の第1及び第2のトランジスタ(102、103)の共通のソースに結合したドレインと、第2の電源(V<sub>SS</sub>)に結合したソースと、遅延制御電圧入力(V<sub>CTL</sub>)に結合したゲートを有する第10のトランジスタ(101)、及び

第9のトランジスタ(122)のドレインに結合したドレインと、第2の電源( $V_{SS}$ )に結合したソースと、遅延制御電圧入力( $V_{CTL}$ )と第10のトランジスタ(101)のゲートに結合したゲートを有する第11のトランジスタ(121)を更に含むことを特徴とする請求項2に記載の遅延回路。

#### 【請求項4】

増幅器(130)の第2の入力に結合したドレインと、第1の電源( $V_{DD}$ )に結合したゲートと、ソースを有する第12のトランジスタ(112)、及び

第12のトランジスタ(112)のソースに結合したドレインと、第2の電源( $V_{SS}$ )に結合したソースと、遅延制御電圧入力( $V_{CTL}$ )と第10及び11のトランジスタ(101、121)のゲートに結合したゲートを有する第13のトランジスタ(111)を更に含むことを特徴とする請求項3に記載の遅延回路。

#### 【請求項5】

遅延回路に対して非反転入力( $V_{IN+}$ )を形成するゲートと、遅延回路の反転出力( $V_{OUT-}$ )を形成するドレインと、ソースを有する第1のN MOSトランジスタ(102)、及び、遅延回路の反転入力( $V_{IN-}$ )を形成するゲートと、遅延回路の非反転出力( $V_{OUT+}$ )を形成するドレインと、差動対の第1のN MOSトランジスタのソースに結合したソースを有する第2のN MOSトランジスタ(103)からなるトランジスタの差動対、

第1の電源( $V_{DD}$ )に結合したドレインと、非反転出力( $V_{OUT+}$ )に結合したソースと、ゲートを有する第3のN MOSトランジスタ(105)、及び、第1の電源( $V_{DD}$ )に結合したソースと、非反転出力( $V_{OUT+}$ )に結合したドレインと、ゲートを有する第1のPMOSトランジスタ(107)からなる第1の負荷、

第1の電源( $V_{DD}$ )に結合したドレインと、反転出力( $V_{OUT-}$ )に結合したソースと、第3のN MOSトランジスタ(105)のゲートに結合したゲートを有する第4のN MOSトランジスタ(104)、及び、第1の電源( $V_{DD}$ )に結合したソースと、反転出力( $V_{OUT-}$ )に結合したドレインと、第1のPMOSトランジスタ(107)のゲートに結合したゲートを有する第2のPMOSトランジスタ(106)からなる第2の負荷、

第1のN MOSトランジスタ(102)と第2のN MOSトランジスタ(103)のソースに結合したドレインと、第2の電源( $V_{SS}$ )に接続されたソースと、ゲートを有する第5のN MOSトランジスタ(101)、及び

基準電圧に接続された非反転入力と、反転入力と、出力を有する増幅器(130)、

第1の電源( $V_{DD}$ )に結合したドレインと、増幅器(130)の反転入力に結合したソースと、第3のN MOSトランジスタ(105)のゲートに結合したゲートを有する第6のN MOSトランジスタ(113)、及び、第1の電源( $V_{DD}$ )に結合したソースと、増幅器(130)の反転入力に結合したドレインと、第1のPMOSトランジスタ(107)のゲートに結合したゲートを有する第3のPMOSトランジスタ(114)からなる第3の負荷、

増幅器(130)の反転入力に結合したドレインと、第1の電源( $V_{DD}$ )に結合したゲートと、ソースを有する第7のN MOSトランジスタ(112)、

第7のN MOSトランジスタ(112)のソースに結合したドレインと、第2の電源( $V_{SS}$ )に結合したソースと、第5のN MOSトランジスタ(101)のゲートに結合したゲートを有する第8のN MOSトランジスタ(111)、

第2の電源( $V_{SS}$ )に結合したソースと、第5のN MOSトランジスタ(101)のゲートと遅延回路の遅延制御電圧入力( $V_{CTL}$ )とに結合したゲートと、ドレインを有する第9のN MOSトランジスタ(121)、及び

第1の電源( $V_{DD}$ )に結合したソースと、第9のN MOSトランジスタ(121)のドレインと第1のPMOSトランジスタ(107)のゲートとに一緒に結合したドレインとゲートを有する第4のPMOSトランジスタ(122)を含むバイアス回路を含むことを特徴とする発振器用遅延回路。

**【請求項 6】**

第1、2、3及び4のPMOSトランジスタ(107、106、114122)の各々のW/L(幅対長さ)比を等しくし、第3、4及び6のNMOSトランジスタ(105、104、113)の各々のW/L(幅対長さ)比を等しくし、第1、2及び7のNMOSトランジスタ(102、103、112)の各々のW/L(幅対長さ)比を等しくし、第5のNMOSトランジスタ(101)のW/L(幅対長さ)比を第8及び9のトランジスタ(111、121)の各々のW/L(幅対長さ)比の2倍にし、第3及び4のNMOSトランジスタ(104、105)のW/L(幅対長さ)比を第1及び2のPMOSトランジスタ(107、106)の各々のW/L(幅対長さ)比の1/3にすることを特徴とする請求項5に記載の遅延回路。

**【請求項 7】**

遅延回路に対して相補型入力を形成する差動対の第1及び第2のNMOSトランジスタのゲートと、遅延回路の相補型出力を形成する前記差動対の前記第1及び第2のNMOSトランジスタのドレインが共通のソース構成において接続されたNMOSトランジスタ(102、103)の差動対、

第1の電源(V<sub>DD</sub>)を前記差動対の前記第1のNMOSトランジスタ(102)のドレインに結合する並列に接続されたソースドレイン路を有する第1のPMOSトランジスタ(106)と第3のNMOSトランジスタ(104)からなる第1の負荷、

前記第1の電源(V<sub>DD</sub>)を前記差動対の前記第2のNMOSトランジスタ(103)のドレインに結合する並列に接続されたソースドレイン路を有する第2のPMOSトランジスタ(107)と第4のNMOSトランジスタ(105)からなる第2の負荷、及び

前記第1の負荷の前記第1のPMOSトランジスタ(106)と前記第3のNMOSトランジスタ(104)のゲートと、前記第2の負荷の前記第2のPMOSトランジスタ(107)と前記第4のNMOSトランジスタ(105)とにバイアス電圧を提供する電圧バイアス回路を含むことを特徴とする発振器用遅延回路。

**【請求項 8】**

遅延回路に対して相補型入力を形成する差動対の第1及び第2のトランジスタのゲートと、遅延回路からの相補型出力を形成する前記差動対の前記第1及び第2のトランジスタのドレインが共通のソース構成において接続されたトランジスタ(102、103)の差動対、

第1の電源(V<sub>DD</sub>)を前記差動対の前記第1のトランジスタ(102)のドレインに結合する並列に接続されたソースドレイン路を有する第3及び第4のトランジスタ(104、106)からなる第1の負荷、

前記第1の電源(V<sub>DD</sub>)を前記差動対の前記第2のトランジスタ(103)のドレインに結合する並列に接続されたソースドレイン路を有する第5及び第6のトランジスタ(105、107)からなる第2の負荷、及び

高低電圧入力が遅延回路の入力に印加される時、遅延回路の出力間電圧揺れが一定のままであるように、前記第1の負荷と前記第2の負荷のトランジスタのゲートにバイアス電圧を提供する電圧バイアス回路を含むことを特徴とする発振器用遅延回路。

**【請求項 9】**

遅延回路に対して相補型入力を形成する差動対の第1及び第2のトランジスタのゲートと、遅延回路からの相補型出力を形成する前記差動対の前記第1及び第2のトランジスタのドレインが共通のソース構成において接続されたトランジスタ(102、103)の差動対、

第1の電源(V<sub>DD</sub>)を前記差動対の前記第1のトランジスタ(102)のドレインに結合する並列に接続されたソースドレイン路を有する第3及び第4のトランジスタ(104、106)からなる第1の負荷、ここで前記第3のトランジスタ(104)はNMOSデバイスからなり、前記第4のトランジスタ(106)はPMOSデバイスからなる、

前記第1の電源(V<sub>DD</sub>)を前記差動対の前記第2のトランジスタ(103)のドレインに結合する並列に接続されたソースドレイン路を有する第5及び第6のトランジスタ

(105、107)からなる第2の負荷、ここで前記第5のトランジスタ(105)はN  
MOSデバイスからなり、前記第6のトランジスタ(107)はPMOSデバイスから  
なる、

差動トランジスタ対のソースを第2の電源( $V_{SS}$ )に結合するソースドレイン路を  
有し、遅延回路により提供される時間遅延を制御するように制御電圧を印加するゲートを  
有する末尾電流制御トランジスタ(101)、及び

前記時間遅延が前記末尾電流制御トランジスタ(101)のソースからドレインへ提供  
される末尾電流に線形比例するよう、前記第1の負荷と前記第2の負荷のトランジスタ  
のゲートにバイアス電圧を提供する電圧バイアス回路を含むことを特徴とする発振器用遅  
延回路。