

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 3 区分
 【発行日】平成 18 年 1 月 19 日 (2006.1.19)

【公表番号】特表 2004-530352(P2004-530352A)
 【公表日】平成 16 年 9 月 30 日 (2004.9.30)
 【年通号数】公開・登録公報 2004-038
 【出願番号】特願 2002-580489(P2002-580489)
 【国際特許分類】

H 0 3 K 5/13 (2006.01)

H 0 3 F 3/45 (2006.01)

H 0 3 K 19/017 (2006.01)

【F I】

H 0 3 K 5/13

H 0 3 F 3/45 A

H 0 3 K 19/017

【手続補正書】

【提出日】平成 17 年 4 月 6 日 (2005.4.6)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

遅延回路に対して相補型入力を形成する差動対の第 1 及び第 2 のトランジスタのゲートと、遅延回路の相補型出力を形成する前記差動対の前記第 1 及び第 2 のトランジスタのドレインが共通のソース構成において接続されたトランジスタ (102、103) の差動対、

第 1 の電源 (V_{DD}) を前記差動対の前記第 1 のトランジスタ (102) のドレインに結合する並列に接続されたソース ドレイン路を有する第 3 及び第 4 のトランジスタ (104、106) からなる第 1 の負荷、

前記第 1 の電源 (V_{DD}) を前記差動対の前記第 2 のトランジスタ (103) のドレインに結合する並列に接続されたソース ドレイン路を有する第 5 及び第 6 のトランジスタ (105、107) からなる第 2 の負荷、及び

基準電圧に接続された第 1 の入力と、第 2 の入力と、出力を有する増幅器 (130) と

第 1 の電源 (V_{DD}) と増幅器 (130) の第 2 の入力間に結合したソース ドレイン路を有する第 7 及び第 8 のトランジスタ (113、114) からなる第 3 の負荷を含むバイアス回路を含み、前記第 3、5 及び 7 のトランジスタのゲートは増幅器 (130) の出力に結合することを特徴とする発振器用遅延回路。

【請求項 2】

第 1 の電源 (V_{DD}) に結合したソースと、前記第 4、6 及び 8 のトランジスタのゲートと一緒に結合したドレインとゲートを有する第 9 の PMOS トランジスタ (122) を更に含むことを特徴とする請求項 1 に記載の遅延回路。

【請求項 3】

差動対の第 1 及び第 2 のトランジスタ (102、103) の共通のソースに結合したドレインと、第 2 の電源 (V_{SS}) に結合したソースと、遅延制御電圧入力 (V_{CTL}) に結合したゲートを有する第 10 のトランジスタ (101)、及び

第9のトランジスタ(122)のドレインに結合したドレインと、第2の電源(V_{SS})に結合したソースと、遅延制御電圧入力(V_{CTL})と第10のトランジスタ(101)のゲートに結合したゲートを有する第11のトランジスタ(121)を更に含むことを特徴とする請求項2に記載の遅延回路。

【請求項4】

増幅器(130)の第2の入力に結合したドレインと、第1の電源(V_{DD})に結合したゲートと、ソースを有する第12のトランジスタ(112)、及び

第12のトランジスタ(112)のソースに結合したドレインと、第2の電源(V_{SS})に結合したソースと、遅延制御電圧入力(V_{CTL})と第10及び11のトランジスタ(101、121)のゲートに結合したゲートを有する第13のトランジスタ(111)を更に含むことを特徴とする請求項3に記載の遅延回路。

【請求項5】

遅延回路に対して非反転入力(V_{IN+})を形成するゲートと、遅延回路の反転出力(V_{OUT-})を形成するドレインと、ソースを有する第1のNMOSトランジスタ(102)、及び、遅延回路の反転入力(V_{IN-})を形成するゲートと、遅延回路の非反転出力(V_{OUT+})を形成するドレインと、差動対の第1のNMOSトランジスタのソースに結合したソースを有する第2のNMOSトランジスタ(103)からなるトランジスタの差動対、

第1の電源(V_{DD})に結合したドレインと、非反転出力(V_{OUT+})に結合したソースと、ゲートを有する第3のNMOSトランジスタ(105)、及び、第1の電源(V_{DD})に結合したソースと、非反転出力(V_{OUT+})に結合したドレインと、ゲートを有する第1のPMOSトランジスタ(107)からなる第1の負荷、

第1の電源(V_{DD})に結合したドレインと、反転出力(V_{OUT-})に結合したソースと、第3のNMOSトランジスタ(105)のゲートに結合したゲートを有する第4のNMOSトランジスタ(104)、及び、第1の電源(V_{DD})に結合したソースと、反転出力(V_{OUT-})に結合したドレインと、第1のPMOSトランジスタ(107)のゲートに結合したゲートを有する第2のPMOSトランジスタ(106)からなる第2の負荷、

第1のNMOSトランジスタ(102)と第2のNMOSトランジスタ(103)のソースに結合したドレインと、第2の電源(V_{SS})に接続されたソースと、ゲートを有する第5のNMOSトランジスタ(101)、及び

基準電圧に接続された非反転入力と、反転入力と、出力を有する増幅器(130)、

第1の電源(V_{DD})に結合したドレインと、増幅器(130)の反転入力に結合したソースと、第3のNMOSトランジスタ(105)のゲートに結合したゲートを有する第6のNMOSトランジスタ(113)、及び、第1の電源(V_{DD})に結合したソースと、増幅器(130)の反転入力に結合したドレインと、第1のPMOSトランジスタ(107)のゲートに結合したゲートを有する第3のPMOSトランジスタ(114)からなる第3の負荷、

増幅器(130)の反転入力に結合したドレインと、第1の電源(V_{DD})に結合したゲートと、ソースを有する第7のNMOSトランジスタ(112)、

第7のNMOSトランジスタ(112)のソースに結合したドレインと、第2の電源(V_{SS})に結合したソースと、第5のNMOSトランジスタ(101)のゲートに結合したゲートを有する第8のNMOSトランジスタ(111)、

第2の電源(V_{SS})に結合したソースと、第5のNMOSトランジスタ(101)のゲートと遅延回路の遅延制御電圧入力(V_{CTL})とに結合したゲートと、ドレインを有する第9のNMOSトランジスタ(121)、及び

第1の電源(V_{DD})に結合したソースと、第9のNMOSトランジスタ(121)のドレインと第1のPMOSトランジスタ(107)のゲートと一緒に結合したドレインとゲートを有する第4のPMOSトランジスタ(122)を含むバイアス回路を含むことを特徴とする発振器用遅延回路。

【請求項 6】

第 1、2、3 及び 4 の PMOS トランジスタ (107、106、114122) の各々の W/L (幅対長さ) 比を等しくし、第 3、4 及び 6 の NMOS トランジスタ (105、104、113) の各々の W/L (幅対長さ) 比を等しくし、第 1、2 及び 7 の NMOS トランジスタ (102、103、112) の各々の W/L (幅対長さ) 比を等しくし、第 5 の NMOS トランジスタ (101) の W/L (幅対長さ) 比を第 8 及び 9 のトランジスタ (111、121) の各々の W/L (幅対長さ) 比の 2 倍にし、第 3 及び 4 の NMOS トランジスタ (104、105) の W/L (幅対長さ) 比を第 1 及び 2 の PMOS トランジスタ (107、106) の各々の W/L (幅対長さ) 比の $1/3$ にすることを特徴とする請求項 5 に記載の遅延回路。

【請求項 7】

遅延回路に対して相補型入力を形成する差動対の第 1 及び第 2 の NMOS トランジスタのゲートと、遅延回路の相補型出力を形成する前記差動対の前記第 1 及び第 2 の NMOS トランジスタのドレインが共通のソース構成において接続された NMOS トランジスタ (102、103) の差動対、

第 1 の電源 (V_{DD}) を前記差動対の前記第 1 の NMOS トランジスタ (102) のドレインに結合する並列に接続されたソース ドレイン路を有する第 1 の PMOS トランジスタ (106) と第 3 の NMOS トランジスタ (104) からなる第 1 の負荷、

前記第 1 の電源 (V_{DD}) を前記差動対の前記第 2 の NMOS トランジスタ (103) のドレインに結合する並列に接続されたソース ドレイン路を有する第 2 の PMOS トランジスタ (107) と第 4 の NMOS トランジスタ (105) からなる第 2 の負荷、及び

前記第 1 の負荷の前記第 1 の PMOS トランジスタ (106) と前記第 3 の NMOS トランジスタ (104) のゲートと、前記第 2 の負荷の前記第 2 の PMOS トランジスタ (107) と前記第 4 の NMOS トランジスタ (105) とにバイアス電圧を提供する電圧バイアス回路を含むことを特徴とする発振器用遅延回路。

【請求項 8】

遅延回路に対して相補型入力を形成する差動対の第 1 及び第 2 のトランジスタのゲートと、遅延回路からの相補型出力を形成する前記差動対の前記第 1 及び第 2 のトランジスタのドレインが共通のソース構成において接続されたトランジスタ (102、103) の差動対、

第 1 の電源 (V_{DD}) を前記差動対の前記第 1 のトランジスタ (102) のドレインに結合する並列に接続されたソース ドレイン路を有する第 3 及び第 4 のトランジスタ (104、106) からなる第 1 の負荷、

前記第 1 の電源 (V_{DD}) を前記差動対の前記第 2 のトランジスタ (103) のドレインに結合する並列に接続されたソース ドレイン路を有する第 5 及び第 6 のトランジスタ (105、107) からなる第 2 の負荷、及び

高低電圧入力が遅延回路の入力に印加される時、遅延回路の出力間電圧揺れが一定のままであるように、前記第 1 の負荷と前記第 2 の負荷のトランジスタのゲートにバイアス電圧を提供する電圧バイアス回路を含むことを特徴とする発振器用遅延回路。

【請求項 9】

遅延回路に対して相補型入力を形成する差動対の第 1 及び第 2 のトランジスタのゲートと、遅延回路からの相補型出力を形成する前記差動対の前記第 1 及び第 2 のトランジスタのドレインが共通のソース構成において接続されたトランジスタ (102、103) の差動対、

第 1 の電源 (V_{DD}) を前記差動対の前記第 1 のトランジスタ (102) のドレインに結合する並列に接続されたソース ドレイン路を有する第 3 及び第 4 のトランジスタ (104、106) からなる第 1 の負荷、ここで前記第 3 のトランジスタ (104) は NMOS デバイスからなり、前記第 4 のトランジスタ (106) は PMOS デバイスからなる、

前記第 1 の電源 (V_{DD}) を前記差動対の前記第 2 のトランジスタ (103) のドレインに結合する並列に接続されたソース ドレイン路を有する第 5 及び第 6 のトランジスタ

(1 0 5 、 1 0 7) からなる第 2 の負荷、ここで前記第 5 のトランジスタ (1 0 5) は N M O S デバイスからなり、前記第 6 のトランジスタ (1 0 7) は P M O S デバイスからなる、

差動トランジスタ対のソースを第 2 の電源 (V_{SS}) に結合するソース ドレイン路を有し、遅延回路により提供される時間遅延を制御するように制御電圧を印加するゲートを有する末尾電流制御トランジスタ (1 0 1)、及び

前記時間遅延が前記末尾電流制御トランジスタ (1 0 1) のソースからドレインへ提供される末尾電流に線形比例するように、前記第 1 の負荷と前記第 2 の負荷のトランジスタのゲートにバイアス電圧を提供する電圧バイアス回路を含むことを特徴とする発振器用遅延回路。