

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5529751号
(P5529751)

(45) 発行日 平成26年6月25日(2014.6.25)

(24) 登録日 平成26年4月25日(2014.4.25)

(51) Int.Cl.

F I

G 0 6 F 12/16 (2006.01)

G 0 6 F 12/16 3 2 0 G

請求項の数 15 (全 11 頁)

(21) 出願番号 特願2010-536553 (P2010-536553)
 (86) (22) 出願日 平成20年10月7日(2008.10.7)
 (65) 公表番号 特表2011-507066 (P2011-507066A)
 (43) 公表日 平成23年3月3日(2011.3.3)
 (86) 国際出願番号 PCT/IB2008/054108
 (87) 国際公開番号 W02009/072014
 (87) 国際公開日 平成21年6月11日(2009.6.11)
 審査請求日 平成23年10月6日(2011.10.6)
 (31) 優先権主張番号 11/951,455
 (32) 優先日 平成19年12月6日(2007.12.6)
 (33) 優先権主張国 米国(US)

(73) 特許権者 508159260
 サンディスク アイエル リミテッド
 イスラエル国、44425、クファー サ
 バ、アティール イエダ ストリート 7
 (74) 代理人 100075144
 弁理士 井ノ口 壽
 (72) 発明者 エレス, エラン
 アメリカ合衆国、95014、カリフォル
 ニア州、クペルティーノ、パークウッド
 ドライブ 10255、アパートメント
 # 1

審査官 桜井 茂行

最終頁に続く

(54) 【発明の名称】 メモリアレイにおけるエラー訂正

(57) 【特許請求の範囲】

【請求項 1】

メモリアレイでエラーを訂正する方法であって、

(a) 標準サイズを有する訂正可能なメモリセルグループで第1のビット誤り率までエラーを訂正するエラー訂正アルゴリズムを提供するステップと、

(b) 標準サイズより大きい第1のサイズを有する第1のメモリセルグループに対応する情報を有する第1のECCビットセットを生成するステップと、

(c) 第2のメモリセルグループに対応する情報を有する第2のECCビットセットを生成するステップであって、前記第2のメモリセルグループは前記第1のメモリセルグループから規定され、かつ前記第1のサイズより小さい第2のサイズを有するので、前記第2のメモリセルグループが前記第1のメモリセルグループの一部分をなすステップと、

(d) 前記第1のECCビットセットに基づき前記第1のメモリセルグループでエラーを訂正するために前記エラー訂正アルゴリズムを適用するステップと、

(e) 前記第1のECCビットセットに基づき前記第1のメモリセルグループでエラーを訂正するための前記エラー訂正アルゴリズムがステップ(d)で失敗するか否かを判断するステップと、

(f) 前記エラー訂正アルゴリズムがステップ(d)で失敗した場合に、前記第2のECCビットセットに基づき前記第2のメモリセルグループでエラーを訂正するために前記エラー訂正アルゴリズムを適用するステップと、

を含む方法。

10

20

【請求項 2】

請求項 1 記載の方法において、

(g) 前記第 1 の ECC ビットセットに基づき前記第 1 の メモリセルグループ を訂正するステップをさらに含む方法。

【請求項 3】

請求項 1 記載の方法において、

(g) 前記第 2 の ECC ビットセットに基づき前記第 2 の メモリセルグループ を訂正するステップをさらに含む方法。

【請求項 4】

請求項 1 記載の方法において、

(g) ステップ (d) に先立ち、さらなるメモリセルグループに対応する情報を有するさらなる ECC ビットセットを生成するステップをさらに含み、前記さらなる メモリセルグループ は前記第 2 のサイズより小さい第 3 のサイズを有し、かつ前記第 2 の メモリセルグループ の一部分をなす方法。

【請求項 5】

請求項 4 記載の方法において、

(h) 前記第 2 の ECC ビットセットに基づき前記第 2 の メモリセルグループ でエラーを訂正するために前記エラー訂正アルゴリズムがステップ (f) で失敗した場合に、前記さらなる ECC ビットセットに基づき前記さらなる メモリセルグループ でエラーを訂正するために前記エラー訂正アルゴリズムを適用するステップをさらに含む方法。

【請求項 6】

請求項 5 記載の方法において、

(i) 前記さらなる ECC ビットセットに基づき前記さらなる メモリセルグループ を訂正するステップをさらに含む方法。

【請求項 7】

請求項 1 記載の方法において、

前記第 1 の メモリセルグループ で第 2 のビット誤り率までエラーを訂正するためにステップ (e) が適用され、前記第 2 のビット誤り率は第 1 のビット誤り率より大きい方法。

【請求項 8】

メモリアレイでエラーを訂正するコンピュータシステムであって、

標準サイズを有する訂正可能なメモリセルグループで第 1 のビット誤り率までエラーを訂正できるエラー訂正アルゴリズムと、

第 1 のメモリセルグループに対応する情報を有する第 1 の ECC ビットセットを格納し、かつ第 2 のメモリセルグループに対応する情報を有する第 2 の ECC ビットセットを格納するべく機能するメモリであって、前記第 1 の メモリセルグループ は標準サイズより大きい第 1 のサイズを有し、前記第 2 の メモリセルグループ は前記第 1 の メモリセルグループ から規定され、かつ前記第 1 のサイズより小さい第 2 のサイズを有するので、前記第 2 の メモリセルグループ が前記第 1 の メモリセルグループ の一部分をなす、メモリと、を備え、

前記第 1 の ECC ビットセットに基づき前記第 1 の メモリセルグループ に適用された前記エラー訂正アルゴリズムが失敗した場合に、前記エラー訂正アルゴリズムは前記第 2 の ECC ビットセットに基づき前記第 2 の メモリセルグループ でエラーを訂正するべく機能するコンピュータシステム。

【請求項 9】

請求項 8 記載のコンピュータシステムにおいて、

前記メモリは、フラッシュメモリであるコンピュータシステム。

【請求項 10】

請求項 8 記載のコンピュータシステムにおいて、

前記エラー訂正アルゴリズムはまた、前記第 1 の ECC ビットセットに基づき前記第 1 の メモリセルグループ を訂正するべく機能するコンピュータシステム。

【請求項 1 1】

請求項 8 記載のコンピュータシステムにおいて、

前記エラー訂正アルゴリズムはまた、前記第 2 の E C C ビットセットに基づき前記第 2 のメモリセルグループを訂正するべく機能するコンピュータシステム。

【請求項 1 2】

請求項 8 記載のコンピュータシステムにおいて、

前記メモリは、さらなるメモリセルグループに対応する情報を有するさらなる E C C ビットセットを格納するべく機能し、前記さらなるメモリセルグループは前記第 2 のサイズより小さい第 3 のサイズを有し、かつ前記第 2 のメモリセルグループの一部をなすコンピュータシステム。

10

【請求項 1 3】

請求項 1 2 記載のコンピュータシステムにおいて、

前記第 2 の E C C ビットセットに基づき前記第 2 のメモリセルグループに適用された前記エラー訂正アルゴリズムが失敗した場合に、前記エラー訂正アルゴリズムは、前記さらなる E C C ビットセットに基づき前記さらなるメモリセルグループに適用されるようにさらに機能するコンピュータシステム。

【請求項 1 4】

請求項 1 3 記載のコンピュータシステムにおいて、

前記エラー訂正アルゴリズムはまた、前記さらなる E C C ビットセットに基づき前記さらなるメモリセルグループを訂正するべく機能するコンピュータシステム。

20

【請求項 1 5】

請求項 8 記載のコンピュータシステムにおいて、

前記第 1 のメモリセルグループで第 2 のビット誤り率までエラーを訂正するために前記エラー訂正アルゴリズムが適用され、前記第 2 のビット誤り率は第 1 のビット誤り率より大きいコンピュータシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、メモリでエラーを訂正するエラー訂正符号 (E C C) に関する。

【背景技術】

30

【0002】

不揮発性メモリ装置、特にソリッドステートメモリ装置は、時間の経過にともない劣化する傾向がある。かかる劣化の主たる結果として、格納データにエラーが生じる。業界で一般に許容されている装置の信頼性は装置の種類によって異なり、例えば使用する技術や達成し得る製造工程公差に左右される。フラッシュコントローラには、標準サイズ (例えば、256 バイト) の訂正可能なメモリセルグループで第 1 の (「ウィーク」) ビット誤り率まで (例えば、512 バイト当たり 6 ビットまで) エラーを訂正できるように設計されるものや、より強固な保護を得るために第 1 のビット誤り率より高い第 2 のビット誤り率 (例えば、512 バイト当たり 8 ビットまで) を要するものもある。

【0003】

40

当該技術分野においてはこれまでウィークエラー処理方式を用いて強固なビット誤り率保護を提供するエラー処理方式がいくつか考案されてきた。一つの解決策では、メモリセルからなるグループをサブグループ (訂正可能なグループ) に分割し、既存のウィークエラー訂正方式をそれぞれのサブグループに別々に適用する。この場合は、それぞれのサブグループがウィークビット誤り率により個別に保護される。しかし、そのようなエラー訂正方式ではサブグループごとにエラー訂正操作が必要となるため、全体的な性能が落ちてしまう。

これとは別に所望のビット誤り率までエラーを訂正することが可能な、強固なエラー訂正方式を新たに設計する取り組みも広くなされている。新たに設計されたシステムには高いコスト効果と設計に時間がかかるという難点がある。

50

先行技術のエラー処理方式は欠陥メモリ位置に対してある程度の保護を提供するが、いずれも完璧ではない。エラー処理方式には過大な資源と開発時間を要するものもあれば、システム全体の読み取り性能を低下させるものもある。また、保護が不十分なものもある。

【発明の概要】

【0004】

本発明は、メモリアレイでエラーを訂正するエラー訂正アルゴリズムを有するコンピュータシステムとその方法として具現化される。メモリセルは対応するECCビットに関連してメモリアレイに格納される。ECCビットは次のとおり生成される。1セットのECCビットは第1のメモリセルグループに対応する情報を含み（第1のグループは、例えば256バイトの標準サイズ以上の第1のサイズを有する）、第2のECCビットセットは第2のメモリセルグループに対応する情報を含み（第2のグループは第1のグループ内に含まれる）、第3のECCビットセットは第3のメモリセルグループに対応する情報を含み（第3のグループは第2のグループ内に含まれる）、以下同様である。このようにECCビットを生成することでメモリアレイにエラー訂正を施しながら、最良の全体性能を達成する。

【0005】

前述したアプローチの一実施形態において、メモリアレイでエラーを訂正する方法は、訂正可能なメモリセルグループで第1のビット誤り率までエラーを訂正することが可能なエラー訂正アルゴリズムを提供するステップを含むことができる。訂正可能なグループは標準サイズを有する。方法はまた、第1のメモリセルグループに対応する情報を有する第1のECCビットセットを生成するステップと、第2のメモリセルグループに対応する情報を有する第2のECCビットセットを生成するステップと、第1のECCビットセットに基づき第1のグループでエラーを訂正するためにエラー訂正アルゴリズムを適用するステップと、を含む。第1のグループは標準サイズより大きい第1のサイズを有する。第2のグループは第1のサイズより小さい第2のサイズを有し、かつ第1のグループの一部をなす。方法はまた、第1のECCビットセットに基づきエラー訂正アルゴリズムが失敗した場合に、第2のECCビットセットに基づき第2のグループでエラーを訂正するためにエラー訂正アルゴリズムを適用することを含む。方法はまた、第1のECCビットセットに基づき第1のグループを訂正することを含む。方法はまた、第2のECCビットセットに基づき第2のグループを訂正することを含む。

【0006】

方法はまた、さらなるメモリセルグループに対応する情報を有するさらなるECCビットセットを生成することを含む。さらなるECCビットセットは、エラー訂正アルゴリズムの適用に先立ち生成できる。さらなるグループは第2のサイズより小さい第3のサイズを有し、かつ第2のグループの一部をなす。方法はまた、第2のECCビットセットに基づきエラー訂正アルゴリズムが失敗した場合に、さらなるECCビットセットに基づきさらなるグループでエラーを訂正するためにエラー訂正アルゴリズムを適用することを含む。方法は、さらなるECCビットセットに基づきさらなるグループを訂正することを含む。第1のグループで第2のビット誤り率までエラーを訂正するためにエラー訂正アルゴリズムが適用され、ここで第2のビット誤り率は第1のビット誤り率より大きい。

【0007】

前述したアプローチの別の実施形態において、メモリアレイでエラーを訂正するコンピュータシステムは、訂正可能なメモリセルグループで第1のビット誤り率までエラーを訂正できるエラー訂正アルゴリズムを含む。訂正可能なグループは標準サイズを有する。メモリは、第1のメモリセルグループに対応する情報を有する第1のECCビットセットを格納し、かつ第2のメモリセルグループに対応する情報を有する第2のECCビットセットを格納するべく機能する。第1のグループは標準サイズより大きい第1のサイズを有し、第2のグループは第1のサイズより小さい第2のサイズを有し、かつ第1のグループの一部をなす。第1のECCビットセットに基づき第1のグループに適用されたエラー訂

正アルゴリズムが失敗した場合に、エラー訂正アルゴリズムは第2のECCビットセットに基づき第2のグループでエラーを訂正するべく機能する。

【0008】

メモリはフラッシュメモリであってよい。エラー訂正アルゴリズムはまた、第1のECCビットセットに基づき第1のグループを訂正するべく機能し得る。エラー訂正アルゴリズムはまた、第2のECCビットセットに基づき第2のグループを訂正するべく機能し得る。

メモリは、さらなるメモリセルグループに対応する情報を有するさらなるECCビットセットを格納するべく機能し得る。さらなるグループは第2のサイズより小さい第3のサイズを有し、かつ第2のグループの一部をなす。エラー訂正アルゴリズムはさらに、第2のECCビットグループに基づき第2のグループに適用され失敗した場合に、さらなるECCビットセットに基づきさらなるグループに適用されるように機能し得る。エラー訂正アルゴリズムは、さらなるECCビットセットに基づきさらなるグループを訂正するべく機能し得る。第1のグループで第2のビット誤り率までエラーを訂正するためにエラー訂正アルゴリズムを適用することができ、ここで第2のビット誤り率は第1のビット誤り率より大きい。

【0009】

以下の図面と説明から前述した実施形態のさらなる特徴、利点、変形例が明らかとなる。

これらの実施形態に関して本発明をより良く理解するため、添付の図面を参照する。添付の図面で同様の数字は一致する部分または要素を指す。

【図面の簡単な説明】

【0010】

【図1A】メモリアレイでエラーを訂正するコンピュータシステムの一実施形態のブロック図である。

【図1B】図1Aのメモリアレイのブロック図であり、この図において各データ単位につき3セットのECCビットを生成するようにエラー訂正アルゴリズムが実施される。

【図2】典型的な実施形態に従いメモリアレイにデータを書き込むフローチャートである。

【図3】典型的な実施形態に従いメモリアレイからデータを読み取るフローチャートである。

【発明を実施するための形態】

【0011】

添付の特許請求の範囲によって規定される本発明は、典型的かつ好適な実施形態の詳細な説明を参照することにより、より良く理解される。この説明は特許請求の範囲を制限することを意図するものではなく、かかる実施形態の例を提供するものである。したがって、以下の論述で提示される典型的な実施形態は、メモリアレイでエラーを訂正するコンピュータシステムとその方法を含む。

【0012】

コンピュータシステムの一実施形態では、エラー訂正アルゴリズムを用いてメモリアレイのエラーを訂正する。このメモリアレイは2つ以上のメモリセルグループを含み、小さいメモリセルグループの中には最も小さいメモリセルグループが含まれ、大きいグループの中には小さいメモリセルグループが含まれ、以下同様である。それぞれのメモリセルグループは、当該グループの幅と長さに相当する1セットのECCビットに関連してメモリアレイに格納される。1セットのECCビットは第1のメモリセルグループに対応する情報を含み、別セットのECCビットは第2のメモリセルグループに対応する情報を含み、以下同様である。このようにECCビットを生成することでメモリアレイにエラー訂正を施しながら、最良の全体性能を達成する。

【0013】

このエラー訂正アルゴリズムは、標準サイズ（例えば、256バイト）の訂正可能なメ

メモリセルグループで第1のビット誤り率まで（例えば、512バイト当たり6ビットまで）エラーを訂正できる。まずは大きいメモリセルグループを訂正するためにこのグループの対応するECCビットを用いてエラー訂正アルゴリズムが適用され、この訂正措置が失敗すると、小さいメモリセルグループを訂正するためにエラー訂正アルゴリズムが適用される。この小さいグループに失敗すると、このグループ内に含まれるさらに小さいメモリセルグループを訂正するためにエラー訂正アルゴリズムをさらに適用できる。この訂正措置は、訂正に成功するまで対応するECCビットに基づきより小さいメモリセルグループに対して繰り返し適用できる。成功すると、この過程で相互に関係する全メモリセルグループのデータが訂正される。

【0014】

10

図1Aは、メモリアレイ14でエラーを訂正するエラー訂正アルゴリズム12を有するコンピュータシステム10の典型的な実施形態である。メモリアレイ14はフラッシュメモリであってよい。エラー訂正アルゴリズム12は標準サイズ（例えば、256バイト）の訂正可能なメモリセルグループ（例えば、MC1）で第1のビット誤り率まで（例えば、512バイト当たり6ビットまで）エラーを訂正できる。メモリアレイ14にデータを書き込み、かつメモリアレイ14からデータを読み取るため、コントローラ18が設けられている。

【0015】

メモリアレイ14は複数のデータ単位16を含む。データ単位のバイト数はいくらかでもよく、256バイトや512バイト等を含むが、これらに限定されない。この例では各データ単位16につき2セットのECCビットを生成するようにエラー訂正アルゴリズム12を実施する。第1のECCビットセットECC1-2は、第1のメモリセルグループMC1およびMC2に対応する情報を有し、第2のECCビットセットECC1は、第2のメモリセルグループMC1に対応する情報を有する（代替的に、第2のECCビットセットはメモリセルグループMC2に対応する情報を有することもある）。第1のメモリセルグループMC1およびMC2は、標準サイズより大きい第1のサイズ（例えば、512バイト）を有する。第2のメモリセルグループMC1は、第1のサイズより小さい第2のサイズ（例えば、256バイト）を有する。第2のメモリセルグループMC1は第1のグループMC1およびMC2の一部分をなす。第1のECCビットセットECC1-2と第2のECCビットセットECC1は、それぞれのデータ単位16に関連してメモリアレイ14に格納される。

20

30

【0016】

エラー訂正アルゴリズム12は、第1のECCビットセットECC1-2に基づき第1のグループMC1およびMC2でエラーを訂正するべく機能する。このプロセスに失敗すると（例えば、第1のグループMC1およびMC2にエラーが7つ以上あると）、エラー訂正アルゴリズム12は第2のECCビットセットECC1に基づき第2のグループMC1でエラーを訂正するべく機能する。換言すると、第1のECCビットセットECC1-2に基づき第1のグループMC1およびMC2に適用されたエラー訂正アルゴリズム12が失敗した場合に、エラー訂正アルゴリズム12は第2のECCビットセットECC1に基づき第2のグループMC1でエラーを訂正するべく機能する。したがって、第1のグループMC1およびMC2で、第1のビット誤り率より大きい第2のビット誤り率、例えば512バイト当たり8ビットまでエラーを訂正するため、エラー訂正アルゴリズム12（当初6ビット誤り率まで訂正するために実施される）を使用する。

40

【0017】

種々の実施例には様々なメモリ構成を使用でき、図に示された特定の実施例は、この実施例に限定するものとして解釈すべきではないことを理解すべきである。例えば、ECCビットセットはメモリセルに隣接してよく、その配置はデータ単位以外でもよく、および/または様々なタイプのエラー訂正アルゴリズムを提供できる。エラー訂正アルゴリズムはさらに2セットのECCビット、3セットのECCビット（図1B参照）、あるいは4セット以上のECCビットを生成するように適用でき、メモリアレイは、2セットのE

50

ＣＣビット、３セットのＥＣＣビット、あるいは４セット以上のＥＣＣビットを格納するように実装できる。

【００１８】

エラー訂正アルゴリズム１２はまた、第１のＥＣＣビットセットＥＣＣ１－２に基づき第１のグループＭＣ１およびＭＣ２を訂正するべく機能し得る。前述したものの代わりに、そうでなければ前述したものに加えて、エラー訂正アルゴリズム１２は、第２のＥＣＣビットセットＥＣＣ１に基づき第２のグループＭＣ１を訂正するべく機能し得る。メモリアレイ１４は、さらなるメモリセルグループに対応する情報を有するさらなるＥＣＣビットセットを格納するべく機能でき、このさらなるメモリセルグループは第２のサイズより小さい第３のサイズを有し、第２のグループＭＣ１の一部分をなす。この場合、第２のＥ

10

【００１９】

図１Ｂは図１Ａのメモリアレイ１４の典型的な実施形態であり、この図において各データ単位１６につき３セットのＥＣＣビットを生成するようにエラー訂正アルゴリズム１２を実施する。この例では、各データ単位１６につき３セットのＥＣＣビットを生成するようにエラー訂正アルゴリズム１２を実施する。第１のＥＣＣビットセットＥＣＣ'１－３は第１のメモリセルグループＭＣ'１、ＭＣ'２、およびＭＣ'３に対応する情報を有し、第２のＥＣＣビットセットＥＣＣ'１－２は第２のメモリセルグループＭＣ'１および

20

30

【００２０】

エラー訂正アルゴリズム１２は、第１のＥＣＣビットセットＥＣＣ'１－３に基づき第１のグループＭＣ'１、ＭＣ'２、およびＭＣ'３でエラーを訂正するべく機能する。このプロセスに失敗すると（例えば、第１のグループＭＣ'１、ＭＣ'２、およびＭＣ'３にエラーが７つ以上あると）、エラー訂正アルゴリズム１２は第２のＥＣＣビットセット

40

【００２１】

図２は、典型的な実施形態に従い、エラー訂正アルゴリズム１２を有するコンピュータシステム１０のメモリアレイにデータを書き込む方法のフローチャート３０である。３２ではメモリアレイにデータを書き込む。エラー訂正アルゴリズムは、標準サイズ（例えば、２５６バイト）の訂正可能なメモリセルグループで第１のビット誤り率までエラーを訂正できる。この例では、各データ単位１６につき３セットのＥＣＣビットを生成するようにエラー訂正アルゴリズム１２を実施する。

50

【 0 0 2 2 】

34では、書き込まれたデータのため、第1のECCビットセットECC'1-3を生成する。第1のECCビットセットは第1のメモリセルグループMC'1、MC'2、およびMC'3に対応する情報を有する。第1のグループは標準サイズより大きい第1のサイズ（例えば、512バイト）を有する。

36では、書き込まれたデータのため、第2のECCビットセットECC'1-2を生成する。第2のECCビットセットは第2のメモリセルグループMC'1およびMC'2に対応する情報を有する。第2のグループは第1のサイズより小さい第2のサイズを有し、第1のメモリセルグループの一部をなす。

38では、書き込まれたデータのため、さらなるECCビットセット（この例では、第3のセットECC'1）を生成する。さらなるECCビットセットはさらなるメモリセルグループ（この例では、第3のグループMC'1）に対応する情報を有する。第3のメモリセルグループは第2のサイズより小さい第3のサイズを有し、第2のメモリセルグループの一部をなす。39では全てのECCビットセットがメモリアレイに書き込まれる。

【 0 0 2 3 】

一部の実施形態および/または一部の符号では、第1、第2、および第3のECCビットセットの生成が単一のステップとして適用される。別の実施形態では、第1のECCビットセットと、第2のECCビットセットと、第3のECCビットセットとを生成する別個のステップが少なくとも2つあってよい。

【 0 0 2 4 】

図3は、典型的な実施形態に従い、メモリアレイからデータを読み取る方法のフローチャート50である。52ではデータとこれに対応するECCビットをメモリアレイから読み取り、第1のECCビットセットに基づき第1のメモリセルグループでエラーを訂正するべくエラー訂正アルゴリズム（図2のもの）を適用する。

【 0 0 2 5 】

第1のECCビットセットに基づきエラー訂正アルゴリズムが成功した場合に（54）、第1のECCビットセットECC'1-3に基づき第1のメモリセルグループMC'1、MC'2、およびMC'3が訂正され、成功信号がアサートされる（ステップ56）。

第1のECCビットセットに基づきエラー訂正アルゴリズムが失敗した場合に（54）、第2のECCビットセットECC'1-2に基づき第2のメモリセルグループMC'1およびMC'2が訂正される。第2のECCビットセットに基づきエラー訂正アルゴリズムが成功した場合に（60）、第2のECCビットセットECC'1-2に基づき第2のメモリセルグループMC'1およびMC'2が訂正され、次に第1のECCビットセットECC'1-3に基づき第1のメモリセルグループMC'1、MC'2、およびMC'3が訂正される。そして、成功信号がアサートされる（ステップ56）。第2のECCビットセットに基づきエラー訂正アルゴリズムが失敗した場合に（60）、さらなるECCビットセットECC'1に基づきさらなるメモリセルグループMC'1が訂正される（62）。このステップ（62）では、さらなるECCビットセットECC'1に基づきさらなるメモリセルグループMC'1が訂正され、次に第2のECCビットセットECC'1-2に基づき第2のメモリセルグループMC'1およびMC'2が訂正され、次に第1のECCビットセットECC'1-3に基づき第1のメモリセルグループMC'1、MC'2、およびMC'3が訂正される。そして、成功信号がアサートされる（ステップ56）。

【 0 0 2 6 】

ここでは、2つまたは3つのECCビットセットを生成するために適用されるエラー訂正アルゴリズムと、これらのECCビットセットを格納するように実施されるメモリアレイとでコンピュータシステムが構成されているが、4セット以上のECCビットを生成し、4セット以上のECCビットを格納するようにコンピュータシステムおよび方法を適用することもできることを理解するべきである。また、大容量記憶装置への接続ポートとなるハブはどんなタイプのものでもよい。

【 0 0 2 7 】

10

20

30

40

50

これまでシステムおよび方法の様々な実施形態を説明してきたが、当業者であれば今後さらなる修正を思い付き、かかる修正は添付の特許請求の範囲内にあるものとして扱われるため、この説明が制限を意図するものではないことを理解するべきである。

【図 1 A】

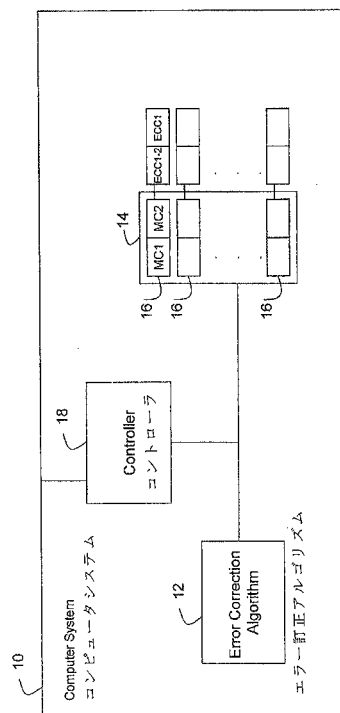


FIG. 1A

【図 1 B】

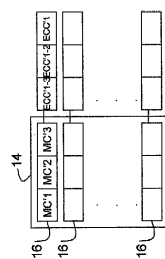


FIG. 1B

【図2】

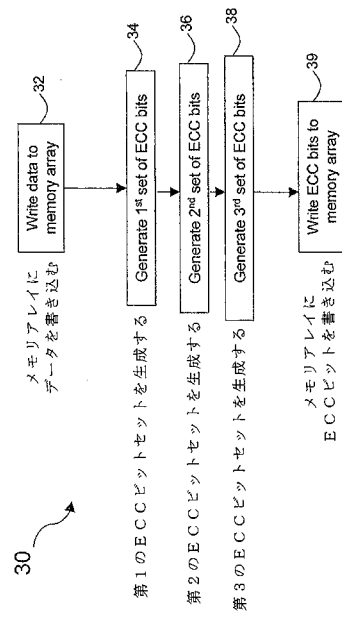


FIG.2

【図3】

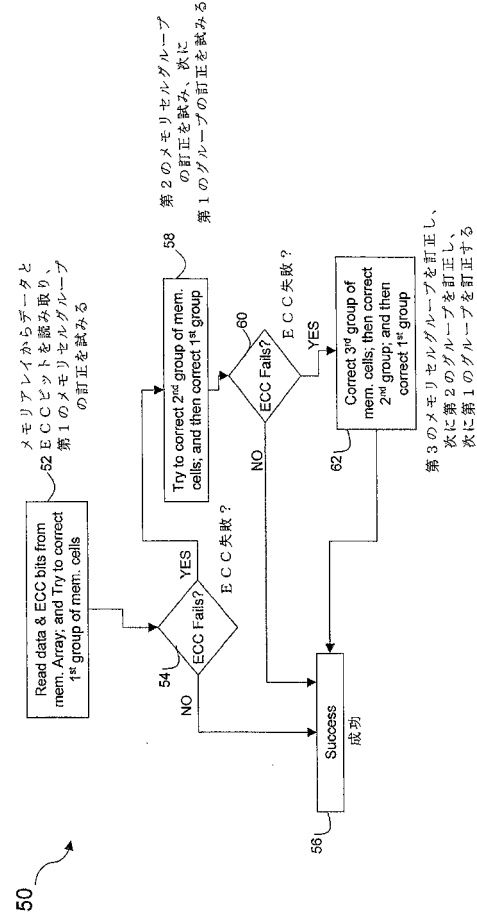


FIG.3

フロントページの続き

(56)参考文献 特開平 10 - 207726 (JP, A)
特開 2005 - 216437 (JP, A)
特開 2007 - 299449 (JP, A)
特開 2009 - 059422 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G06F 12 / 16
G06F 11 / 10