

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年5月14日(14.05.2020)



(10) 国際公開番号

WO 2020/095850 A1

(51) 国際特許分類:
H01L 27/146 (2006.01) *H04N 5/3745* (2011.01)
H04N 5/369 (2011.01)

(21) 国際出願番号: PCT/JP2019/043110

(22) 国際出願日: 2019年11月1日(01.11.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2018-211638 2018年11月9日(09.11.2018) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目1番4号 Kanagawa (JP).

(72) 発明者: 内田 博久 (UCHIDA, Hirohisa); 〒8691102 熊本県菊池郡菊陽町大字原水400

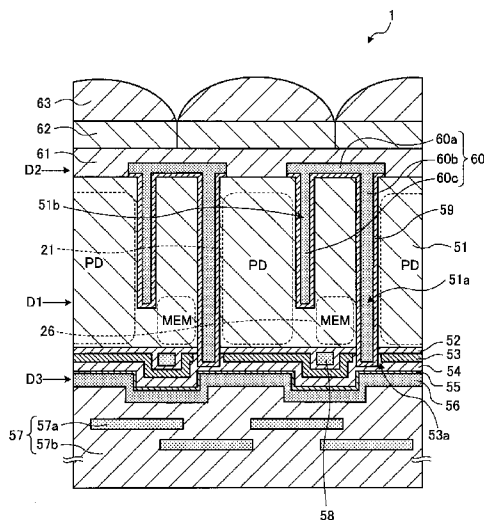
0番地1 ソニーセミコンダクタマニュファクチャリング株式会社内 Kumamoto (JP). 納土 晋一郎(NUDO, Shinichiro); 〒8691102 熊本県菊池郡菊陽町大字原水400番地1 ソニーセミコンダクタマニュファクチャリング株式会社内 Kumamoto (JP). 出木場 透(IDEKOBA, Tooru); 〒8691102 熊本県菊池郡菊陽町大字原水400番地1 ソニーセミコンダクタマニュファクチャリング株式会社内 Kumamoto (JP).

(74) 代理人: 特許業務法人酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT OFFICE); 〒1000013 東京都千代田区霞が関3丁目8番1号 虎の門三井ビルディング Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) Title: SOLID-STATE IMAGING DEVICE, METHOD FOR MANUFACTURING SOLID-STATE IMAGING DEVICE, AND ELECTRONIC APPARATUS

(54) 発明の名称: 固体撮像装置、固体撮像装置の製造方法および電子機器



(57) Abstract: A solid-state imaging device (1) of the present disclosure comprises: a semiconductor layer (51); a light-shielding wall (60b); and an insulation layer. The semiconductor layer (51) is provided with: a plurality of photoelectric conversion units; and a plurality of charge holding units (26) that hold a charge generated by the photoelectric conversion units. The light-shielding wall (60b) is provided inside a groove (51a) of the semiconductor layer (51), the groove being formed in the depth direction from a light incidence side, between a photoelectric conversion unit and a charge holding unit (26) that are adjacent to each other. The insulation layer is provided on a side opposite the light incidence side of the semiconductor layer (51), and has an opening (53a) that surrounds the groove (51a).

(57) 要約: 本開示に係る固体撮像装置(1)は、半導体層(51)と、遮光壁(60b)と、絶縁層とを備える。半導体層(51)は、複数の光電変換部と、光電変換部により生成される電荷を保持する複数の電荷保持部(26)とが設けられる。遮光壁(60b)は、半導体層(51)において、隣接する光電変換部と電荷保持部(26)との間に光入射側から深さ方向に形成される溝部(51a)の内部に設けられる。絶縁層は、半導体層(51)の光入射側とは反対側に設けられ、溝部(51a)を囲む開口部(53a)を有する。

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：

固体撮像装置、固体撮像装置の製造方法および電子機器

技術分野

[0001] 本開示は、固体撮像装置、固体撮像装置の製造方法および電子機器に関する。

背景技術

[0002] 近年、裏面照射型のCMOS（Complementary Metal Oxide Semiconductor）イメージセンサにおいて、隣接する単位画素同士の上に壁状の遮光壁を形成することにより、隣接する単位画素からの光の漏れ込みを低減させる技術がある（たとえば、特許文献1参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2013-191869号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、上記の従来技術では、遮光壁による遮光性が十分でないことから、隣接する単位画素から光の漏れ込みを低減させることについて改善の余地があった。

[0005] そこで、本開示では、隣接する単位画素からの光の漏れ込みを低減させることができる固体撮像装置、固体撮像装置の製造方法および電子機器を提案する。

課題を解決するための手段

[0006] 本開示によれば、固体撮像装置が提供される。固体撮像装置は、半導体層と、遮光壁と、絶縁層とを備える。半導体層は、複数の光電変換部と、前記光電変換部により生成される電荷を保持する複数の電荷保持部とが設けられ

る。遮光壁は、前記半導体層において、隣接する前記光電変換部と前記電荷保持部との間に光入射側から深さ方向に形成される溝部の内部に設けられる。絶縁層は、前記半導体層の光入射側とは反対側に設けられ、前記溝部を囲む開口部を有する。

[0007] また、本開示によれば、固体撮像装置が提供される。固体撮像装置は、半導体層と、遮光壁と、絶縁層とを備える。半導体層は、複数の光電変換部が設けられる。遮光壁は、前記半導体層において、隣接する前記光電変換部同士の間、光入射側から深さ方向に形成される溝部の内部に設けられる。絶縁層は、前記半導体層の光入射側とは反対側に設けられ、前記溝部を囲む開口部を有する。

[0008] また、本開示によれば、固体撮像装置の製造方法が提供される。固体撮像装置の製造方法は、半導体基板に絶縁層を形成する工程と、前記絶縁層の所定の領域に開口部を形成する工程と、前記開口部を埋めるように別の絶縁層を形成する工程と、前記半導体基板の前記絶縁層が形成された側とは反対側の面を研削する工程とを含む。また、固体撮像装置の製造方法は、前記半導体基板の研削された面から前記開口部に向かって深さ方向に溝部を形成する工程と、前記溝部の内部に遮光壁を形成する工程と、を含む。

発明の効果

[0009] 本開示によれば、隣接する単位画素からの光の漏れ込みを低減させることができる。なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0010] [図1]本開示の第1の実施形態に係る固体撮像装置の概略構成例を示すシステム構成図である。

[図2]本開示の第1の実施形態に係る固体撮像装置の単位画素の構成例を示す回路図である。

[図3]本開示の第1の実施形態に係る固体撮像装置の遮光構造を模式的に示す断面図である。

[図4A]参考例における固体撮像装置の一製造工程を模式的に示す拡大断面図である。

[図4B]参考例における固体撮像装置の一製造工程を模式的に示す拡大断面図である。

[図4C]参考例における固体撮像装置の一製造工程を模式的に示す拡大断面図である。

[図5A]本開示の第1の実施形態に係る固体撮像装置の一製造工程を模式的に示す拡大断面図である。

[図5B]本開示の第1の実施形態に係る固体撮像装置の一製造工程を模式的に示す拡大断面図である。

[図5C]本開示の第1の実施形態に係る固体撮像装置の一製造工程を模式的に示す拡大断面図である。

[図6]本開示の第1の実施形態に係る固体撮像装置の平面構造を模式的に示す図である。

[図7]本開示の第1の実施形態に係る固体撮像装置の平面構造を模式的に示す図である。

[図8]本開示の第1の実施形態に係る固体撮像装置の平面構造を模式的に示す図である。

[図9A]本開示の第1の実施形態に係る固体撮像装置の一製造工程を模式的に示す拡大断面図である。

[図9B]本開示の第1の実施形態に係る固体撮像装置の一製造工程を模式的に示す拡大断面図である。

[図9C]本開示の第1の実施形態に係る固体撮像装置の一製造工程を模式的に示す拡大断面図である。

[図9D]本開示の第1の実施形態に係る固体撮像装置の一製造工程を模式的に示す拡大断面図である。

[図10]本開示の第1の実施形態に係る固体撮像装置の製造工程の手順を示すフローチャートである。

[図11]本開示の第1の実施形態の変形例1に係る固体撮像装置の遮光構造を模式的に示す拡大断面図である。

[図12]本開示の第1の実施形態の変形例2に係る固体撮像装置の遮光構造を模式的に示す拡大断面図である。

[図13]本開示の第1の実施形態の変形例3に係る固体撮像装置の遮光構造を模式的に示す拡大断面図である。

[図14]本開示の第1の実施形態の変形例4に係る固体撮像装置の遮光構造を模式的に示す拡大断面図である。

[図15]本開示の第1の実施形態の変形例5に係る固体撮像装置の遮光構造を模式的に示す拡大断面図である。

[図16A]本開示の第1の実施形態の変形例4に係る固体撮像装置の一製造工程を模式的に示す拡大断面図である。

[図16B]本開示の第1の実施形態の変形例4に係る固体撮像装置の一製造工程を模式的に示す拡大断面図である。

[図16C]本開示の第1の実施形態の変形例4に係る固体撮像装置の一製造工程を模式的に示す拡大断面図である。

[図16D]本開示の第1の実施形態の変形例4に係る固体撮像装置の一製造工程を模式的に示す拡大断面図である。

[図16E]本開示の第1の実施形態の変形例4に係る固体撮像装置の一製造工程を模式的に示す拡大断面図である。

[図16F]本開示の第1の実施形態の変形例4に係る固体撮像装置の一製造工程を模式的に示す拡大断面図である。

[図16G]本開示の第1の実施形態の変形例4に係る固体撮像装置の一製造工程を模式的に示す拡大断面図である。

[図17]本開示の第2の実施形態に係る固体撮像装置の遮光構造を模式的に示す断面図である。

[図18]本開示の第2の実施形態に係る固体撮像装置の遮光構造を模式的に示す拡大断面図である。

[図19]本開示の第2の実施形態の変形例6に係る固体撮像装置の遮光構造を模式的に示す拡大断面図である。

[図20]本開示の第2の実施形態の変形例7に係る固体撮像装置の遮光構造を模式的に示す拡大断面図である。

[図21]本開示の各実施形態の電子機器の構成例を示すブロック図である。

発明を実施するための形態

[0011] 以下に、本開示の各実施形態について図面に基づいて詳細に説明する。なお、以下の各実施形態において、同一の部位には同一の符号を付することにより重複する説明を省略する。

[0012] (第1の実施形態)

[固体撮像装置の構成]

図1は、本開示の第1の実施形態に係る固体撮像装置1の概略構成例を示すシステム構成図である。図1に示すように、CMOSイメージセンサである固体撮像装置1は、画素アレイ部10と、システム制御部12と、垂直駆動部13と、カラム読出し回路部14と、カラム信号処理部15と、水平駆動部16と、信号処理部17とを備える。

[0013] これら画素アレイ部10、システム制御部12、垂直駆動部13、カラム読出し回路部14、カラム信号処理部15、水平駆動部16および信号処理部17は、同一の半導体基板上または電氣的に接続された複数の積層半導体基板上に設けられる。

[0014] 画素アレイ部10には、入射光量に応じた電荷量を光電変換して内部に蓄積し、信号として出力することが可能な光電変換素子（フォトダイオード21（図2参照））を有する有効単位画素（以下、「単位画素」とも呼称する）11が行列状に2次元配置されている。

[0015] また、画素アレイ部10は、有効単位画素11の他に、フォトダイオード21を持たない構造のダミー単位画素や、受光面を遮光することで外部からの光入射が遮断された遮光単位画素などが、行および／または列状に配置されている領域を含む場合がある。

- [0016] なお、遮光単位画素は、受光面が遮光された構造である以外は、有効単位画素 1 1 と同様の構成を備えていてもよい。また、以下では、入射光量に応じた電荷量の光電荷を、単に「電荷」とも呼称し、単位画素 1 1 を、単に「画素」とも呼称する場合もある。
- [0017] 画素アレイ部 1 0 には、行列状の画素配列に対して、行ごとに画素駆動線 L D が図面中の左右方向（画素行の画素の配列方向）に沿って形成され、列ごとに垂直画素配線 L V が図面中の上下方向（画素列の画素の配列方向）に沿って形成される。画素駆動線 L D の一端は、垂直駆動部 1 3 の各行に対応した出力端に接続される。
- [0018] カラム読出し回路部 1 4 は、少なくとも、画素アレイ部 1 0 内の選択行における単位画素 1 1 に列ごとに定電流を供給する回路、カレントミラー回路および読出し対象となる単位画素 1 1 の切替えスイッチなどを含む。
- [0019] そして、カラム読出し回路部 1 4 は、画素アレイ部 1 0 内の選択画素におけるトランジスタとともに増幅器を構成し、光電荷信号を電圧信号に変換して垂直画素配線 L V に出力する。
- [0020] 垂直駆動部 1 3 は、シフトレジスタやアドレスデコーダなどを含み、画素アレイ部 1 0 の各単位画素 1 1 を、全画素同時や行単位などで駆動する。この垂直駆動部 1 3 は、その具体的な構成については図示を省略するが、読出し走査系と、掃出し走査系あるいは一括掃出しおよび一括転送系とを有する構成となっている。
- [0021] 読出し走査系は、単位画素 1 1 から画素信号を読み出すために、画素アレイ部 1 0 の単位画素 1 1 を行単位で順に選択走査する。行駆動（ローリングシャッタ動作）の場合、掃出しについては、読出し走査系によって読出し走査が行われる読出し行に対して、その読出し走査よりもシャッタスピードの時間分だけ先行して掃出し走査が行なわれる。
- [0022] また、グローバル露光（グローバルシャッタ動作）の場合は、一括転送よりもシャッタスピードの時間分先行して一括掃出しが行なわれる。このような掃出しにより、読出し行の単位画素 1 1 のフォトダイオード 2 1 から不要

な電荷が掃出し（リセット）される。そして、不要電荷の掃出し（リセット）により、いわゆる電子シャッタ動作が行われる。

[0023] ここで、電子シャッタ動作とは、直前までフォトダイオード 21 に溜まっていた不要な光電荷を捨てて、新たに露光を開始する（光電荷の蓄積を開始する）動作のことをいう。

[0024] 読出し走査系による読出し動作によって読み出される信号は、その直前の読出し動作または電子シャッタ動作以降に入射した光量に対応するものである。行駆動の場合は、直前の読出し動作による読出しタイミングまたは電子シャッタ動作による掃出しタイミングから、今回の読出し動作による読出しタイミングまでの期間が、単位画素 11 における光電荷の蓄積時間（露光時間）となる。グローバル露光の場合は、一括掃出しから一括転送までの時間が蓄積時間（露光時間）となる。

[0025] 垂直駆動部 13 によって選択走査された画素行の各単位画素 11 から出力される画素信号は、垂直画素配線 L V の各々を通してカラム信号処理部 15 に供給される。カラム信号処理部 15 は、画素アレイ部 10 の画素列ごとに、選択行の各単位画素 11 から垂直画素配線 L V を通して出力される画素信号に対して所定の信号処理を行うとともに、信号処理後の画素信号を一時的に保持する。

[0026] 具体的には、カラム信号処理部 15 は、信号処理として少なくとも、ノイズ除去処理、たとえば C D S（Correlated Double Sampling：相関二重サンプリング）処理を行う。このカラム信号処理部 15 による C D S 処理により、リセットノイズや増幅トランジスタ AMP の閾値ばらつきなどの画素固有の固定パターンノイズが除去される。

[0027] なお、カラム信号処理部 15 には、ノイズ除去処理以外に、たとえば、A D 変換機能を持たせて、画素信号をデジタル信号として出力するように構成することもできる。

[0028] 水平駆動部 16 は、シフトレジスタやアドレスデコーダなどを含み、カラム信号処理部 15 の画素列に対応する単位回路を順番に選択する。この水平

駆動部 16 による選択走査により、カラム信号処理部 15 で信号処理された画素信号が順番に信号処理部 17 に出力される。

[0029] システム制御部 12 は、各種のタイミング信号を生成するタイミングジェネレータなどを含み、タイミングジェネレータで生成された各種のタイミング信号を基に、垂直駆動部 13、カラム信号処理部 15、水平駆動部 16 などの駆動制御を行う。

[0030] 固体撮像装置 1 は、さらに、信号処理部 17 と、図示しないデータ格納部とを備える。信号処理部 17 は、少なくとも加算処理機能を有し、カラム信号処理部 15 から出力される画素信号に対して加算処理などの種々の信号処理を行う。

[0031] データ格納部は、信号処理部 17 での信号処理にあたって、その処理に必要なデータを一時的に格納する。これら信号処理部 17 およびデータ格納部については、固体撮像装置 1 とは別の基板に設けられる外部信号処理部、たとえば DSP (Digital Signal Processor) やソフトウェアによる処理であってもよいし、固体撮像装置 1 と同じ基板上に搭載されてもよい。

[0032] [単位画素の構成]

つづいて、画素アレイ部 10 に行列状に配置されている単位画素 11 の具体的な構造について、図 2 を参照しながら説明する。図 2 は、本開示の第 1 の実施形態に係る固体撮像装置 1 の単位画素 11 の構成例を示す回路図である。

[0033] 単位画素 11 は、フォトダイオード (PD) 21 を備える。フォトダイオード 21 は、光電変換部の一例である。フォトダイオード 21 は、たとえば、n 型基板 22 上に形成された p 型ウエル層 23 に対して p 型層 21a を基板表面側に形成し、n 型埋め込み層 21b を埋め込むことによって形成される。

[0034] すなわち、かかるフォトダイオード 21 は、埋め込み型フォトダイオードである。なお、n 型埋め込み層 21b は、電荷排出時に空乏状態となる不純物濃度とされる。

- [0035] 単位画素 11 は、フォトダイオード 21 に加えて、T R Y ゲート 24 と、T X 1 ゲート 25 a と、T X 2 ゲート 25 b と、電荷保持部 (MEM) 26 とを備える。T R Y ゲート 24 は、フォトダイオード 21 と電荷保持部 26 との間に接続される。T X 1 ゲート 25 a および T X 2 ゲート 25 b は、電荷保持部 26 の近傍に配置される。
- [0036] 電荷保持部 26 は、たとえば、n 型基板 22 上に形成された p 型ウエル層 23 に対して p 型層 26 a を基板表面側に形成し、n 型埋め込み層 26 b を埋め込むことによって形成される。
- [0037] なお、第 1 の実施形態では、電荷保持部 26 の n 型埋め込み層 26 b を n 型拡散領域によって形成してもよい。具体的には、p 型ウエル層 23 の内部に n 型拡散領域を形成し、基板表面側に p 型層 26 a を形成すればよい。
- [0038] これにより、Si-SiO₂ 界面で発生する暗電流が電荷保持部 26 の n 型拡散領域に蓄積されることを抑制することができることから、固体撮像装置 1 の画質を向上させることができる。
- [0039] T R Y ゲート 24 は、ゲート電極に駆動信号 T R Y が印加されることによって、フォトダイオード 21 で光電変換され、フォトダイオード 21 の内部に蓄積された電荷を電荷保持部 26 に転送する。また、T R Y ゲート 24 は、電荷保持部 26 からフォトダイオード 21 に電荷が逆流しないためのゲートとしても機能する。
- [0040] T X 1 ゲート 25 a は、電荷保持部 26 から、後述する浮遊拡散領域 (F D : Floating Diffusion) 28 へ電荷を転送する際のゲートとして機能する。また、T X 1 ゲート 25 a は、電荷保持部 26 に電荷を保持させるためのゲートとしても機能する。
- [0041] T X 2 ゲート 25 b は、フォトダイオード 21 から電荷保持部 26 へ電荷を転送する際のゲートとして機能する。また、T X 2 ゲート 25 b は、電荷保持部 26 に電荷を保持させるためのゲートとしても機能する。
- [0042] 電荷保持部 26 では、T X 2 ゲート 25 b のゲート電極および T X 1 ゲート 25 a のゲート電極にそれぞれ駆動信号 T X 2 および駆動信号 T X 1 が印

加されることによって、電荷保持部 26 に変調がかけられる。

[0043] すなわち、TX2 ゲート 25b のゲート電極および TX1 ゲート 25a のゲート電極にそれぞれ駆動信号 TX2 および駆動信号 TX1 が印加されることによって、電荷保持部 26 のポテンシャルを深くすることができる。これにより、電荷保持部 26 の飽和電荷量を、変調をかけない場合よりも増加させることができる。

[0044] また、単位画素 11 は、さらに、TRG ゲート 27 および浮遊拡散領域 28 を備える。TRG ゲート 27 は、ゲート電極に駆動信号 TRG が印加されることによって、電荷保持部 26 に蓄積された電荷を浮遊拡散領域 28 に転送する。

[0045] 浮遊拡散領域 28 は、n 型層を含む電荷電圧変換部であり、TRG ゲート 27 によって電荷保持部 26 から転送された電荷を電圧に変換する。

[0046] 単位画素 11 は、さらにリセットトランジスタ (RST) 29 と、増幅トランジスタ (AMP) 30 と、選択トランジスタ (SEL) 31 とを備える。なお、図 2 の例では、リセットトランジスタ 29 と、増幅トランジスタ 30 と、選択トランジスタ 31 とに、n チャネルの MOS トランジスタが用いられた例を示している。

[0047] しかしながら、リセットトランジスタ 29、増幅トランジスタ 30 および選択トランジスタ 31 の構成は、図 2 に示した例に限られない。

[0048] リセットトランジスタ 29 は、電源 V_{rst} と浮遊拡散領域 28 との間に接続される。リセットトランジスタ 29 は、ゲート電極に駆動信号 RST が印加されることによって、浮遊拡散領域 28 をリセットする。

[0049] 増幅トランジスタ 30 は、ドレイン電極が電源 V_{dd} に接続され、ゲート電極が浮遊拡散領域 28 に接続されており、かかる浮遊拡散領域 28 の電圧を読み出す。

[0050] 選択トランジスタ 31 は、ドレイン電極が増幅トランジスタ 30 のソース電極に接続され、ソース電極が垂直信号線 (VSL) 32 に接続される。選択トランジスタ 31 は、ゲート電極に駆動信号 SEL が印加されることによ

って、画素信号を読み出すべき単位画素 11 を選択する。

[0051] なお、図 2 の例では、選択トランジスタ 31 を増幅トランジスタ 30 のソース電極と垂直信号線 32 との間に接続した例について示したが、選択トランジスタ 31 を電源 V_{dd} と増幅トランジスタ 30 のドレイン電極との間に接続してもよい。

[0052] なお、第 1 の実施形態では、リセットトランジスタ 29、増幅トランジスタ 30 および選択トランジスタ 31 については、その 1 つあるいは複数を画素信号の読み出し方法によって省略することもできる。

[0053] また、第 1 の実施形態において、単位画素 11 にはブルーミング防止用のオーバーフローゲート (OFG) 33 が設けられる。かかるオーバーフローゲート 33 は、露光開始時にゲート電極に駆動信号 OFG が印加されることによって、電源 V_{dd} に接続された n 型層 34 へフォトダイオード 21 の電荷を排出する。

[0054] ここまで説明した単位画素 11 を有する固体撮像装置 1 は、全画素同時に露光を開始し、全画素同時に露光を終了することによって、グローバルシャッタ動作 (グローバル露光) を実現することができる。そして、このグローバルシャッタ動作によって、全画素一致した露光期間による歪みのない撮像を実現することができる。

[0055] なお、図 2 の例では、 p 型の p 型ウエル層 23 に n 型の埋め込みチャネルを形成して単位画素 11 を構成した例について示したが、それぞれ逆の導電型を用いてもよい。この場合、後述するポテンシャルの関係はすべて逆になる。

[0056] [単位画素の遮光構造]

つづいて、第 1 の実施形態における固体撮像装置 1 の遮光構造について、図 3 を参照しながら説明する。図 3 は、本開示の第 1 の実施形態に係る固体撮像装置 1 の遮光構造を模式的に示す断面図である。

[0057] 第 1 の実施形態に係る固体撮像装置 1 では、図 3 の上から順に、半導体層 51 と、 SiO 層 52 と、 $LP-SiN$ 層 53 と、 $P-SiN$ 層 54 と、 S

i O 層 5 5 と、遮光層 5 6 と、配線層 5 7 とが積層される。なお、L P - S i N 層 5 3 は絶縁層の一例であり、P - S i N 層 5 4 は別の絶縁層の一例である。

[0058] また、S i O 層 5 2 と、L P - S i N 層 5 3 と、P - S i N 層 5 4 と、S i O 層 5 5 とを含んだ絶縁多層膜の内部には、所定の位置にゲート電極 5 8 が設けられる。

[0059] そして、第 1 の実施形態に係る固体撮像装置 1 は、配線層 5 7 が積層されている半導体層 5 1 のおもて面とは反対側の裏面側から、フォトダイオード 2 1 に光を照射する裏面照射型の撮像素子である。

[0060] 外部からの光が照射される半導体層 5 1 の裏面側には、たとえば、平坦化膜 6 1 と、カラーフィルタ 6 2 と、マイクロレンズ 6 3 とが積層される。また、図示は省略するが、配線層 5 7 の下には、たとえば、支持基板が積層される。

[0061] なお、以下においては、半導体層 5 1 の裏面を入射面とも呼称し、半導体層 5 1 のおもて面であって、配線層 5 7 との境界に配置されている面を境界面とも呼称する。また、以下、フォトダイオード 2 1 の半導体層 5 1 の入射面側の面を受光面と呼称し、受光面と反対側の面を底面と称する。また、以下、電荷保持部 2 6 の半導体層 5 1 の入射面側の面を上面とも呼称し、上面と反対側の面を底面とも呼称する。

[0062] 半導体層 5 1 は、たとえば、シリコンを含む。半導体層 5 1 は、複数のフォトダイオード 2 1 と、複数の電荷保持部 2 6 とを有する。なお、1 つの単位画素 1 1 (図 1 参照) には、一対のフォトダイオード 2 1 および電荷保持部 2 6 が設けられる。

[0063] S i O 層 5 2 は、たとえば、シリコン酸化膜で構成される。かかる S i O 層 5 2 は、半導体層 5 1 とゲート電極 5 8 との間のゲート絶縁膜の機能を有する。かかるゲート電極 5 8 は、たとえば、図 2 に示した T R Y ゲート 2 4 のゲート電極に相当する。

[0064] L P (Low Pressure) - S i N 層 5 3 は、たとえば、減圧 C V D (Chemic

al Vapor Deposition：化学気相成長）法により成膜されたシリコン窒化膜で構成される。かかるLP-SiN層53は、周囲のSiO層52、P-SiN層54およびSiO層55に比べて膜密度が高い。

[0065] P（Plasma）-SiN層54は、たとえば、プラズマCVD法により成膜されたシリコン窒化膜で構成される。SiO層55は、たとえば、シリコン酸化膜で構成される。

[0066] ここまで説明したSiO層52と、LP-SiN層53と、P-SiN層54と、SiO層55とを含んだ絶縁多層膜は、第1の実施形態に係る固体撮像装置1において、TRYゲート24などのデバイス構造を形成する際に用いられる。

[0067] SiO層52は、たとえば、10nm以上の厚みに設定するとよい。これは、たとえば、遮光壁60b（後述）を形成するための半導体層51を貫通する溝の深さの加工調整をするために必要な厚みである。一方で、SiO層52は、ゲート電極58と半導体層51との間の絶縁膜を兼ねているため、あまり厚くしすぎるのは望ましくない。したがって、SiO層52の厚みは、たとえば、10nm～20nmの範囲に設定するとよい。

[0068] LP-SiN層53およびP-SiN層54で構成される積層膜は、たとえば、50nm以上の厚みに設定するとよい。これは、たとえば、配線層57に形成されるコンタクトの加工調整、および遮光壁60bを形成するための半導体層51を貫通する溝部51a（後述）の加工制御のために必要な厚みである。

[0069] かかる厚みは、たとえば、コンタクトを形成するための溝が半導体層51にまで達したり、コンタクトの加工によるダメージにより半導体層51が損傷したりするのを防いだりするために必要な厚みである。また、かかる厚みは、遮光壁60bを形成するための半導体層51を貫通する溝部51aを積層膜で止めるために必要な厚みである。

[0070] ただし、LP-SiN層53およびP-SiN層54で構成される積層膜は、固体撮像装置1の薄型化などの観点から、あまり厚くしすぎるのは望ま

しくない。したがって、LP-SiN層53およびP-SiN層54とで構成される積層膜の厚みは、たとえば、50nm～100nmの範囲に設定するとよい。

[0071] SiO層55は、たとえば、25nm以上の厚みに設定するとよい。これは、たとえば、遮光層56の加工時に、SiO層55が損傷し、LP-SiN層53とP-SiN層54との積層膜が露出しないようにするために必要な厚みである。

[0072] ただし、SiO層55は、固体撮像装置1の薄型化などの観点から、あまり厚くしすぎるのは望ましくない。したがって、SiO層55の厚みは、たとえば、30nm～100nmの範囲に設定するとよい。

[0073] 遮光層56は、たとえば、遮光性を有する金属膜で構成される。遮光層56の材料は、光を遮光する材料であればよく、たとえば、タングステン(W)、アルミニウム(Al)または銅(Cu)などを用いることができる。

[0074] 遮光層56は、フォトダイオード21で吸収されずに半導体層51を透過した光が、配線層57に入射することを防止する。これにより、半導体層51を透過した光が、配線層57に入射し、配線層57の配線膜57aで反射されて、隣接する電荷保持部26などに漏れ込むことを抑制することができる。

[0075] なお、図3の例では、フォトダイオード21および電荷保持部26の底面側を覆うように遮光層56を配置した例について示したが、遮光層56の配置はかかる例に限られない。たとえば、第1の実施形態では、電荷保持部26の底面側のみを覆うように遮光層56を配置してもよい。

[0076] 配線層57は、複数の配線膜57aと、層間絶縁膜57bとを有する。配線膜57aは、アルミニウムや銅などで構成され、層間絶縁膜57bは、シリコン酸化膜などで構成される。

[0077] また、配線膜57aとゲート電極58との間の領域では、遮光層56に図示しない開口部が形成され、さらにかかる開口部を挿通する図示しない貫通ビアが形成される。これにより、配線膜57aとゲート電極58とが電氣的

に接続される。

[0078] 半導体層 5 1 内で隣接するフォトダイオード 2 1 と電荷保持部 2 6 との間には、溝部 5 1 a と、溝部 5 1 b とが形成される。溝部 5 1 a は、半導体層 5 1 の入射面から半導体層 5 1 を深さ方向に貫通するように形成される。溝部 5 1 b は、半導体層 5 1 を貫通せず、半導体層 5 1 の入射面から深さ方向に半導体層 5 1 の途中まで延びるように形成される。

[0079] そして、溝部 5 1 a、5 1 b と、半導体層 5 1 の入射面とには、多層膜 5 9 および遮光部 6 0 が設けられる。多層膜 5 9 は、半導体層 5 1 の入射面および溝部 5 1 a、5 1 b の内壁に形成される。多層膜 5 9 は、たとえば、固定電荷膜と、反射防止膜と、絶縁膜とを含む。

[0080] 多層膜 5 9 の表面に形成される遮光部 6 0 は、たとえば、遮光性を有する金属膜で構成される。遮光部 6 0 の材料は、光を遮光する材料であればよく、たとえば、タングステン、アルミニウムまたは銅などを用いることができる。

[0081] かかる遮光部 6 0 は、半導体層 5 1 の入射面から入射した光が直接または間接的に電荷保持部 2 6 に漏れ込むことを抑制する。遮光部 6 0 は、表面遮光部 6 0 a と、遮光壁 6 0 b と、非貫通遮光壁 6 0 c とを有する。

[0082] 表面遮光部 6 0 a は、半導体層 5 1 の入射面のうち、フォトダイオード 2 1 の受光面の上方を除く領域を覆っている。すなわち、表面遮光部 6 0 a は、半導体層 5 1 の受光面のうち、フォトダイオード 2 1 に光が入射する領域を除く領域を覆っている。

[0083] 遮光壁 6 0 b は、半導体層 5 1 の入射面から半導体層 5 1 を貫通し、半導体層 5 1 の底面に達している。非貫通遮光壁 6 0 c は、半導体層 5 1 を貫通せず、半導体層 5 1 の入射面から半導体層 5 1 の途中まで延びる。

[0084] 遮光壁 6 0 b は、たとえば、異なる単位画素 1 1 内に設けられ、たがいに隣接するフォトダイオード 2 1 と電荷保持部 2 6 との間に配置される。非貫通遮光壁 6 0 c は、たとえば、同じ単位画素 1 1 内のフォトダイオード 2 1 と電荷保持部 2 6 との間に配置される。

- [0085] ここで、第1の実施形態では、図3に示すように、半導体層51を貫通する溝部51aを囲むように、LP-SiN層53に開口部53aが設けられる。換言すると、LP-SiN層53において溝部51aが形成される領域に、開口部53aが設けられる。
- [0086] つづいては、かかる開口部53aの効果について、図4A～図5Cを参照しながら説明する。図4A～図4Cは、参考例における固体撮像装置1の一製造工程を模式的に示す拡大断面図であり、溝部51aと遮光層56とが近接する領域を拡大して示した図である。また、図4A～図4Cに示す参考例は、LP-SiN層53に開口部53aが設けられていない場合について示している。
- [0087] なお、詳細は省略するが、図4Aに示す状態になる前に、半導体層51を形成するために用いられる半導体基板151（図9A参照）に対して、フォトダイオード21と電荷保持部26とが形成される。
- [0088] また、半導体基板151の表面には、SiO層52と、LP-SiN層53と、P-SiN層54と、SiO層55と、遮光層56と、配線層57（図3参照）とが積層され、支持基板（図示せず）が貼り合わされる。そして、半導体基板151の裏面が研削されることで半導体層51が形成されて、図4Aに示す状態となる。
- [0089] そして、図4Bに示すように、隣接するフォトダイオード21と電荷保持部26との間に遮光壁60bを形成するために、フォトダイオード21と電荷保持部26との間に溝部51aが形成される。かかる溝部51aは、たとえば、半導体層51の裏面に所望の開口を有するハードマスク（図示せず）を形成し、かかるハードマスクを介して半導体層51を深さ方向に選択的にエッチングすることにより形成される。
- [0090] また、溝部51aを形成するエッチング処理は、SiO層52、LP-SiN層53、P-SiN層54およびSiO層55が含まれる絶縁多層膜をストッパーとして用いる。
- [0091] しかしながら、LP-SiN層53の膜密度がSiO層52、P-SiN

層54およびSiO層55に比べて高いことから、LP-SiN層53が十分にエッチングされない場合がある。したがって、参考例では、図4Bに示すように、LP-SiN層53が溝部51a内に突出するように残ってしまう。

[0092] そして、図4Bに示す状態で、溝部51a内に多層膜59および遮光壁60bを形成すると、図4Cに示すように、遮光壁60bの先端部が矩形状にならず、先細ったくさび形状となってしまう。

[0093] なぜなら、多層膜59はALD (Atomic Layer Deposition: 原子層堆積) 法などの被覆性が高い手法で形成されることから、溝部51aの内壁のみならず突出するLP-SiN層53の表面にも形成されてしまうからである。

[0094] そして、図4Cに示すように、参考例では、フォトダイオード21内から溝部51aと遮光層56とが近接する領域に到達する光Lを遮光壁60bで遮れない場合が生じる。そして、参考例では、かかる遮れなかった光Lが遮光層56で反射されることにより、隣接する電荷保持部26に光Lが漏れ込んでしまうことになる。

[0095] ここまで説明したように、参考例では、LP-SiN層53が溝部51aに突出するように残ることから、遮光壁60bの先端部が先細ったくさび形状となることにより、隣接する単位画素11からの光の漏れ込みを低減させることが困難となる。

[0096] そこで、第1の実施形態では、LP-SiN層53に開口部53aを設けることにより、上述の課題を解決することとした。図5A～図5Cは、本開示の第1の実施形態に係る固体撮像装置1の一製造工程を模式的に示す拡大断面図である。

[0097] 参考例と同様に、図5Aに示す状態になる前に、半導体層51を形成するために用いられる半導体基板151 (図9A参照) に対して、フォトダイオード21と電荷保持部26とが形成される。

[0098] また、半導体基板151の表面には、SiO層52と、LP-SiN層5

3と、P-SiN層54と、SiO層55と、遮光層56と、配線層57（図3参照）とが積層され、支持基板（図示せず）が貼り合わされる。詳細は後述するが、かかる積層工程の際に、LP-SiN層53には開口部53aが設けられ、かかる開口部53aがP-SiN層54で埋められる。

[0099] そして、半導体基板151の裏面が研削されることで半導体層51が形成されて、図5Aに示す状態となる。

[0100] そして、図5Bに示すように、隣接するフォトダイオード21と電荷保持部26との間に遮光壁60bを形成するために、フォトダイオード21と電荷保持部26との間に溝部51aが形成される。かかる溝部51aは、たとえば、半導体層51の裏面に所望の開口を有するハードマスク（図示せず）を形成し、かかるハードマスクを介して半導体層51を深さ方向に選択的にエッチングすることにより形成される。

[0101] また、溝部51aを形成するエッチング処理は、SiO層52、LP-SiN層53、P-SiN層54およびSiO層55が含まれる絶縁多層膜をストッパーとして用いる。

[0102] ここで、第1の実施形態では、溝部51aが形成される領域にあらかじめ開口部53aが設けられる。これにより、図5Bに示すように、溝部51aが形成される領域にはLP-SiN層53がそもそも設けられていないことから、LP-SiN層53がエッチングされずに溝部51a内に残ることを抑制することができる。

[0103] 次に、図5Cに示すように、溝部51aの内壁にALD法などを用いて多層膜59を形成し、その後に溝部51aの内部を金属膜で埋め込んで遮光壁60bを形成する。ここで、第1の実施形態では、溝部51aの内壁が多層膜59で略均等に覆われていることから、遮光壁60bの先端形状は溝部51aの形状と同様の矩形状となる。

[0104] これにより、図5Cに示すように、フォトダイオード21内から溝部51aと遮光層56とが近接する領域に到達する光Lを遮光壁60bで遮ることができる。したがって、第1の実施形態によれば、隣接する単位画素11か

らの光の漏れ込みを低減させることができる。

[0105] また、第1の実施形態では、光入射側から見た場合に、開口部53aの大きさが、溝部51aにおいて開口部53aに囲まれる部位より大きいとよい。これにより、溝部51aを形成する際に、LP-SiN層53が溝部51aに突出するように残ることをさらに抑制することができる。

[0106] したがって、第1の実施形態によれば、隣接する単位画素11からの光の漏れ込みをさらに低減させることができる。

[0107] また、第1の実施形態では、絶縁層の一例であるLP-SiN層53が、減圧CVD法により成膜されたシリコン窒化膜で構成されるとよい。これにより、信頼性の高いトランジスタを固体撮像装置1内に形成することができる。

[0108] なお、第1の実施形態では、LP-SiN層53が減圧CVD法により成膜されたシリコン窒化膜で構成された例について示したが、LP-SiN層53の材料はかかる例に限られない。第1の実施形態において、LP-SiN層53の材料は、周囲のSiO層52、P-SiN層54およびSiO層55に比べて膜密度が高い材料であれば、減圧CVD法により成膜されたシリコン窒化膜とは異なる材料であってもよい。

[0109] なお、第1の実施形態では、TRYゲート24などのデバイス構造を形成する際に用いられ、溝部51aを形成する際のストッパーとして用いられる絶縁多層膜が、4層構造である場合について示した。しかしながら、かかる絶縁多層膜は、SiO層52、LP-SiN層53、P-SiN層54およびSiO層55の4層構造に限られず、LP-SiN層53を含んだ多層構造であればよい。

[0110] [単位画素の平面構造]

つづいて、第1の実施形態における固体撮像装置1の平面構造について、図6～図8を参照しながら説明する。図6～図8は、本開示の第1の実施形態に係る固体撮像装置1の平面構造を模式的に示す図である。

[0111] なお、図6は図3に示した深さD1付近の断面を示し、図7は図3に示し

た深さD 2 付近の断面を示し、図 8 は図 3 に示した深さD 3 付近の断面を示す。また、図 6 では、遮光壁 6 0 b と非貫通遮光壁 6 0 c とを識別しやすくするために、それぞれ異なるハッチングを付している。また、単位画素 1 1 (図 1 参照) 内の各部の位置関係を説明する場合、図 6 ～図 8 における上下左右の方向を用いて説明する。

[0112] また、図 6 ～図 8 では、1 つの単位画素 1 1 が中心に図示されるとともに、その周辺の単位画素 1 1 の一部が図示されている。そして、上下に隣接する単位画素 1 1 内の各部の配置は中心に図示される単位画素 1 1 の配置と同様であり、左右に隣接する単位画素 1 1 内の各部の配置は、中心に図示される単位画素 1 1 の配置とたがい左右対称になっている。

[0113] 図 6 に示すように、フォトダイオード 2 1 の上には、T R Y ゲート 2 4 と、T X 2 ゲート 2 5 b と、T X 1 ゲート 2 5 a と、T R G ゲート 2 7 とが左から右に並ぶように配置される。

[0114] T R Y ゲート 2 4 のほぼ中央には、コンタクト 7 0 a とコンタクト 7 0 b とが左右に並ぶように配置され、T X 2 ゲート 2 5 b のほぼ中央には、コンタクト 7 0 c とコンタクト 7 0 d とが左右に並ぶように配置される。また、T X 1 ゲート 2 5 a のほぼ中央には、コンタクト 7 0 e とコンタクト 7 0 f とが左右に並ぶように配置される。そして、コンタクト 7 0 a ～7 0 f は、左右に一列に並んで配置される。

[0115] T R G ゲート 2 7 の右端には、コンタクト 7 0 g とコンタクト 7 0 h とが上下に並ぶように配置される。そして、T R Y ゲート 2 4 と、T X 2 ゲート 2 5 b と、T X 1 ゲート 2 5 a とにほぼ重なるように、電荷保持部 2 6 が配置される。

[0116] フォトダイオード 2 1 の右には、リセットトランジスタ 2 9 (図 2 参照) のゲート部 2 9 a と、増幅トランジスタ 3 0 (図 2 参照) のゲート部 3 0 a と、選択トランジスタ 3 1 (図 2 参照) のゲート部 3 1 a とが上下に並ぶように配置される。

[0117] ゲート部 2 9 a の上には、コンタクト 7 0 i が配置され、ゲート部 2 9 a

の下端には、コンタクト70jが配置される。ゲート部29aとゲート部30aとの間には、コンタクト70kが配置される。ゲート部30aの略中央には、コンタクト70lとコンタクト70mとが上下に並ぶように配置される。コンタクト70i～70mは、上下に一系列に並んで配置される。

[0118] ゲート部30aとゲート部31aとの間には、コンタクト70nとコンタクト70oとが左右に並ぶように配置され、ゲート部31aのほぼ中央には、コンタクト70pとコンタクト70qとが左右に並ぶように配置される。ゲート部31aの下には、コンタクト70rとコンタクト70sとが左右に並ぶように配置される。

[0119] コンタクト70nと、コンタクト70pと、コンタクト70rとは、上下に一系列に並んで配置される。また、コンタクト70oと、コンタクト70qと、コンタクト70sとは、上下に一系列に並んで配置される。

[0120] フォトダイオード21の左には、オーバーフローゲート33が配置される。オーバーフローゲート33内の上方には、コンタクト70tとコンタクト70uとが上下に並ぶように配置される。オーバーフローゲート33の下端の窪んだ部分には、コンタクト70vが配置され、オーバーフローゲート33の下には、コンタクト70wが配置される。コンタクト70t～70wは、上下に一系列に並んで配置される。

[0121] フォトダイオード21の周囲（側面）は、遮光部60の遮光壁60bおよび非貫通遮光壁60cで囲まれている。遮光壁60bおよび非貫通遮光壁60cは、半導体層51の入射面に平行な方向において途切れることなく繋がっており、フォトダイオード21の周囲（側面）を途切れることなく囲んでいる。また、非貫通遮光壁60cは、左右に隣接する単位画素11とも途切れることなく繋がっている。

[0122] フォトダイオード21の周囲を囲む遮光部60のうち、遮光壁60bは、フォトダイオード21と、かかるフォトダイオード21と同じ単位画素11内のTX1ゲート25aおよびTX2ゲート25bとの間に配置される。また、遮光壁60bは、フォトダイオード21と、上下に隣接する単位画素1

1の電荷保持部26との間に配置される。

[0123] フォトダイオード21の周囲を囲む遮光部60のうち、上記以外の部分には、非貫通遮光壁60cが配置される。具体的には、フォトダイオード21と、左右に隣接する単位画素11との間に非貫通遮光壁60cが配置される。これは、各トランジスタのゲート部やコンタクトを形成するためである。

[0124] また、フォトダイオード21と、同じ単位画素11内のTRYゲート24との間に、非貫通遮光壁60cが配置される。これは、フォトダイオード21から電荷保持部26へ電荷が流れる経路を確保するためである。

[0125] また、左右方向に延びる非貫通遮光壁60cと上下方向に延びる非貫通遮光壁60cの接続部（非貫通遮光壁60cが交わる部分）に、非貫通遮光壁60cが配置される。これは、この部分に遮光壁60bを形成すると、マイクロローディング現象によりエッチングが加速し、遮光壁60bが配線層57まで達する恐れがあるためである。

[0126] ここまで説明したように、フォトダイオード21の側面は、非貫通遮光壁60cおよび遮光壁60bによって囲まれている。これにより、半導体層51の入射面に入射した光がフォトダイオード21内を通過して、隣接するフォトダイオード21や電荷保持部26などに漏れ込むことを抑制することができる。

[0127] したがって、第1の実施形態によれば、隣接するフォトダイオード21や電荷保持部26に光が漏れ込むことによる光学的ノイズの発生を抑制することができる。

[0128] また、第1の実施形態では、遮光壁60bを半導体層51から貫通させて遮光領域を大きくすることにより、電荷保持部26への光の入射をさらに抑制することができる。

[0129] また、第1の実施形態では、遮光壁60bに負バイアスを印加することにより、ピニングが強化されるため、暗電流の発生を抑制することができる。これにより、半導体層51のp型ウエル層23を低濃度化することができることから、半導体層51の表面電荷密度 Q_s および電荷保持部26の容量を

大きくすることができる。したがって、第１の実施形態によれば、画素特性を向上させることができる。

[0130] 図７の斜線で示される部分は、表面遮光部６０ａが配置されている領域を示している。図７に示すように、表面遮光部６０ａは、半導体層５１の入射面のうち、フォトダイオード２１の受光面を除く領域を覆っている。

[0131] すなわち、半導体層５１の入射面のうち、フォトダイオード２１への光が入射する領域を除く領域が表面遮光部６０ａにより覆われている。これにより、第１の実施形態では、半導体層５１の入射面に入射した光がフォトダイオード２１における受光面以外の領域に入射されることを抑制することができる。

[0132] 図８の斜線で示される部分は、遮光層５６が配置されている領域を示している。図８に示すように、遮光層５６は、半導体層５１の境界面におけるアクティブ領域と、コンタクト７０ａ～７０ｗが配置されている領域とを除く領域に配置される。

[0133] すなわち、フォトダイオード２１の底面は、すべて遮光層５６により覆われている。また、電荷保持部２６の底面は、半導体層５１の境界面のアクティブ領域と、コンタクト７０ａ～７０ｆが配置されている領域を除いて、ほぼ遮光層５６により覆われている。

[0134] このように、半導体層５１の底面に遮光層５６を設けることにより、半導体層５１の入射面に入射した光がフォトダイオード２１内を通過して配線膜５７ａで反射し、隣接するフォトダイオード２１や電荷保持部２６などに漏れ込むことを抑制することができる。

[0135] したがって、第１の実施形態によれば、隣接するフォトダイオード２１や電荷保持部２６に光が漏れ込むことによる光学的ノイズの発生を抑制することができる。

[0136] [製造工程]

つづいて、第１の実施形態における固体撮像装置１の製造工程について、図９Ａ～図１０などを参照しながら説明する。図９Ａ～図９Ｄは、本開示の

第 1 の実施形態に係る固体撮像装置 1 の一製造工程を模式的に示す拡大断面図である。

[0137] 図 9 A に示すように、半導体層 5 1 (図 3 参照) を形成するために用いられる半導体基板 1 5 1 の表面に、所定の厚さの S i O 層 5 2 を公知の手法により成膜する。つづいて、かかる S i O 層 5 2 上に、所定の厚さの L P - S i N 層 5 3 を低圧 C V D 法などにより成膜する。

[0138] つづいて、図 9 B に示すように、L P - S i N 層 5 3 において、後に溝部 5 1 a が形成される領域に開口部 5 3 a を形成する。かかる開口部 5 3 a は、たとえば、L P - S i N 層 5 3 の表面に所望の開口を有するハードマスク (図示せず) を形成し、かかるハードマスクを介して L P - S i N 層 5 3 を深さ方向に選択的にドライエッチングすることにより形成される。

[0139] つづいて、図 9 C に示すように、開口部 5 3 a を埋めるように、L P - S i N 層 5 3 上に所定の厚さの P - S i N 層 5 4 をプラズマ C V D 法などにより成膜する。

[0140] つづいて、図 9 D に示すように、P - S i N 層 5 4 上に所定の厚さの S i O 層 5 5 を公知の手法により成膜し、かかる S i O 層 5 5 上に所定の厚さの遮光層 5 6 を公知の手法により成膜する。

[0141] なお、ここまで説明した製造工程の際には、イオン注入やパターニングなどにより、半導体基板 1 5 1 にフォトダイオード 2 1 や電荷保持部 2 6、各種トランジスタなどを形成する工程が別途実施されるが、かかる工程については説明を省略する。

[0142] つづいて、図示は省略するが、公知の手法により遮光層 5 6 上に配線層 5 7 (図 3 参照) が形成され、かかる配線層 5 7 上に支持基板が貼り合わされる。そして、公知の手法により半導体基板 1 5 1 の裏面が研削されて、所定の厚さを有する半導体層 5 1 が形成される。これにより、図 5 A に図示した状態となる。

[0143] 次に、図 5 B に示したように、フォトダイオード 2 1 と電荷保持部 2 6 との間に溝部 5 1 a が形成される。かかる溝部 5 1 a は、たとえば、半導体層

51の裏面に所望の開口を有するハードマスク（図示せず）を形成し、かかるハードマスクを介して半導体層51を深さ方向に選択的にエッチングすることにより形成される。

[0144] ここで、第1の実施形態では、溝部51aを形成するエッチング処理を、SiO層52、LP-SiN層53、P-SiN層54およびSiO層55が含まれる絶縁多層膜をストッパーとして用いて実施するとよい。

[0145] もし仮に、溝部51aを形成するエッチング処理が金属膜で構成される遮光層56に達してしまった場合、露出した遮光層56からタングステンなどの金属が外部に放出されることにより、形成中のデバイスがかかる金属で汚染されてしまう場合がある。そして、かかる汚染により、デバイスの暗時特性などが劣化する恐れがある。

[0146] しかしながら、第1の実施形態では、上述の絶縁多層膜をストッパーとして用いることにより、溝部51aを形成するエッチング処理が遮光層56に達することを抑制することができる。したがって、第1の実施形態によれば、遮光層56に起因する金属汚染を抑制することができることから、デバイスの暗時特性などを良好に維持することができる。

[0147] 次に、図5Cに示すように、溝部51aの内壁にALD法などを用いて多層膜59を形成し、溝部51aの内部を公知の手法により金属膜で埋め込んで遮光壁60bを形成する。

[0148] そして、半導体層51の入射面のうち、フォトダイオード21の受光面を覆う金属膜をエッチングして開口部を形成し、平坦化膜61やカラーフィルタ62、マイクロレンズ63などを形成する。これにより、実施形態に係る固体撮像装置1の単位画素11が完成する。

[0149] 図10は、本開示の第1の実施形態に係る固体撮像装置1の製造工程の手順を示すフローチャートである。図10に示すように、まず、半導体基板151の表面にSiO層52を形成する（ステップS101）。次に、SiO層52上にLP-SiN層53を形成する（ステップS102）。

[0150] 次に、LP-SiN層53の所定の領域に開口部53aを形成する（ステ

ップS103)。そして、かかる開口部53aを埋めるように、LP-SiN層53上にP-SiN層54を形成する(ステップS104)。

[0151] 次に、P-SiN層54上にSiO層55を形成し(ステップS105)、SiO層55上に遮光層56を形成する(ステップS106)。そして、遮光層56上に配線層57を形成し(ステップS107)、配線層57に支持基板を貼り合わせる(ステップS108)。

[0152] 次に、半導体基板151の裏面を研削し(ステップS109)、半導体層51を形成する。そして、研削された面から開口部53aに向かって深さ方向に溝部51aを形成する(ステップS110)。

[0153] 次に、溝部51aの内壁に多層膜59を形成する(ステップS111)。そして、溝部51aの内部を金属膜で埋め込むことにより、溝部51aに遮光壁60bを形成して(ステップS112)、処理を完了する。

[0154] [各種変形例]

つづいて、第1の実施形態の各種変形例について、図11～図15を参照しながら説明する。図11は、本開示の第1の実施形態の変形例1に係る固体撮像装置1の遮光構造を模式的に示す拡大断面図であり、第1の実施形態の図5Cに対応する図面である。

[0155] 図11に示すように、変形例1では、半導体層51を貫通する溝部51aを囲むように、遮光層56に開口部56aが設けられる。換言すると、遮光層56において溝部51aが形成される領域に、開口部56aが設けられる。

[0156] さらに、変形例1では、かかる開口部56aに達するように遮光壁60bが設けられる。たとえば、図11に示すように、開口部56aを貫通するように遮光壁60bが設けられる。

[0157] このように、開口部56aを貫通するように遮光壁60bが設けられることにより、図11に示すように、フォトダイオード21内から溝部51aと遮光層56とが近接する領域に到達する光Lを遮光壁60bで遮ることができる。これにより、隣接する単位画素11からの光の漏れ込みを低減させる

ことができる。

[0158] さらに、変形例 1 では、溝部 5 1 a が形成される領域にあらかじめ開口部 5 6 a を設けておくことにより、溝部 5 1 a を形成するエッチング処理の際に、遮光層 5 6 が外部に露出することを抑制することができる。したがって、変形例 1 によれば、遮光層 5 6 に起因する金属汚染を抑制することができることから、デバイスの暗時特性などを良好に維持することができる。

[0159] また、変形例 1 では、光入射側から見た場合に、開口部 5 6 a の大きさが、溝部 5 1 a において開口部 5 6 a に囲まれる部位より大きいとよい。これにより、溝部 5 1 a を形成するエッチング処理の際に、遮光層 5 6 が外部に露出することをさらに抑制することができる。

[0160] したがって、変形例 1 によれば、遮光層 5 6 に起因する金属汚染をさらに抑制することができることから、デバイスの暗時特性などをさらに良好に維持することができる。

[0161] なお、変形例 1 では、開口部 5 6 a を貫通するように遮光壁 6 0 b が設けられた例について示したが、遮光壁 6 0 b の配置はかかる例に限られない。図 1 2 は、本開示の第 1 の実施形態の変形例 2 に係る固体撮像装置 1 の遮光構造を模式的に示す拡大断面図である。

[0162] 図 1 2 に示すように、遮光壁 6 0 b の先端部が開口部 5 6 a 内に位置するように、遮光壁 6 0 b を設けてもよい。すなわち、遮光壁 6 0 b の先端部が、遮光層 5 6 の上面（S i O 層 5 5 側の面）5 6 b と、遮光層 5 6 の下面（配線層 5 7 側の面）5 6 c との間に配置されていてもよい。

[0163] このように、開口部 5 6 a の内部に先端部が配置されるように遮光壁 6 0 b が設けられることにより、フォトダイオード 2 1 内から溝部 5 1 a と遮光層 5 6 とが近接する領域に到達する光を遮光壁 6 0 b で遮ることができる。

[0164] 図 1 3 は、本開示の第 1 の実施形態の変形例 3 に係る固体撮像装置 1 の遮光構造を模式的に示す拡大断面図である。図 1 3 に示すように、遮光壁 6 0 b の先端部が開口部 5 6 a に達するように、遮光壁 6 0 b を設けてもよい。すなわち、遮光壁 6 0 b の先端部が、遮光層 5 6 の上面 5 6 b と略面一にな

るように配置されていてもよい。

[0165] このように、開口部 5 6 a に先端部が達するように遮光壁 6 0 b が設けられることにより、フォトダイオード 2 1 内から溝部 5 1 a と遮光層 5 6 とが近接する領域に到達する光を遮光壁 6 0 b で遮ることができる。

[0166] 図 1 4 は、本開示の第 1 の実施形態の変形例 4 に係る固体撮像装置 1 の遮光構造を模式的に示す拡大断面図である。図 1 4 に示すように、開口部 5 6 a に隣接し、遮光層 5 6 と配線層 5 7 の配線膜 5 7 a との間を遮るように配置される壁部 6 4 を配線層 5 7 内に設けてもよい。

[0167] かかる壁部 6 4 は、遮光性を有する金属膜で構成される。壁部 6 4 の材料は、光を遮光する材料であればよく、たとえば、タングステン (W)、アルミニウム (Al) または銅 (Cu) などを用いることができる。

[0168] これにより、図 1 4 に示すように、遮光壁 6 0 b の先端部で反射された光 L が遮光層 5 6 と配線膜 5 7 a との間に入り込むことを抑制することができる。したがって、変形例 4 によれば、遮光層 5 6 と配線膜 5 7 a との間に入り込んだ光 L が他の単位画素 1 1 に漏れ込んで、光学的ノイズが発生することを抑制することができる。

[0169] なお、変形例 4 では、遮光層 5 6 と配線膜 5 7 a との両方に接するように壁部 6 4 を設けた例について示したが、壁部 6 4 の配置はかかる例に限られない。図 1 5 は、本開示の第 1 の実施形態の変形例 5 に係る固体撮像装置 1 の遮光構造を模式的に示す拡大断面図である。

[0170] 図 1 5 に示すように、遮光層 5 6 には当接せず、配線膜 5 7 a にのみ接するように壁部 6 4 を配置してもよい。これによっても、遮光壁 6 0 b の先端部で反射された光 L が遮光層 5 6 と配線膜 5 7 a との間に入り込むことを抑制することができる。

[0171] したがって、変形例 5 によれば、遮光層 5 6 と配線膜 5 7 a との間に入り込んだ光 L が他の単位画素 1 1 に漏れ込んで、光学的ノイズが発生することを抑制することができる。

[0172] [第 1 の実施形態の変形例の製造工程]

つづいて、第1の実施形態の変形例における固体撮像装置1の製造工程について、図16A～図16Gを参照しながら説明する。図16A～図16Gは、本開示の第1の実施形態の変形例4に係る固体撮像装置1の一製造工程を模式的に示す拡大断面図である。

[0173] なお、以下においては変形例4の製造工程について説明するが、以下に説明する製造工程は、その他の変形例の製造工程においても適宜適用できる。また、半導体基板151上に、SiO層52と、開口部53aを有するLP-SiN層53と、P-SiN層54と、SiO層55と、遮光層56とが形成される工程は図9A～図9Dに示したので、かかる工程の詳細は省略する。

[0174] 図9Dに示したように、遮光層56まで設けられた半導体基板151に対して、図16Aに示すように、遮光層56において、後に溝部51aが形成される領域に開口部56aを形成する。

[0175] かかる開口部56aは、たとえば、遮光層56の表面に所望の開口を有するハードマスク（図示せず）を形成し、かかるハードマスクを介して遮光層56を深さ方向に選択的にエッチングすることにより形成される。

[0176] 次に、図16Bに示すように、開口部56aを埋めるように、遮光層56上に所定の厚さの層間絶縁膜57b1を公知の手法により形成する。なお、かかる層間絶縁膜57b1は、層間絶縁膜57bのうち、遮光層56と、かかる遮光層56にもっとも近い配線膜57a1（図16G参照）との間に設けられる層間絶縁膜である。

[0177] 次に、図16Cに示すように、層間絶縁膜57b1において、壁部64が形成される領域に開口部57baを形成する。かかる開口部57baは、たとえば、層間絶縁膜57b1の表面に所望の開口を有するハードマスク（図示せず）を形成し、かかるハードマスクを介して層間絶縁膜57b1を深さ方向に選択的にエッチングすることにより形成される。

[0178] 次に、図16Dに示すように、公知の手法により開口部57baを金属膜で埋め込んで、表面をCMP（Chemical Mechanical Polishing：化学機械

研磨)などによって平坦化することにより、壁部64を形成する。

[0179] 次に、図16Eに示すように、層間絶縁膜57b1上に所定の厚さの層間絶縁膜57b2を公知の手法により形成する。なお、かかる層間絶縁膜57b2は、層間絶縁膜57bのうち、遮光層56にもっとも近い配線膜57a1と同じ層に設けられる層間絶縁膜である。

[0180] 次に、図16Fに示すように、層間絶縁膜57b2において、配線膜57aが形成される領域に開口部57bbを形成する。かかる開口部57bbは、たとえば、層間絶縁膜57b2の表面に所望の開口を有するハードマスク(図示せず)を形成し、かかるハードマスクを介して層間絶縁膜57b2を深さ方向に選択的にエッチングすることにより形成される。

[0181] 次に、図16Gに示すように、公知の手法により開口部57bbを金属膜で埋め込んで、表面をCMPなどによって平坦化することにより、配線膜57a1を形成する。そして、その他の配線膜57aおよび層間絶縁膜57bを同様の手法によって形成することにより、配線層57を形成する。

[0182] ここで、変形例4では、少なくとも配線膜57a(たとえば、配線膜57a1)と接するように壁部64を形成することにより、通常の配線層57の形成工程と並行して壁部64を形成することができる。

[0183] したがって、変形例4によれば、壁部64を形成するために工程を追加することが不要となることから、製造コストの増加を抑制することができる。

[0184] つづいて、図示は省略するが、上述したように、かかる配線層57上に支持基板が貼り合わされる。そして、半導体基板151の裏面が研削されて、所定の厚さを有する半導体層51が形成される。

[0185] さらに、フォトダイオード21と電荷保持部26との間に溝部51aが形成される。かかる溝部51aは、たとえば、半導体層51の裏面に所望の開口を有するハードマスク(図示せず)を形成し、かかるハードマスクを介して半導体層51を深さ方向に選択的にエッチングすることにより形成される。

[0186] そして、溝部51aの内壁にALD法などを用いて多層膜59を形成し、

溝部 5 1 a の内部を金属膜で埋め込んで遮光壁 6 0 b を形成することにより、図 1 4 に示した変形例 4 の遮光構造を実現することができる。

[0187] なお、変形例 1 ～ 5 では、実施形態と同様に、L P - S i N 層 5 3 において、溝部 5 1 a が形成される領域にあらかじめ開口部 5 3 a を設けておくことにより、遮光層 5 6 まで達するように溝部 5 1 a を形成する際に、溝部 5 1 a 内に L P - S i N 層 5 3 が残ることにより、溝部 5 1 a が所望の形状から変形することを抑制することができる。

[0188] したがって、変形例 1 ～ 5 によれば、L P - S i N 層 5 3 に開口部 5 3 a を設けておくことにより、遮光壁 6 0 b が所望の形状から変形することを抑制することができる。

[0189] なお、変形例 1 ～ 5 では、遮光層 5 6 に開口部 5 6 a を設けるとともに、L P - S i N 層 5 3 に開口部 5 3 a を設けた例について示したが、L P - S i N 層 5 3 には必ずしも開口部 5 3 a を設けなくともよい。

[0190] (第 2 の実施形態)

[遮光構造]

つづいて、第 2 の実施形態における固体撮像装置 1 の遮光構造について、図 1 7 および図 1 8 を参照しながら説明する。図 1 7 は、本開示の第 2 の実施形態に係る固体撮像装置 1 A の遮光構造を模式的に示す断面図である。

[0191] 図 1 7 に示すように、第 2 の実施形態に係る固体撮像装置 1 A は、第 1 の実施形態とは異なり、電荷保持部 2 6 が設けられない裏面照射型の C M O S イメージセンサである。したがって、固体撮像装置 1 A の半導体層 5 1 は、複数のフォトダイオード 2 1 を有し、固体撮像装置 1 A の 1 つの単位画素 1 1 (図 1 参照) には、1 つのフォトダイオード 2 1 が設けられる。

[0192] また、隣接するフォトダイオード 2 1 同士の間には、溝部 5 1 a が形成される。かかる溝部 5 1 a は、第 1 の実施形態と同様に、半導体層 5 1 の入射面から半導体層 5 1 を貫通するように形成される。

[0193] そして、半導体層 5 1 の入射面および溝部 5 1 a には、多層膜 5 9 と遮光部 6 0 とが設けられる。多層膜 5 9 は、半導体層 5 1 の入射面および溝部 5

1 a の内壁に形成される。

[0194] 遮光部 60 は、半導体層 51 の入射面から入射した光が直接または間接的に隣接するフォトダイオード 21 に漏れ込むことを抑制する。遮光部 60 は、表面遮光部 60 a と遮光壁 60 b とを有する。

[0195] 表面遮光部 60 a は、半導体層 51 の入射面のうち、フォトダイオード 21 の受光面の上方を除く領域を覆っている。すなわち、表面遮光部 60 a は、半導体層 51 の受光面のうち、フォトダイオード 21 への光が入射する領域を除く領域を覆っている。

[0196] 遮光壁 60 b は、半導体層 51 の入射面から半導体層 51 を貫通し、半導体層 51 の底面まで延びる。遮光壁 60 b は、たとえば、たがいに隣接するフォトダイオード 21 同士の間配置される。

[0197] ここで、第 2 の実施形態では、第 1 の実施形態と同様に、半導体層 51 を貫通する溝部 51 a を囲むように、LP-SiN 層 53 に開口部 53 a が設けられる。換言すると、LP-SiN 層 53 において溝部 51 a が形成される領域に、開口部 53 a が設けられる。

[0198] これにより、溝部 51 a が形成される領域には LP-SiN 層 53 が設けられていないことから、LP-SiN 層 53 がエッチングされずに溝部 51 a 内に残ることを抑制することができる。

[0199] そのため、第 2 の実施形態では、第 1 の実施形態と同様に、溝部 51 a の内壁が多層膜 59 で略均等に覆われていることから、図 18 に示すように、遮光壁 60 b の先端形状は溝部 51 a の形状と同様の矩形状となる。図 18 は、本開示の第 2 の実施形態に係る固体撮像装置 1 A の遮光構造を模式的に示す拡大断面図である。

[0200] これにより、フォトダイオード 21 内から溝部 51 a と遮光層 56 とが近接する領域に到達する光 L を遮光壁 60 b で遮ることができる。したがって、第 2 の実施形態によれば、隣接する単位画素 11 からの光の漏れ込みを低減させることができる。

[0201] また、第 2 の実施形態では、光入射側から見た場合に、開口部 53 a の大

きさが、溝部51aにおいて開口部53aに囲まれる部位より大きいとよい。これにより、溝部51aを形成する際に、LP-SiN層53が溝部51aに突出するように残ることをさらに抑制することができる。

[0202] したがって、第2の実施形態によれば、隣接する単位画素11からの光の漏れ込みをさらに低減させることができる。

[0203] また、第2の実施形態では、絶縁層の一例であるLP-SiN層53が、減圧CVD法により成膜されたシリコン窒化膜で構成されるとよい。これにより、信頼性の高いトランジスタを固体撮像装置1A内に形成することができる。

[0204] なお、第2の実施形態では、LP-SiN層53が減圧CVD法により成膜されたシリコン窒化膜で構成された例について示したが、LP-SiN層53の材料はかかる例に限られない。第2の実施形態において、LP-SiN層53の材料は、周囲のSiO層52、P-SiN層54およびSiO層55に比べて膜密度が高い材料であれば、減圧CVD法により成膜されたシリコン窒化膜とは異なる材料であってもよい。

[0205] また、第2の実施形態では、溝部51aを形成するエッチング処理を、SiO層52、LP-SiN層53、P-SiN層54およびSiO層55が含まれる絶縁多層膜をストッパーとして用いて実施するとよい。

[0206] これにより、第1の実施形態と同様に、遮光層56に起因する金属汚染を抑制することができることから、デバイスの暗時特性などを良好に維持することができる。

[0207] [各種変形例]

つづいて、第2の実施形態の各種変形例について、図19および図20を参照しながら説明する。図19は、本開示の第2の実施形態の変形例6に係る固体撮像装置1Aの遮光構造を模式的に示す拡大断面図である。

[0208] 変形例6は、第1の実施形態の変形例1と同様に、半導体層51を貫通する溝部51aを囲むように、遮光層56に開口部56aが設けられる。換言すると、遮光層56において溝部51aが形成される領域に、開口部56a

が設けられる。

[0209] さらに、変形例6では、かかる開口部56aに達するように遮光壁60bが設けられる。たとえば、図19に示すように、開口部56aを貫通するように遮光壁60bが設けられる。

[0210] このように、開口部56aを貫通するように遮光壁60bが設けられることにより、図19に示すように、フォトダイオード21内から溝部51aと遮光層56とが近接する領域に到達する光Lを遮光壁60bで遮ることができる。したがって、隣接する単位画素11からの光の漏れ込みを低減させることができる。

[0211] さらに、変形例6では、溝部51aが形成される領域にあらかじめ開口部56aを設けておくことにより、溝部51aを形成するエッチング処理の際に、遮光層56が外部に露出することを抑制することができる。したがって、変形例6によれば、遮光層56に起因する金属汚染を抑制することができることから、デバイスの暗時特性などを良好に維持することができる。

[0212] なお、変形例6では、開口部56aを貫通するように遮光壁60bが設けられた例について示したが、遮光壁60bの配置はかかる例に限られず、かかる開口部56aに達するように遮光壁60bが設けられるとよい。これによっても、隣接する単位画素11からの光の漏れ込みを低減させることができる。

[0213] 図20は、本開示の第2の実施形態の変形例7に係る固体撮像装置1Aの遮光構造を模式的に示す拡大断面図である。

[0214] 変形例7は、第1の実施形態の変形例4と同様に、開口部56aに隣接し、遮光層56と配線層57の配線膜57aとの間を遮るように配置される壁部64を配線層57内に設けている。

[0215] これにより、図20に示すように、遮光壁60bの先端部で反射された光Lが遮光層56と配線膜57aとの間に入り込むことを抑制することができる。したがって、変形例7によれば、遮光層56と配線膜57aとの間に入り込んだ光Lが他の単位画素11に漏れ込んで、光学的ノイズが発生するこ

とを抑制することができる。

[0216] なお、変形例 7 では、遮光層 5 6 と配線膜 5 7 a との両方に接するように壁部 6 4 を設けた例について示したが、遮光層 5 6 には当接せず、配線膜 5 7 a にのみ接するように壁部 6 4 を配置してもよい。これによっても、遮光壁 6 0 b の先端部で反射された光 L が遮光層 5 6 と配線膜 5 7 a との間に入り込むことを抑制することができる。

[0217] (電子機器)

なお、本開示は、固体撮像装置への適用に限られるものではない。すなわち、本開示は、固体撮像装置のほかにカメラモジュールや撮像装置、撮像機能を有する携帯端末装置、または画像読取部に固体撮像装置を用いる複写機など、固体撮像装置を有する電子機器全般に対して適用可能である。

[0218] かかる撮像装置としては、たとえば、デジタルスチルカメラやビデオカメラなどが挙げられる。また、かかる撮像機能を有する携帯端末装置としては、たとえば、スマートフォンやタブレット型端末などが挙げられる。

[0219] 図 2 1 は、本開示の各実施形態の電子機器 1 0 0 の構成例を示すブロック図である。図 2 1 の電子機器 1 0 0 は、たとえば、デジタルスチルカメラやビデオカメラなどの撮像装置や、スマートフォンやタブレット型端末などの携帯端末装置などの電子機器である。

[0220] 図 2 1 において、電子機器 1 0 0 は、固体撮像装置 1 0 1 と、DSP 回路 1 0 2 と、フレームメモリ 1 0 3 と、表示部 1 0 4 と、記録部 1 0 5 と、操作部 1 0 6 と、電源部 1 0 7 とから構成される。また、電子機器 1 0 0 において、DSP 回路 1 0 2、フレームメモリ 1 0 3、表示部 1 0 4、記録部 1 0 5、操作部 1 0 6、および電源部 1 0 7 は、バスライン 1 0 8 を介して相互に接続されている。

[0221] 固体撮像装置 1 0 1 は、光学レンズ系（不図示）を介して被写体からの入射光（像光）を取り込んで、撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。また、固体撮像装置 1 0 1 は、上述した第 1 の実施形態に係る固体撮像装置 1 および第 2 の実施形態に

係る固体撮像装置 1 A に対応する。

[0222] DSP 回路 1 0 2 は、固体撮像装置 1 0 1 から供給される信号を処理するカメラ信号処理回路である。フレームメモリ 1 0 3 は、DSP 回路 1 0 2 により処理された画像データを、フレーム単位で一時的に保持する。

[0223] 表示部 1 0 4 は、たとえば、液晶パネルや有機 EL (Electro Luminescence) パネルなどのパネル型表示装置からなり、固体撮像装置 1 0 1 で撮像された動画または静止画を表示する。記録部 1 0 5 は、固体撮像装置 1 0 1 で撮像された動画または静止画の画像データを、半導体メモリやハードディスクなどの記録媒体に記録する。

[0224] 操作部 1 0 6 は、ユーザによる操作にしたがい、電子機器 1 0 0 が有する各種の機能についての操作指令を発する。電源部 1 0 7 は、DSP 回路 1 0 2、フレームメモリ 1 0 3、表示部 1 0 4、記録部 1 0 5、および操作部 1 0 6 の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

[0225] このように構成されている電子機器 1 0 0 では、固体撮像装置 1 0 1 として、上述した各実施形態の固体撮像装置 1、1 A を適用することにより、隣接する単位画素 1 1 からの光の漏れ込みを低減させることができる。

[0226] なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

[0227] なお、本技術は以下のような構成も取ることができる。

(1)

複数の光電変換部と、前記光電変換部により生成される電荷を保持する複数の電荷保持部とが設けられる半導体層と、

前記半導体層において、隣接する前記光電変換部と前記電荷保持部との間に光入射側から深さ方向に形成される溝部の内部に設けられる遮光壁と、

前記半導体層の光入射側とは反対側に設けられ、前記溝部を囲む開口部を有する絶縁層と、

を備える固体撮像装置。

(2)

光入射側から見た場合に、前記絶縁層の前記開口部の大きさは、前記溝部の当該開口部に囲まれる部位より大きい

前記(1)に記載の固体撮像装置。

(3)

前記絶縁層は、

LP (Low Pressure) - SiN膜で構成される

前記(1)または(2)に記載の固体撮像装置。

(4)

前記絶縁層の前記半導体層とは反対側に設けられる遮光層

を備える前記(1)～(3)のいずれか一つに記載の固体撮像装置。

(5)

前記遮光層は、

前記溝部を囲む開口部を有する

前記(4)に記載の固体撮像装置。

(6)

光入射側から見た場合に、前記遮光層の前記開口部の大きさは、前記溝部の当該開口部に囲まれる部位より大きい

前記(5)に記載の固体撮像装置。

(7)

前記遮光壁は、

前記遮光層の前記開口部に達している

前記(5)または(6)に記載の固体撮像装置。

(8)

前記遮光層の前記絶縁層とは反対側に設けられる配線膜と、

前記遮光層の前記開口部に隣接し、前記遮光層と前記配線膜との間を遮るように設けられる壁部と、

を備える前記(5)～(7)のいずれか一つに記載の固体撮像装置。

(9)

複数の光電変換部が設けられる半導体層と、

前記半導体層において、隣接する前記光電変換部同士の間に入射側から深さ方向に形成される溝部の内部に設けられる遮光壁と、

前記半導体層の入射側とは反対側に設けられ、前記溝部を囲む開口部を有する絶縁層と、

を備える固体撮像装置。

(1 0)

入射側から見た場合に、前記絶縁層の前記開口部の大きさは、前記溝部の当該開口部に囲まれる部位より大きい

前記 (9) に記載の固体撮像装置。

(1 1)

前記絶縁層は、

LP (Low Pressure) - SiN 膜で構成される

前記 (9) または (1 0) に記載の固体撮像装置。

(1 2)

前記絶縁層の前記半導体層とは反対側に設けられる遮光層

を備える前記 (9) ~ (1 1) のいずれか一つに記載の固体撮像装置。

(1 3)

前記遮光層は、

前記溝部を囲む開口部を有する

前記 (1 2) に記載の固体撮像装置。

(1 4)

入射側から見た場合に、前記遮光層の前記開口部の大きさは、前記溝部の当該開口部に囲まれる部位より大きい

前記 (1 3) に記載の固体撮像装置。

(1 5)

前記遮光壁は、

前記遮光層の前記開口部に達している

前記（１３）または（１４）に記載の固体撮像装置。

（１６）

前記遮光層の前記絶縁層とは反対側に設けられる配線膜と、

前記遮光層の前記開口部に隣接し、前記遮光層と前記配線膜との間を遮るように設けられる壁部と、

を備える前記（１３）～（１５）のいずれか一つに記載の固体撮像装置。

（１７）

半導体基板に絶縁層を形成する工程と、

前記絶縁層の所定の領域に開口部を形成する工程と、

前記開口部を埋めるように別の絶縁層を形成する工程と、

前記半導体基板の前記絶縁層が形成された側とは反対側の面を研削する工程と、

前記半導体基板の研削された面から前記開口部に向かって深さ方向に溝部を形成する工程と、

前記溝部の内部に遮光壁を形成する工程と、

を含む固体撮像装置の製造方法。

（１８）

前記溝部を形成する工程は、

前記絶縁層および前記別の絶縁層を含んだ絶縁多層膜をストッパーとして用いる

前記（１７）に記載の固体撮像装置の製造方法。

（１９）

前記別の絶縁層を形成する工程の後に、遮光層を形成する工程と、

前記遮光層の所定の領域に開口部を形成する工程と、

を含む前記（１７）または（１８）に記載の固体撮像装置の製造方法。

（２０）

複数の光電変換部と、前記光電変換部により生成される電荷を保持する複

数の電荷保持部とが設けられる半導体層と、

前記半導体層において、隣接する前記光電変換部と前記電荷保持部との間に光入射側から深さ方向に形成される溝部の内部に設けられる遮光壁と、

前記半導体層の光入射側とは反対側に設けられ、前記溝部を囲む開口部を有する絶縁層と、

を備える固体撮像装置を備える

電子機器。

(21)

複数の光電変換部が設けられる半導体層と、

前記半導体層において、隣接する前記光電変換部同士の間、光入射側から深さ方向に形成される溝部の内部に設けられる遮光壁と、

前記半導体層の光入射側とは反対側に設けられ、前記溝部を囲む開口部を有する絶縁層と、

を備える固体撮像装置を備える

電子機器。

符号の説明

[0228] 1、1A 固体撮像装置

10 画素アレイ部

11 単位画素

21 フォトダイオード（光電変換部の一例）

26 電荷保持部

51 半導体層

51a、51b 溝部

52、55 SiO層

53 LP-SiN層（絶縁層の一例）

53a 開口部

54 P-SiN層（別の絶縁層の一例）

56 遮光層

5 6 a 開口部

5 7 配線層

5 7 a、5 7 a 1 配線膜

5 7 b、5 7 b 1、5 7 b 2 層間絶縁膜

6 0 遮光部

6 0 b 遮光壁

6 4 壁部

1 0 0 電子機器

請求の範囲

- [請求項1] 複数の光電変換部と、前記光電変換部により生成される電荷を保持する複数の電荷保持部とが設けられる半導体層と、
前記半導体層において、隣接する前記光電変換部と前記電荷保持部との間に光入射側から深さ方向に形成される溝部の内部に設けられる遮光壁と、
前記半導体層の光入射側とは反対側に設けられ、前記溝部を囲む開口部を有する絶縁層と、
を備える固体撮像装置。
- [請求項2] 光入射側から見た場合に、前記絶縁層の前記開口部の大きさは、前記溝部の当該開口部に囲まれる部位より大きい
請求項1に記載の固体撮像装置。
- [請求項3] 前記絶縁層は、
LP (Low Pressure) - SiN膜で構成される
請求項1に記載の固体撮像装置。
- [請求項4] 前記絶縁層の前記半導体層とは反対側に設けられる遮光層
を備える請求項1に記載の固体撮像装置。
- [請求項5] 前記遮光層は、
前記溝部を囲む開口部を有する
請求項4に記載の固体撮像装置。
- [請求項6] 光入射側から見た場合に、前記遮光層の前記開口部の大きさは、前記溝部の当該開口部に囲まれる部位より大きい
請求項5に記載の固体撮像装置。
- [請求項7] 前記遮光壁は、
前記遮光層の前記開口部に達している
請求項5に記載の固体撮像装置。
- [請求項8] 前記遮光層の前記絶縁層とは反対側に設けられる配線膜と、
前記遮光層の前記開口部に隣接し、前記遮光層と前記配線膜との間

を遮るように設けられる壁部と、

を備える請求項 5 に記載の固体撮像装置。

[請求項9]

複数の光電変換部が設けられる半導体層と、

前記半導体層において、隣接する前記光電変換部同士の間には光入射側から深さ方向に形成される溝部の内部に設けられる遮光壁と、

前記半導体層の光入射側とは反対側に設けられ、前記溝部を囲む開口部を有する絶縁層と、

を備える固体撮像装置。

[請求項10]

半導体基板に絶縁層を形成する工程と、

前記絶縁層の所定の領域に開口部を形成する工程と、

前記開口部を埋めるように別の絶縁層を形成する工程と、

前記半導体基板の前記絶縁層が形成された側とは反対側の面を研削する工程と、

前記半導体基板の研削された面から前記開口部に向かって深さ方向に溝部を形成する工程と、

前記溝部の内部に遮光壁を形成する工程と、

を含む固体撮像装置の製造方法。

[請求項11]

前記溝部を形成する工程は、

前記絶縁層および前記別の絶縁層を含んだ絶縁多層膜をストッパーとして用いる

請求項 10 に記載の固体撮像装置の製造方法。

[請求項12]

前記別の絶縁層を形成する工程の後に、遮光層を形成する工程と、

前記遮光層の所定の領域に開口部を形成する工程と、

を含む請求項 10 に記載の固体撮像装置の製造方法。

[請求項13]

複数の光電変換部と、前記光電変換部により生成される電荷を保持する複数の電荷保持部とが設けられる半導体層と、

前記半導体層において、隣接する前記光電変換部と前記電荷保持部との間に光入射側から深さ方向に形成される溝部の内部に設けられる

遮光壁と、

前記半導体層の光入射側とは反対側に設けられ、前記溝部を囲む開口部を有する絶縁層と、

を備える固体撮像装置を備える
電子機器。

[請求項14]

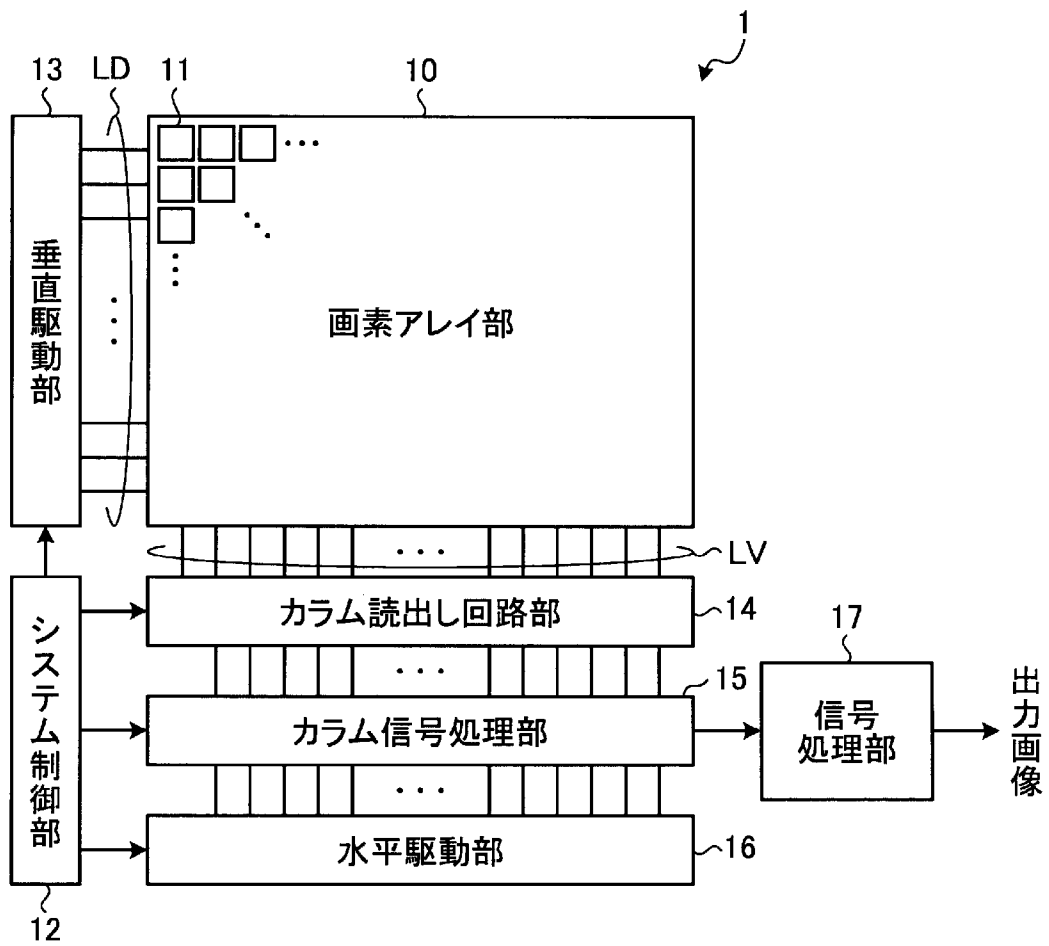
複数の光電変換部が設けられる半導体層と、

前記半導体層において、隣接する前記光電変換部同士の上に光入射側から深さ方向に形成される溝部の内部に設けられる遮光壁と、

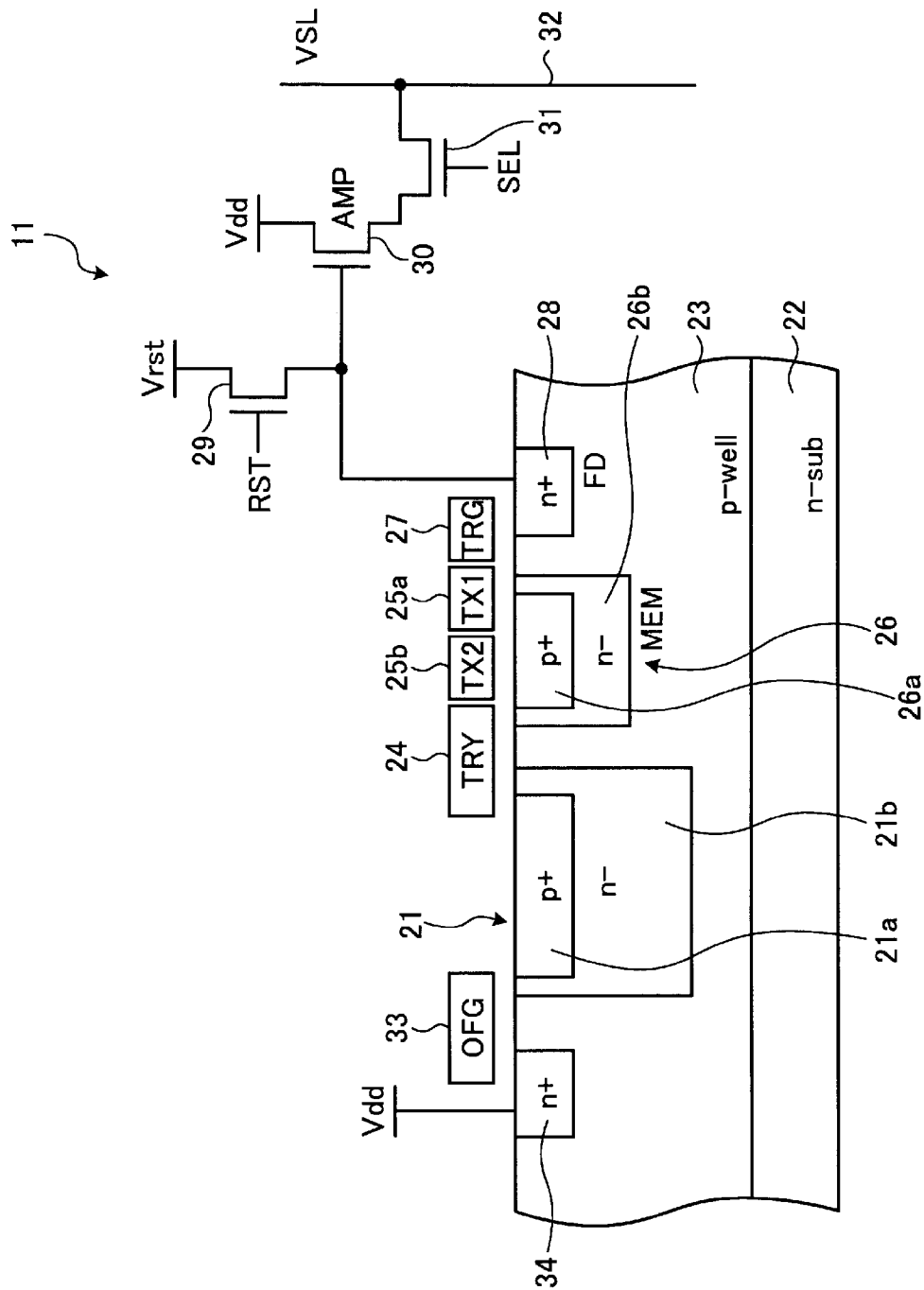
前記半導体層の光入射側とは反対側に設けられ、前記溝部を囲む開口部を有する絶縁層と、

を備える固体撮像装置を備える
電子機器。

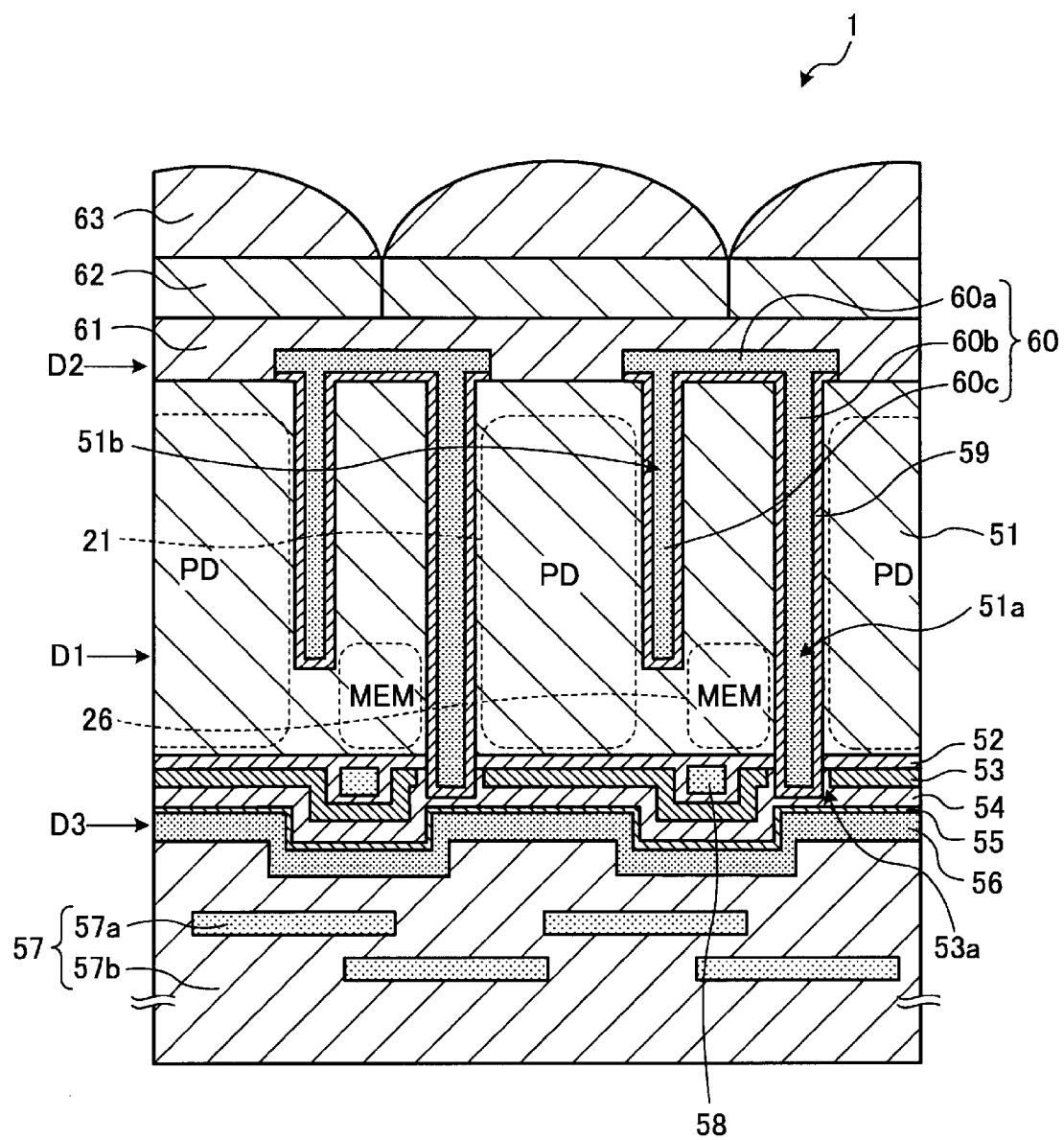
[図1]



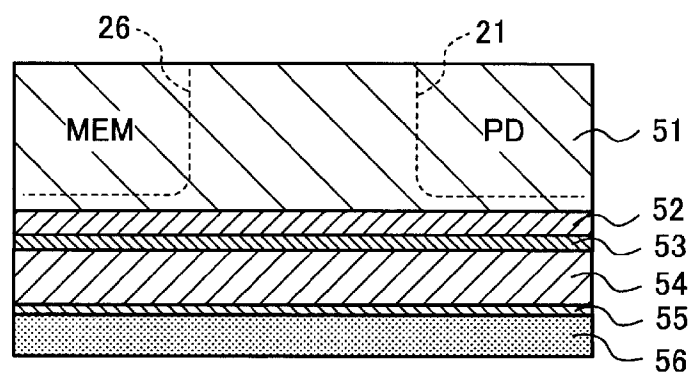
[図2]



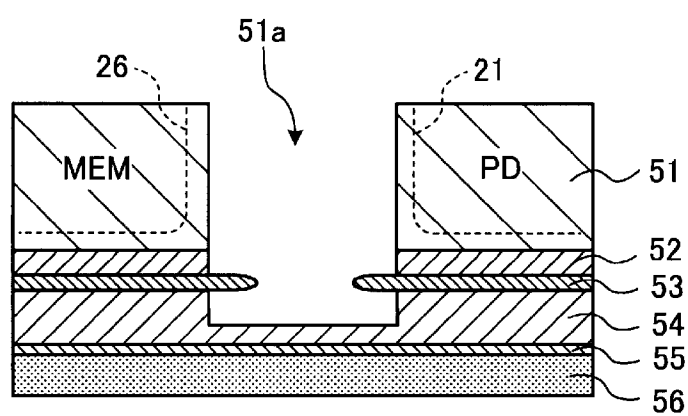
[図3]



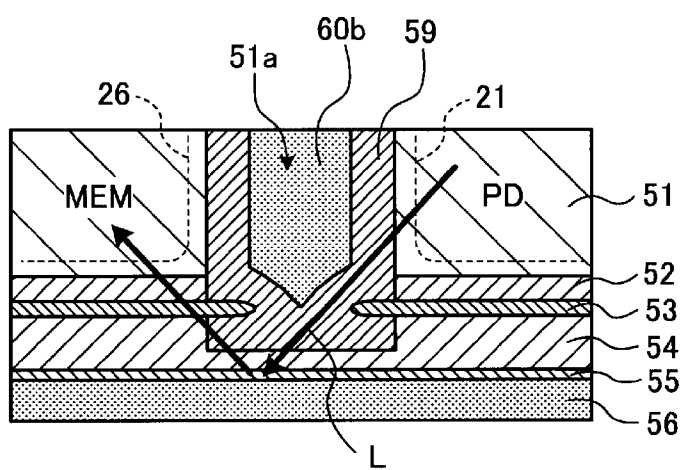
[図4A]



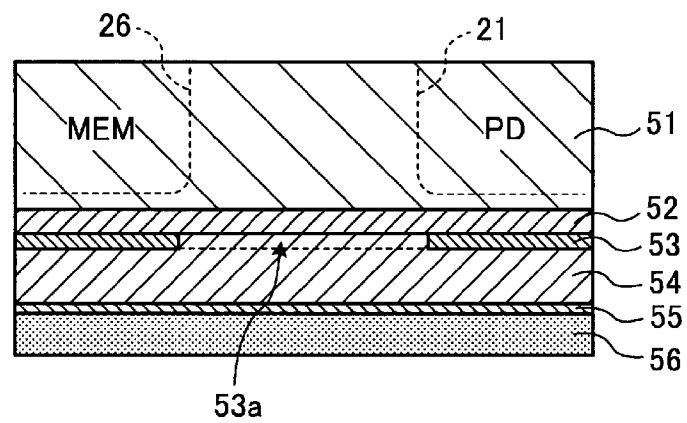
[図4B]



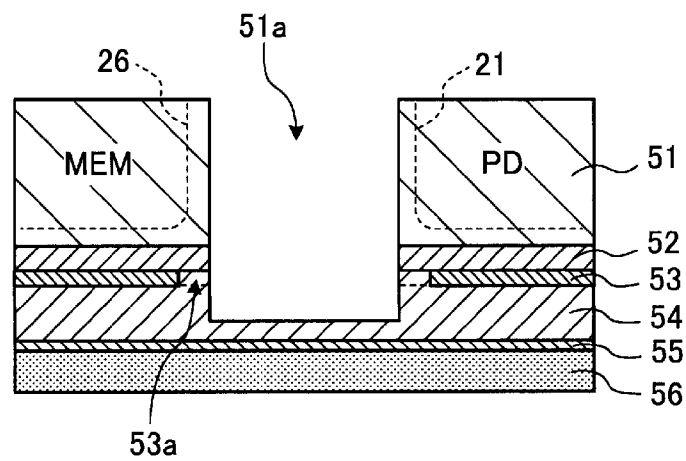
[図4C]



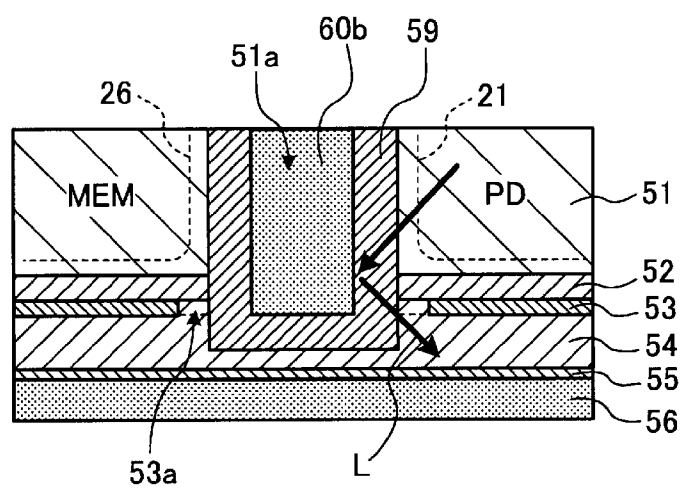
[図5A]



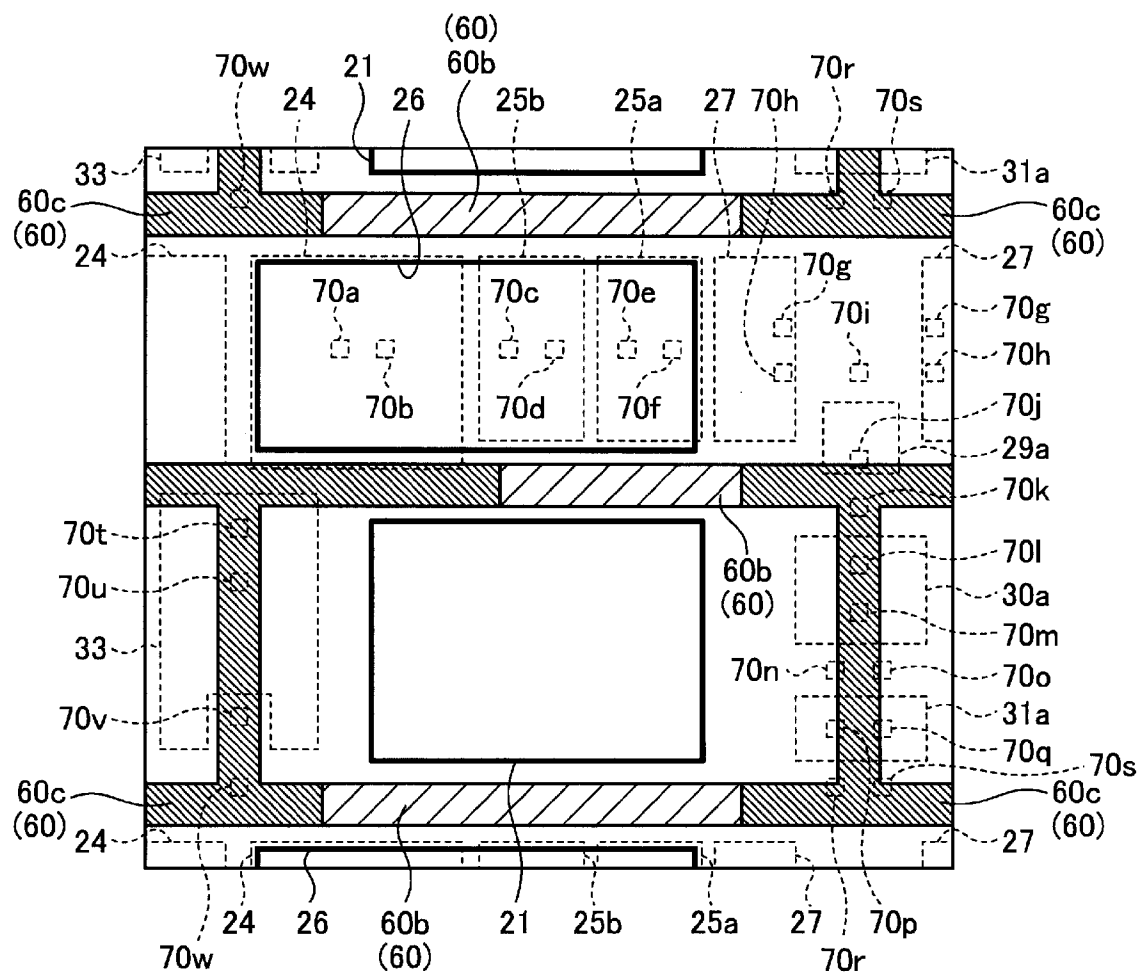
[図5B]



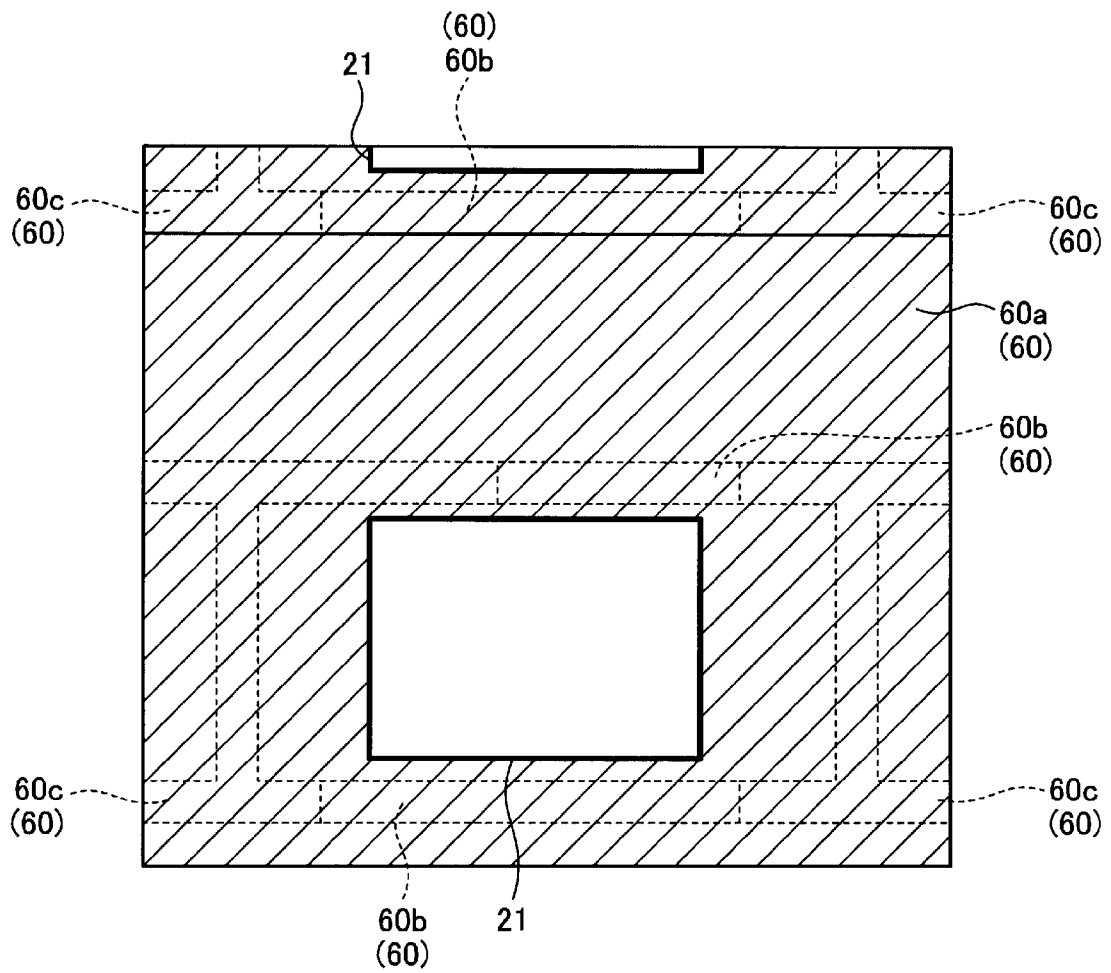
[図5C]



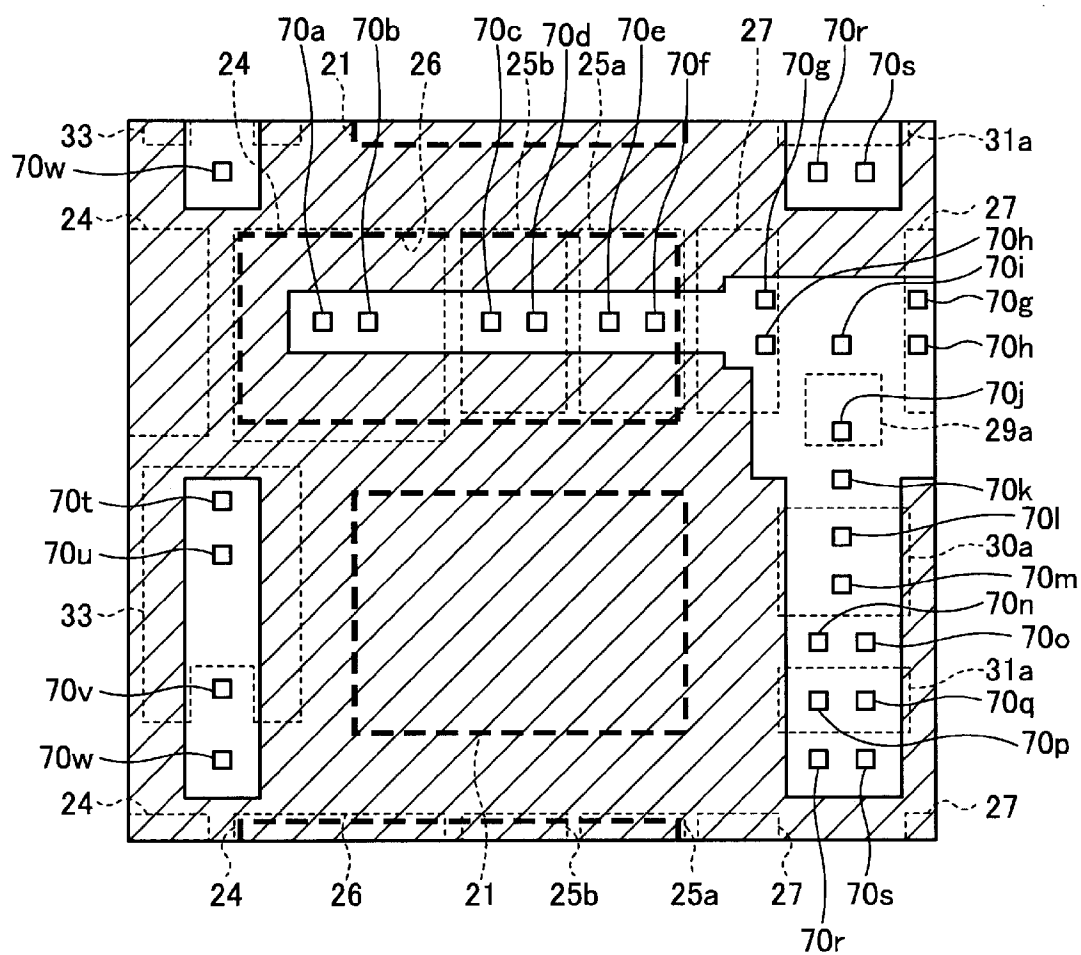
[図6]



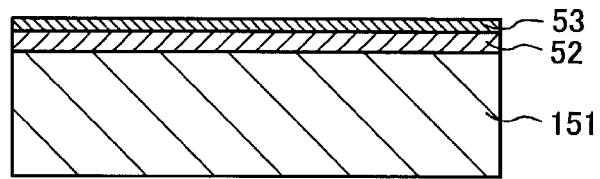
[図7]



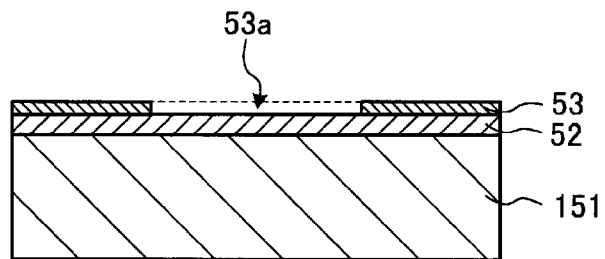
[図8]



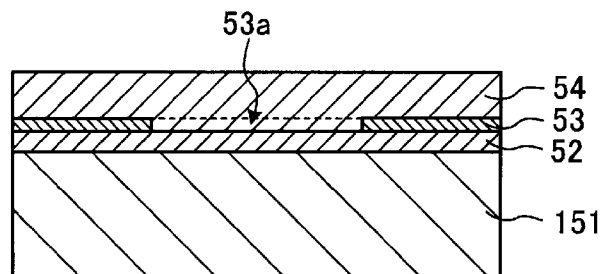
[図9A]



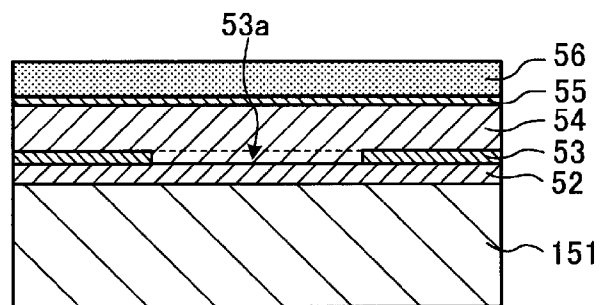
[図9B]



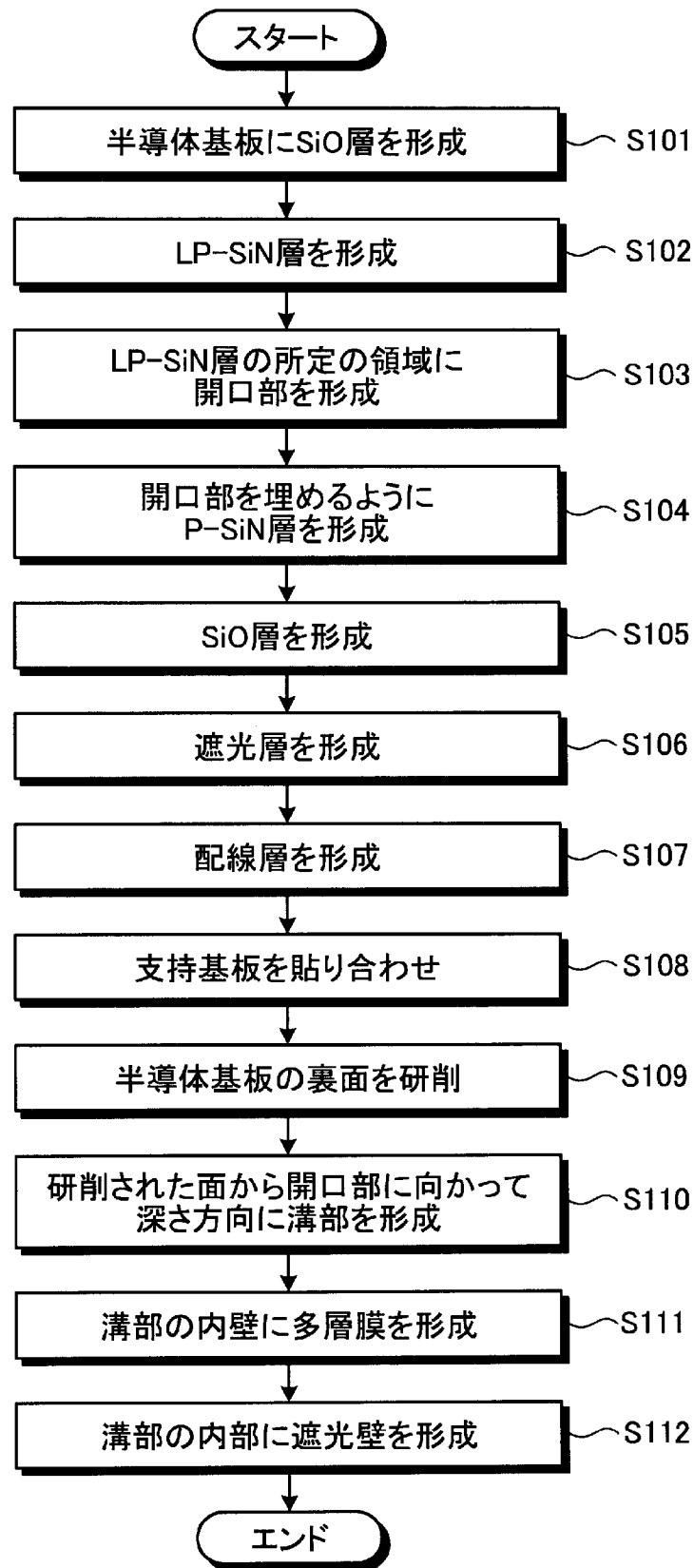
[図9C]



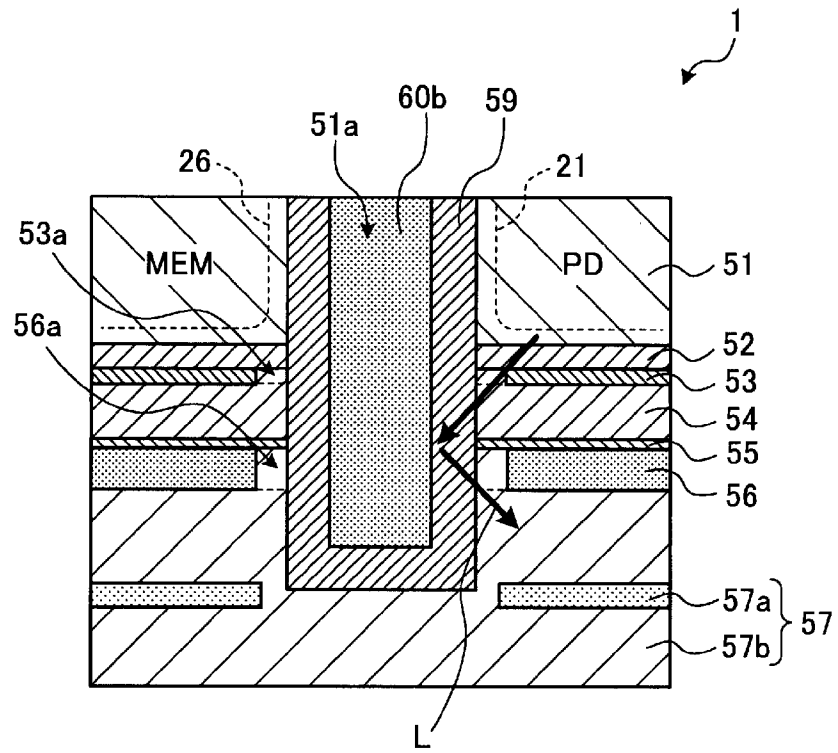
[図9D]



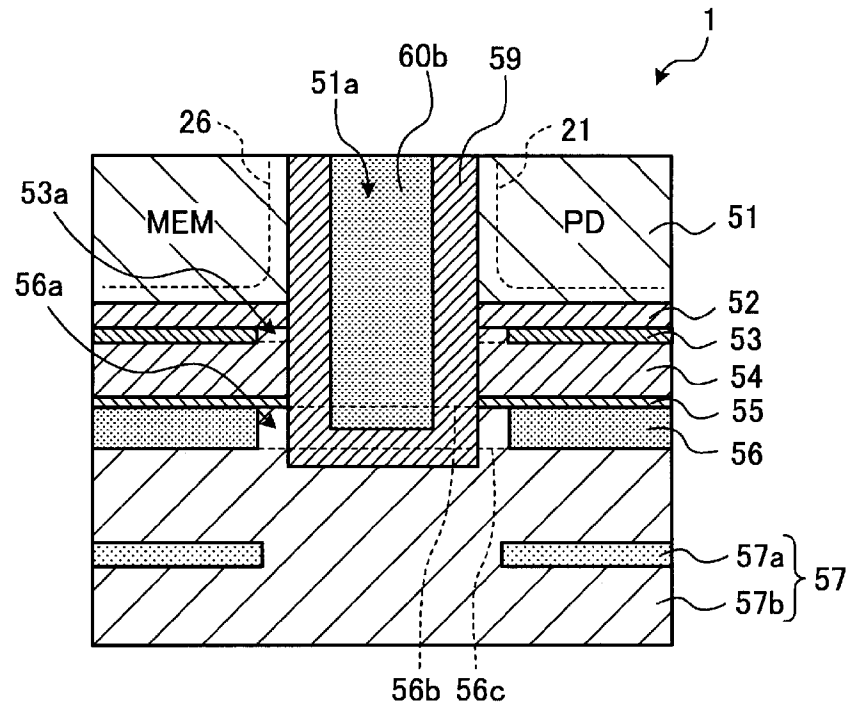
[図10]



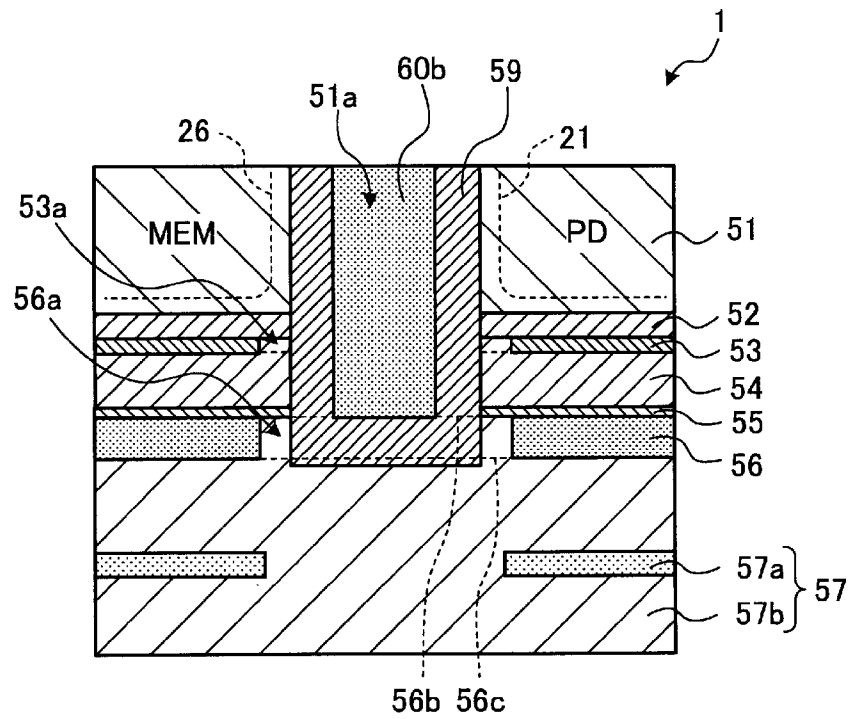
[図11]



[図12]

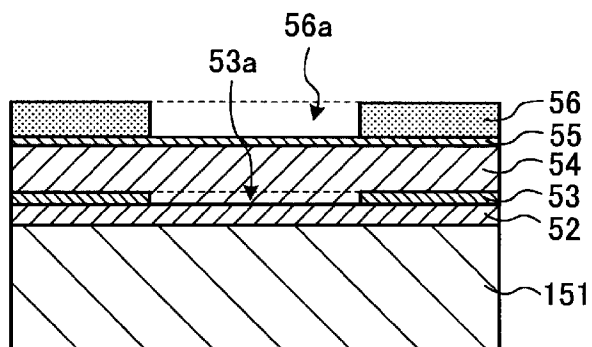


[図13]

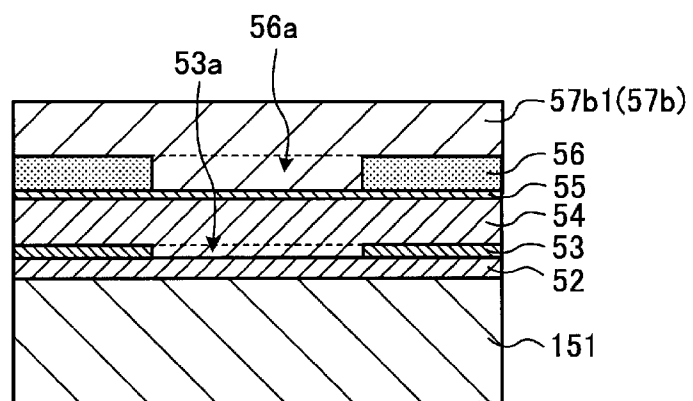


A cross-sectional view of a semiconductor device 1. The device features a central pillar 51a, a MEMS region 26 on the left, and a photodiode (PD) region 21 on the right. The device is built on a substrate 51. Various layers are shown, including 52, 53, 54, 55, and 56. A light path L is indicated, passing through the central pillar 51a and reflecting off the bottom surface 57b of the PD region. The bottom surface 57b is part of a larger structure 57, which also includes a top surface 57a. The MEMS region 26 contains a structure 53a and 56a. The PD region 21 contains a structure 52, 53, 54, 55, and 56. The central pillar 51a is surrounded by a layer 60b. The entire device is labeled 1.

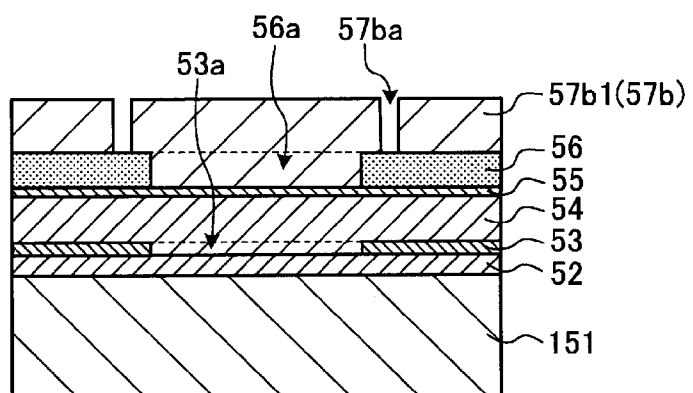
[図16A]



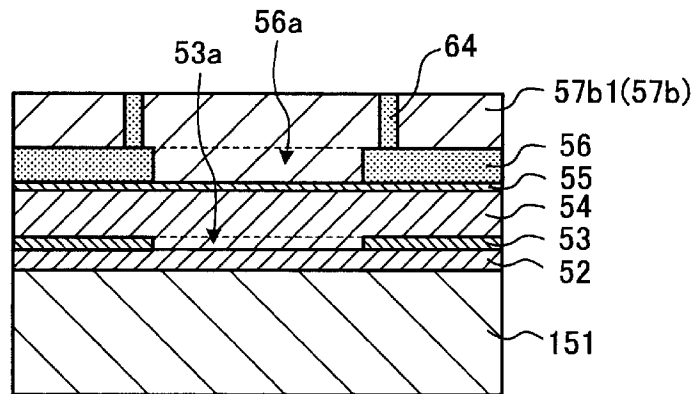
[図16B]



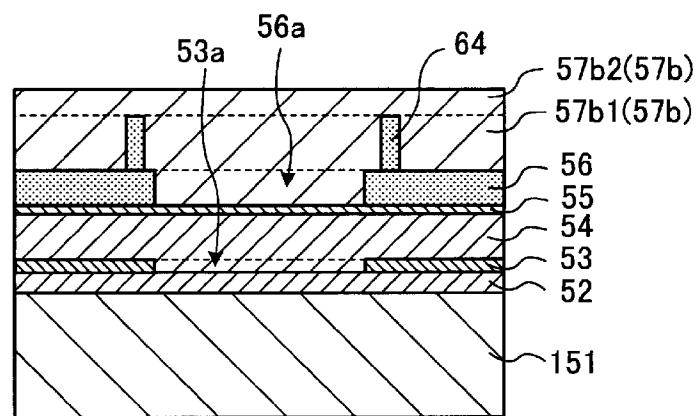
[図16C]



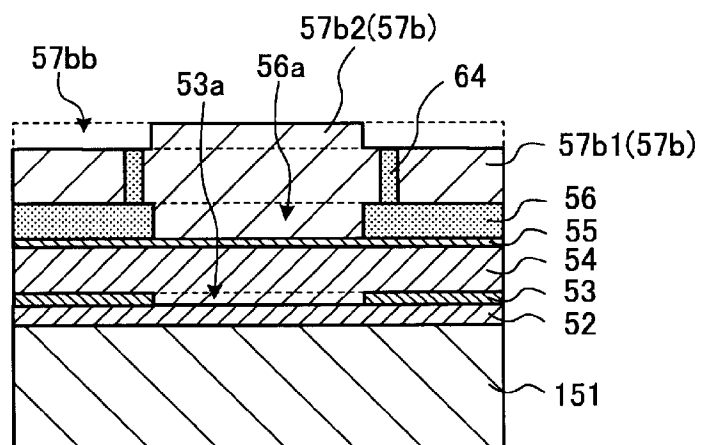
[図16D]



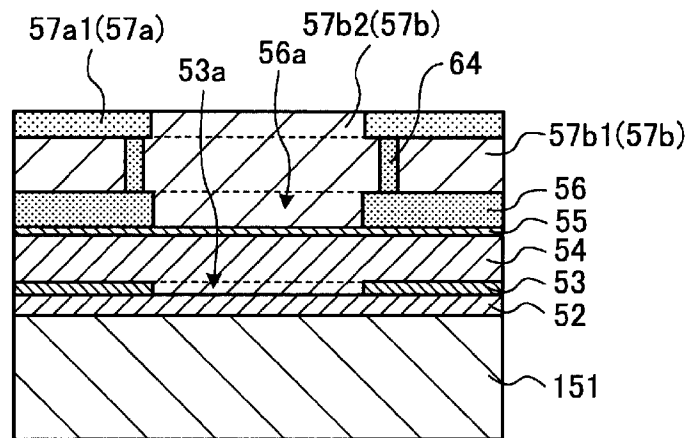
[図16E]



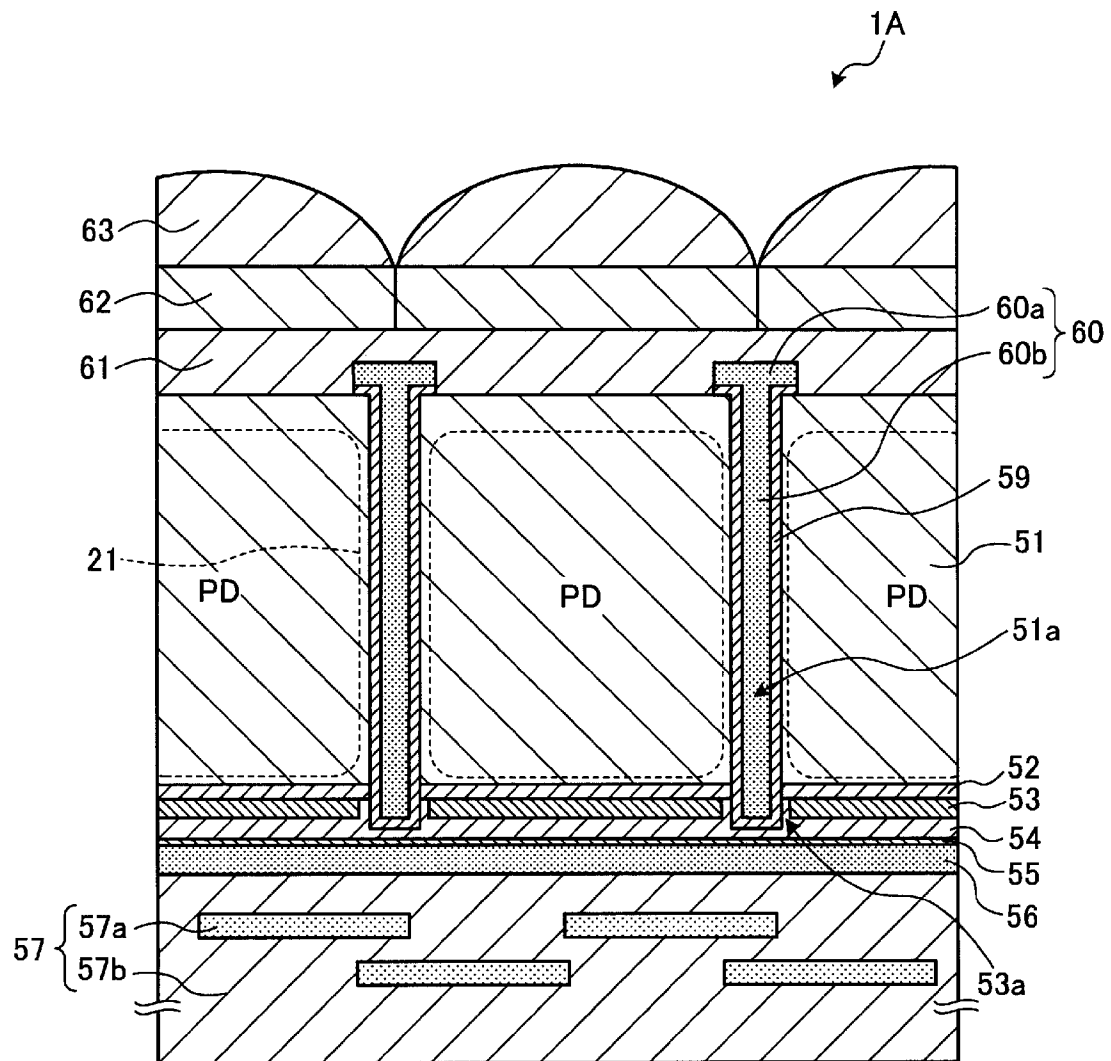
[図16F]



[図16G]



[図17]



1A

21

PD

51a

60b

59

51

52

53

54

55

56

53a

L

1A

51a

60b

59

21

21

PD

PD

51

52

53

54

55

56

53a

56a

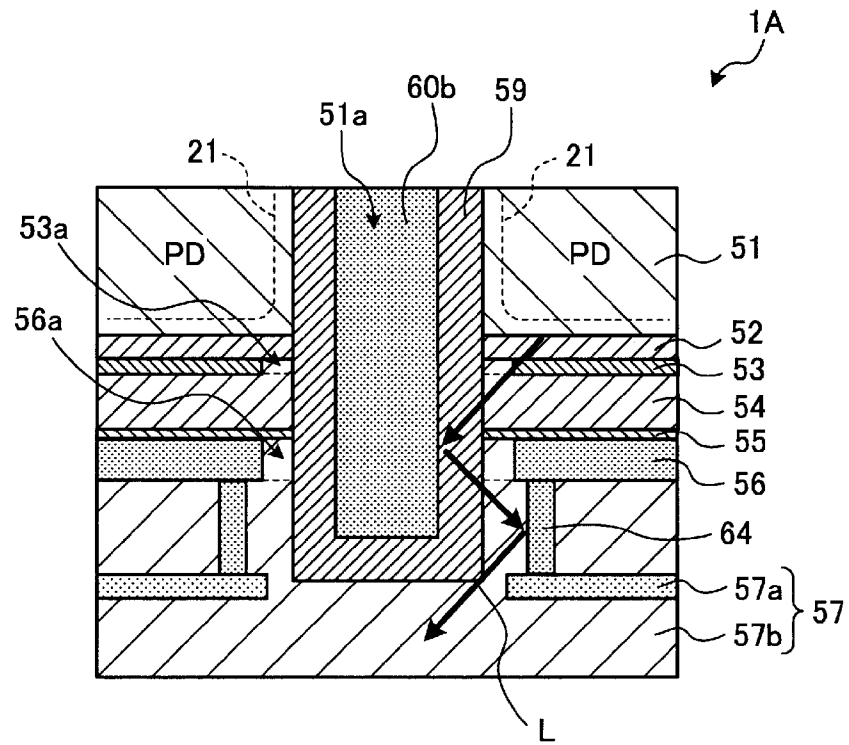
57a

57b

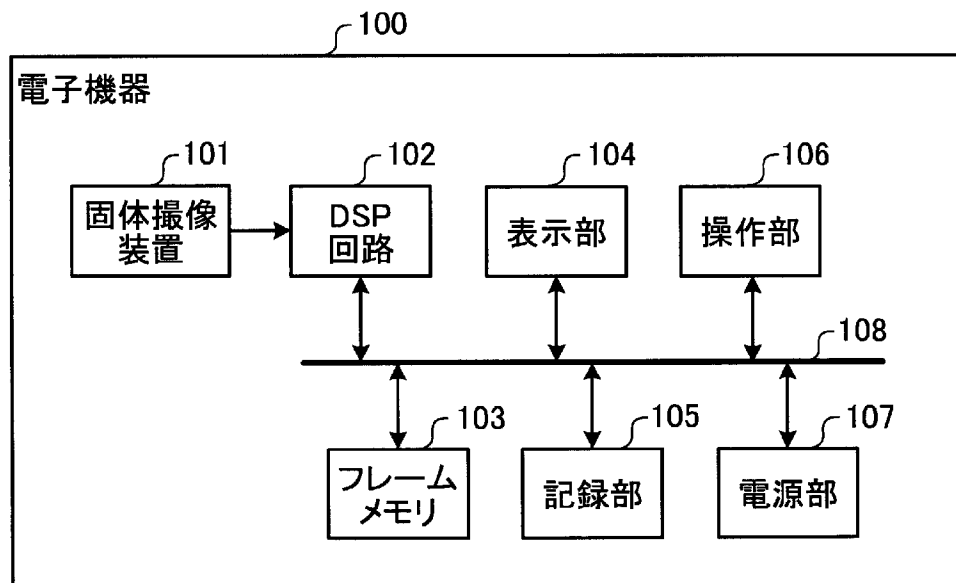
57

L

[図20]



[図21]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/043110

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/146 (2006.01) i; H04N 5/369 (2011.01) i; H04N 5/3745 (2011.01) i

FI: H01L27/146 D; H04N5/369; H04N5/3745 200; H01L27/146 A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146; H04N5/369; H04N5/3745

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2020

Registered utility model specifications of Japan 1996-2020

Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2018/008614 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 11.01.2018 (2018-01-11) paragraphs [0071]-[0172], fig. 3, 12, 19	1, 4, 5, 7, 9, 13, 14
Y		3
A		2, 6, 8, 10-12
Y	JP 2018-117156 A (CANON INC.) 26.07.2018 (2018-07-26) paragraphs [0016]-[0020], fig. 2	3
A	WO 2012/117931 A1 (SONY CORP.) 07.09.2012 (2012-09-07) paragraphs [0094]-[0098], fig. 15	1-14

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09 January 2020 (09.01.2020)

Date of mailing of the international search report
21 January 2020 (21.01.2020)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2019/043102

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
WO 2018/008614 A1	11 Jan. 2018	US 2019/0157330 A1, paragraphs [0095]- [0203], fig. 3, 12, 19 EP 3483938 A1 CN 109314123 A KR 10-2019-0024895 A (Family: none)	
JP 2018-117156 A	26 Jul. 2018	US 2014/0054662 A1, paragraphs [0135]- [0140], fig.15 CN 103403869 A KR 10-2014-0015326 A CN 105405856 A	
WO 2012/117931 A1	07 Sep. 2012		

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 27/146(2006.01)i; H04N 5/369(2011.01)i; H04N 5/3745(2011.01)i FI: H01L27/146 D; H04N5/369; H04N5/3745 200; H01L27/146 A		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L27/146; H04N5/369; H04N5/3745		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2018/008614 A1（ソニーセミコンダクタソリューションズ株式会社）11.01.2018 (2018-01-11) [0071]-[0172], 図3, 12, 19	1, 4, 5, 7, 9, 13, 14
Y		3
A		2, 6, 8, 10-12
Y	JP 2018-117156 A（キヤノン株式会社）26.07.2018（2018-07-26） [0016]-[0020], 図2	3
A	WO 2012/117931 A1（ソニー株式会社）07.09.2012（2012-09-07） [0094]-[0098], 図15	1-14
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 09.01.2020		国際調査報告の発送日 21.01.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 加藤 俊哉 5F 9554 電話番号 03-3581-1101 内線 3516

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2019/043110

引用文献			公表日	パテントファミリー文献	公表日
WO	2018/008614	A1	11.01.2018	US 2019/0157330 A1 [0095]- [0203], FIGS. 3, 12, 19 EP 3483938 A1 CN 109314123 A KR 10-2019-0024895 A	
JP	2018-117156	A	26.07.2018	(ファミリーなし)	
WO	2012/117931	A1	07.09.2012	US 2014/0054662 A1 [0135]-[0140], FIG. 15 CN 103403869 A KR 10-2014-0015326 A CN 105405856 A	