

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6139130号
(P6139130)

(45) 発行日 平成29年5月31日 (2017.5.31)

(24) 登録日 平成29年5月12日 (2017.5.12)

(51) Int.Cl.	F I
H03K 17/16 (2006.01)	H03K 17/16 H
H03K 17/687 (2006.01)	H03K 17/687

請求項の数 2 (全 15 頁)

(21) 出願番号	特願2012-285019 (P2012-285019)	(73) 特許権者	000006895
(22) 出願日	平成24年12月27日 (2012.12.27)		矢崎総業株式会社
(65) 公開番号	特開2014-127953 (P2014-127953A)		東京都港区三田1丁目4番28号
(43) 公開日	平成26年7月7日 (2014.7.7)	(74) 代理人	100083806
審査請求日	平成27年11月19日 (2015.11.19)		弁理士 三好 秀和
		(74) 代理人	100100712
			弁理士 岩▲崎▼ 幸邦
		(74) 代理人	100101247
			弁理士 高橋 俊一
		(74) 代理人	100095500
			弁理士 伊藤 正和
		(74) 代理人	100098327
			弁理士 高松 俊雄

最終頁に続く

(54) 【発明の名称】 電磁誘導負荷の制御装置

(57) 【特許請求の範囲】

【請求項 1】

電源からの電力が供給される電磁誘導負荷とアース間に接続されたPWM制御用スイッチング素子をオンオフ制御することで、前記電磁誘導負荷に対する電力供給をPWM制御する装置において、

前記PWM制御用スイッチング素子と並列に前記電磁誘導負荷とアース間に接続され、前記PWM制御用スイッチング素子のオフ期間に前記電磁誘導負荷からアースに放電される回生電流が順次流れる、該回生電流の流れる方向における上流側のサージ電圧吸収用抵抗及び下流側の回生電流検出用抵抗の直列回路と、

前記PWM制御用スイッチング素子と並列に前記電磁誘導負荷とアース間に接続され、前記直列回路の少なくとも前記サージ電圧吸収用抵抗を通過した前記回生電流がアースに向けて流れる箇所に直列に接続される回生電流制御用スイッチング素子と、

前記電磁誘導負荷に対する電力供給中に前記回生電流制御用スイッチング素子をオンさせ、前記電磁誘導負荷に対する電力供給の終了に伴い前記回生電流制御用スイッチング素子をオフさせるドライブ手段と、

を備えることを特徴とする電磁誘導負荷の制御装置。

【請求項 2】

前記電磁誘導負荷はリレーコイルであり、前記ドライブ手段は、前記電磁誘導負荷に対する電力供給の開始によりリレーがオンされる際の前記PWM制御用スイッチング素子のDC駆動によるオン期間に同期して、前記回生電流制御用スイッチング素子をオンさせる

10

20

と共に、前記電磁誘導負荷に対する電力供給の終了により前記リレーがオフされる際の前記PWM制御用スイッチング素子のオフに同期して、前記回生電流制御用スイッチング素子をオフさせることを特徴とする請求項1記載の電磁誘導負荷の制御装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、リレーコイルや電磁クラッチ等の電磁誘導負荷を制御する装置に関する。

【背景技術】

【0002】

リレーコイルや電磁クラッチ等の電磁誘導負荷に対する電源からの電力供給においては、消費電力や発熱を低減する目的でPWM制御が用いられる。そして、電源から電磁誘導負荷への電力供給がオフされるPWM制御の通電オフ期間には、回生電流が電磁誘導負荷を流れる。この回生電流が、電磁誘導負荷の駆動に必要な電流の最低値を割り込む前に、PWM制御の通電オフを通電オンに切り替えて電源から電磁誘導負荷に対する電力供給を再開することで、電磁誘導負荷の駆動を維持しつつ消費電力や発熱の低減を図ることができる。

10

【0003】

上述のようなPWM制御を行う際には、電源から電磁誘導負荷に対する電力供給をオフからオンに切り替える適切なタイミングを決定するために、電磁誘導負荷を流れる回生電流値の検出が欠かせない。そして、本発明者らは、ダイオードを介してシャント抵抗に回生電流を流れさせてシャント抵抗の両端の電位差から回生電流値を検出し、これに基づいてPWM制御の通電オンを制御するようにした電磁誘導負荷の制御装置を、過去に提案している。

20

【0004】

この提案に係る制御装置では、ダイオードのアノード側の電位が電源の電位よりも高くなるので、シャント抵抗の両端に電圧降下用のドロップ回路をそれぞれ設けて、シャント抵抗の両端電位差の検出部分を高電位から保護するようにしている（例えば、特許文献1）。

【先行技術文献】

【特許文献】

30

【0005】

【特許文献1】特開2011-188226号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

上述した提案の制御装置では、PWM制御による電源から電磁誘導負荷に対する電力供給のオンオフに遅れなく追従して、シャント抵抗を流れる電流の経路が切り替わるように、ダイオードとして逆回復時間（リカバリー時間）の短い高速ダイオードを用いる必要がある。また、電流検出回路には電源電圧以上の電圧が入力されるため、高電圧からの保護を目的として入力電圧を電源電圧以下にするドロップ回路を設ける必要もある。これらの要素は装置のコストを高騰させる原因となる。

40

【0007】

また、上述した提案の制御装置において、電源からの電力供給のオフに伴い電磁誘導負荷の駆動を高速でオフさせる必要がある場合は、電源からの電力供給のオフと同時に、高速ダイオードと直列に接続したスイッチング素子をオフさせて、電磁誘導負荷から高速ダイオード及びシャント抵抗を経由して電磁誘導負荷に戻る回生電流の経路を開放することが望ましい。

【0008】

上述した提案の制御装置において、PWM制御のオフ期間中のコイル電流は、PWM制御のオン期間にリレーコイルに蓄えられたエネルギーによる回生電流であり、高速ダイオ

50

ードとスイッチング素子を経てリレーコイルに供給される。したがって、PWM制御のオフ期間には電源からの電流がリレーコイルに供給されず、電源からリレーコイルに供給される電流はパルス状となる。このようなパルス状の電流には高周波成分が含まれ、ノイズの発生要因となる。そのため、電源周りのEMI（電磁気妨害）について対策を講じる必要性が新たに生じる。

【0009】

本発明は前記事情に鑑みなされたもので、本発明の目的は、電磁誘導負荷を流れる回生電流の検出を簡易な構成で可能とし、電磁誘導負荷のPWM制御による駆動中のノイズ発生を抑制することができる電磁誘導負荷の制御装置を提供することにある。

【課題を解決するための手段】

10

【0010】

前記目的を達成するために、請求項1に記載した本発明の電磁誘導負荷の制御装置は、電源からの電力が供給される電磁誘導負荷とアース間に接続されたPWM制御用スイッチング素子をオンオフ制御することで、前記電磁誘導負荷に対する電力供給をPWM制御する装置において、

前記PWM制御用スイッチング素子と並列に前記電磁誘導負荷とアース間に接続され、前記PWM制御用スイッチング素子のオフ期間に前記電磁誘導負荷からアースに放電される回生電流が順次流れる、該回生電流の流れる方向における上流側の高インピーダンスのサージ電圧吸収用抵抗及び下流側の低インピーダンスの回生電流検出用抵抗の直列回路と

20

、前記PWM制御用スイッチング素子と並列に前記電磁誘導負荷とアース間に接続され、前記直列回路の少なくとも前記サージ電圧吸収用抵抗を通過した前記回生電流がアースに向けて流れる箇所に直列に接続される回生電流制御用スイッチング素子と、

前記電磁誘導負荷に対する電力供給中に前記回生電流制御用スイッチング素子をオンさせ、前記電磁誘導負荷に対する電力供給の終了に伴い前記回生電流制御用スイッチング素子をオフさせるドライブ手段と、

を備えることを特徴とする。

【0011】

請求項1に記載した本発明の電磁誘導負荷の制御装置によれば、電磁誘導負荷のPWM制御中には、PWM制御用スイッチング素子のオフと回生電流制御用スイッチング素子のオンに伴い、電磁誘導負荷から出力される回生電流が、サージ電圧吸収用抵抗と回生電流検出用抵抗の直列回路を経てアースに流れる。

30

【0012】

そして、サージ電圧吸収用抵抗における電圧降下により、回生電流検出用抵抗側に印加される電圧がサージ電圧よりも大幅に下げられる。したがって、回生電流検出用抵抗の両端電位差に基づいて回生電流値を検出する回路素子が高電圧で損傷することが防止される。

【0013】

また、PWM制御中の、回生電流が発生しないPWM制御用スイッチング素子のオン期間中には、回生電流が流れる直列回路に、電磁誘導負荷に対する電力供給に伴う電流が流入しない。また、回生電流が流れる直列回路は、電磁誘導負荷のローサイドに接続されているので、回生電流制御用スイッチング素子がオンされると接地電位となる。したがって、回生電流制御用スイッチング素子がオンされてもこれに短絡電流が流れることはない。このため、逆回復時間の短い高速ダイオードを直列回路に設ける必要がない。

40

【0014】

このため、電磁誘導負荷を流れる回生電流を、アースに接続されるサージ電圧吸収用抵抗と回生電流検出用抵抗の直列回路という簡易な構成でアースに流すことができる。これにより、電流検出回路に入力される電圧は電源電圧以下となり入力電圧を電源電圧以下にするドロップ回路も必要なくなるため、誘導負荷の回路を安価に構成できる。

50

【0015】

また、請求項2に記載した本発明の電磁誘導負荷の制御装置は、請求項1に記載した本発明の電磁誘導負荷の制御装置において、前記電磁誘導負荷はリレーコイルであり、前記ドライブ手段は、前記電磁誘導負荷に対する電力供給の開始によりリレーがオンされる際の前記PWM制御用スイッチング素子のDC駆動によるオン期間に同期して、前記回生電流制御用スイッチング素子をオンさせると共に、前記電磁誘導負荷に対する電力供給の終了により前記リレーがオフされる際の前記PWM制御用スイッチング素子のオフに同期して、前記回生電流制御用スイッチング素子をオフさせることを特徴とする。

【0016】

請求項2に記載した本発明の電磁誘導負荷の制御装置によれば、請求項1に記載した本発明の電磁誘導負荷の制御装置において、電源からリレーコイルに対する電力供給をオフすると同時に回生電流制御用スイッチング素子をオフさせると、リレーコイルからサージ電圧吸収用抵抗及び回生電流検出用抵抗を経る回生電流の経路が開放されて、リレーが高速でオフされる。

【0017】

ここで、PWM制御中のリレーコイルからの回生電流は、サージ電圧吸収用抵抗及び回生電流検出用抵抗の直列回路を経てアースに流れ、充電電流となって電源に流れ込むことはない。そのため、PWM制御のオフ期間中でも、電源の放電はリレーコイルからの回生電流によって妨げられず、放電電流がほぼ一定に保たれる。したがって、電源の放電電流がノイズの発生要因となる高周波成分を含むように変動することが防止される。

【0018】

よって、電源の放電電流がパルス状になり高周波成分を含むようになって、電源周りのEMI（電磁気妨害）について対策を講じる必要性が生じるのを、防ぐことができる。

【発明の効果】

【0019】

本発明によれば、電磁誘導負荷を流れる回生電流の検出を簡易な構成で可能とし、電磁誘導負荷のPWM制御による駆動中のノイズ発生を抑制することができる。

【図面の簡単な説明】

【0020】

【図1】本発明の一実施形態に係るスイッチング装置の原理的な構成を示す回路図である。

【図2】本発明の一実施形態の変形例に係るスイッチング装置の原理的な構成を示す回路図である。

【図3】（a）～（g）は図1のスイッチング装置の各所における電位や電流、信号の状態を示すタイミングチャートである。

【図4】図1のスイッチング装置の各所における消費電力に関する説明図である。

【図5】PWM制御のオンデューティ期間における図1のリレー駆動回路の消費電力を計算する区間を示す説明図である。

【発明を実施するための形態】

【0021】

以下、本発明の実施形態について図面を参照して説明する。図1は本発明の一実施形態に係るリレー制御装置の原理的な構成を示す回路図である。

【0022】

本実施形態のリレー制御装置1（請求項中の電磁誘導負荷の制御装置に相当）は、例えば、車両のバッテリー等の電源Bから走行系や灯火系等の負荷（図示せず）に対する電力の供給をオンオフするリレー5のリレー接点5aを開閉させるリレーコイル5b（請求項中の電磁誘導負荷に相当）の通電制御に使用される。

【0023】

そして、本実施形態のリレー制御装置1は、リレーコイル5bの通電をオンオフさせるNチャンネル型の第1MOSFET（電界効果トランジスタ）FET1（請求項中のPWM

10

20

30

40

50

制御用スイッチング素子に相当)と、コイルエネルギー吸収回路7と、リレー駆動回路9と、スイッチ駆動回路11と、電流検出回路13とを有している。

【0024】

コイルエネルギー吸収回路7は、後述するリレー駆動回路9のPWM制御による通電オフ期間中にリレーコイル5bが発生する回生電流を、アースに向けて流れさせる経路を構成する回路であり、リレー5のローサイドに接続される。

【0025】

このコイルエネルギー吸収回路7は、回生電流の経路上でリレー接点5aのオンオフに同期してオンオフするNチャンネル型の第2MOSFET(電界効果トランジスタ)FET2(請求項中の回生電流制御用スイッチング素子に相当)と、回生電流の発生当初に生じるサージ電圧を電圧降下させてFET2を保護するコイルサージ吸収用抵抗Rsup(請求項中のサージ電圧吸収用抵抗に相当)と、リレーコイル5bを流れる電流Icoilを監視するためにシャント抵抗として用いられる電流検出抵抗Rsens(請求項中の回生電流検出用抵抗に相当)との直列回路で構成されている。

10

【0026】

コイルサージ吸収用抵抗RsupはFET2のドレインに接続され、FET2のソースに電流検出抵抗Rsensの一端が接続される。電流検出抵抗Rsensの他端は接地されている。

【0027】

リレー駆動回路9は、FET1のスイッチングを通じて、リレーコイル5bに対する通電を制御する回路である。リレー駆動回路9には、不図示のコントローラからリレー5をオン(駆動)させるリレーON信号とオフ(停止)させるリレーOFF信号とが入力される。

20

【0028】

また、リレー駆動回路9には、後述する電流検出回路13からの電流検出信号が入力される。この電流検出信号は、リレーコイル5bを流れる電流Icoilがリレー接点5aをオンに維持するのに必要な最低駆動電流まで低下した際に電流検出回路13が出力するものである。そして、リレー駆動回路9は、Pull-in回路9aとPWM生成部9bとを有している。

【0029】

Pull-in回路9aは、不図示のコントローラからリレーON信号が入力されると、FET1をオンさせるDC駆動信号(Pull-in)をFET1のゲートに一定期間出力する。DC駆動信号(Pull-in)を出力する一定期間は、リレーコイル5bへの通電開始によりリレー接点5aが閉成するのに十分な時間に設定される。

30

【0030】

PWM生成部9bは、電流検出回路13から電流検出信号が入力されると、FET1をオンさせるPWM制御のオンデューティに応じた期間、FET1をオンさせるPWM駆動信号をFET1のゲートに出力する。

【0031】

スイッチ駆動回路11(請求項中のドライブ手段に相当)には、FET2のスイッチングを通じて、リレーコイル5bの回生電流をコイルエネルギー吸収回路7に流れさせるのを制御する回路である。スイッチ駆動回路11には、不図示のコントローラからリレーON信号とリレーOFF信号とが入力される。

40

【0032】

リレーON信号が入力されるとスイッチ駆動回路11は、コイルエネルギー吸収回路7のFET2をオンさせる吸収回路オン信号のFET2のゲートに対する出力を開始する。リレーOFF信号が入力されるとスイッチ駆動回路11は、吸収回路オン信号のFET2のゲートに対する出力を終了する。

【0033】

電流検出回路13はコンパレータで構成されており、電流検出回路13の非反転入力端

50

子には基準電位 V_{ref} が入力され、反転入力端子には、コイルエネルギー吸収回路 7 における FET 2 のソースと電流検出抵抗 R_{sens} との接続点に現れる電位 V_{sens} が入力される。この電位 V_{sens} は、接地電位を基準とした電流検出抵抗 R_{sens} の電位となる。そして、電流検出抵抗 R_{sens} の電位 V_{sens} が基準電位 V_{ref} 以下となった場合に、電流検出回路 13 は電流検出信号を出力する。

【0034】

なお、基準電位 V_{ref} の値は、リレーコイル 5b を流れる電流 I_{coil} がリレー接点 5a をオンさせる最低駆動電流 I_{set} であるときの、電流検出抵抗 R_{sens} の電位 $V_{sens} (= I_{set} \times R_{sens})$ に設定される。したがって、リレーコイル 5b の電流 I_{coil} が最低駆動電流 I_{set} 以下であると、電流検出回路 13 から電流検出信号が出力される。

10

【0035】

ちなみに、リレー接点 5a のオンからオフへの切り替わりに伴い発生するサージ電圧によって、コイルサージ吸収用抵抗 R_{sup} のアース側の電位は電源電圧 V_B よりも高くなる。そこで、本実施形態では、ゲートソース間の電位差に応じた電流がドレインソース間を流れる FET 2 を、コイルサージ吸収用抵抗 R_{sup} と電流検出抵抗 R_{sens} との間に接続している。これにより、FET 2 のソースと電流検出抵抗 R_{sens} との接続点に反転入力端子を接続した電流検出回路 13 を、高電圧から保護している。

【0036】

但し、電源電圧 V_B を上回る高電圧に対する十分な耐性が電流検出回路 13 にある場合は、図 2 の回路図に示すように、コイルサージ吸収用抵抗 R_{sup} に電流検出抵抗 R_{sens} を接続し、FET 2 を電流検出抵抗 R_{sens} とアースの間に接続してもよい。

20

【0037】

次に、図 1 のように構成された本実施形態のリレー制御装置 1 の動作（作用）を、図 3 (a) ~ (g) のタイミングチャートに示すリレー制御装置 1 の各所における電位や電流、信号の状態を参照して説明する。

【0038】

まず、不図示の負荷に対する電源 B からの電力供給を開始するのに伴って、図 3 (a) に示すリレー ON 信号の入力が開始されると、リレー駆動回路 9 の Pull-in 回路 9a により DC 駆動信号 (Pull-in) が、一定期間 (図 3 中の (1) の期間) 出力される。これにより、FET 1 がオンし、リレーコイル 5b への通電が一定期間行われて、リレー接点 5a が確実に閉成される。

30

【0039】

また、リレー ON 信号の入力が開始されると、スイッチ駆動回路 11 による吸収回路オン信号の出力が開始される。これにより、FET 2 がオンされる。

【0040】

そして、FET 1 及び FET 2 が共にオンされる図 3 中の (1) の期間においては、リレーコイル 5b から FET 1 を経てアースに至る回路と、リレーコイル 5b からコイルエネルギー吸収回路 7 を経てアースに至る回路との並列回路が形成される。但し、コイルエネルギー吸収回路 7 (のコイルサージ吸収用抵抗 R_{sup}) が高インピーダンスであることから、電源 B の放電電流 I_B はほとんどリレーコイル 5b から FET 1 を経てアースに流れることになる。

40

【0041】

したがって、図 3 中の (1) の期間においては、図 1 に示すリレーコイル 5b と FET 1 のドレインとの接続点の電位 V_L が、図 3 (b) に示すように、電源電圧 V_B から接地電位 (GND) に低下する。

【0042】

また、Pull-in 回路 9a による DC 駆動信号の出力中には、図 3 (c) に示す電源 B の放電電流 I_B が 0 A から徐々に上昇する。このため、リレーコイル 5b を流れる電流 I_{coil} と FET 1 のドレインソース間を流れる電流 I_{FET1} も、図 3 (d) ,

50

(e) に示すように、放電電流 I_B と同じく 0 A から徐々に上昇する。

【0043】

DC 駆動信号の出力開始から一定期間が経過して DC 駆動信号の出力が終了すると、FET1 がオフされる (図 3 中の (2) の期間)。すると、FET1 のオフによりリレーコイル 5b に発生するサージ電圧によって、リレーコイル 5b と FET1 のドレインとの接続点の電位 V_L が、図 3 (b) に示すように、電源電圧 V_B よりも高い電位に上がる。

【0044】

そして、DC 駆動信号の出力終了後は、リレーコイル 5b からコイルエネルギー吸収回路 7 を経てアースに回生電流が流れるようになる。この回生電流は、DC 駆動信号の出力終了からの時間経過に伴い徐々に減少する (図 3 中の (2) の期間)。このため、図 3 (c), (e), (f) に示す、電源 B の放電電流 I_B 、FET1 のドレインソース間を流れる電流 I_{FET1} 、コイルエネルギー吸収回路 7 のコイルサージ吸収用抵抗 R_{sup} を流れる電流 I_{sup} は、いずれも、回生電流の減少に伴い徐々に減少する。

【0045】

そして、図 3 (d) に示すリレーコイル 5b を流れる電流 I_{coil} が最低駆動電流 I_{set} まで低下して、図 3 (g) に示す電流検出抵抗 R_{sens} の電位 V_{sens} が基準電位 V_{ref} ($= I_{set} \times R_{sens}$) まで低下すると、リレー駆動回路 9 の PWM 生成部 9b により PWM 駆動信号が、PWM 制御のオンデューティに応じた期間 (図 3 中の (3) の期間) 出力される。

【0046】

なお、図 3 を含む各図面では、乗算記号 ($\times$) を「* (アスタリスク)」に置き換えて表記している。

【0047】

そして、図 3 中の (3) の期間においては、FET1 及び FET2 が共にオンされて、リレーコイル 5b から FET1 を経てアースに至る回路と、リレーコイル 5b からコイルエネルギー吸収回路 7 を経てアースに至る回路との並列回路が形成される。但し、コイルエネルギー吸収回路 7 (のコイルサージ吸収用抵抗 R_{sup}) が高インピーダンスであることから、電源 B の放電電流 I_B はほとんどリレーコイル 5b から FET1 を経てアースに流れることになる。

【0048】

したがって、図 3 中の (3) の期間においては、図 1 に示すリレーコイル 5b と FET1 のドレインとの接続点の電位 V_L が、図 3 (b) に示すように、電源電圧 V_B よりも高い電位から接地電位 (GND) に低下する。

【0049】

また、PWM 生成部 9b による PWM 駆動信号の出力中 (PWM 制御のオンデューティ期間) には、図 3 (c) に示す電源 B の放電電流 I_B が、リレーコイル 5b を流れる電流 I_{coil} が最低駆動電流 I_{set} であるときの電流値から徐々に上昇する。このため、リレーコイル 5b を流れる電流 I_{coil} が、図 3 (d) に示すように、最低駆動電流 I_{set} から徐々に上昇する。同じく、FET1 のドレインソース間を流れる電流 I_{FET1} も、図 3 (e) に示すように、リレーコイル 5b を流れる電流 I_{coil} が最低駆動電流 I_{set} であるときの電流値から徐々に上昇する。

【0050】

PWM 駆動信号の出力開始から一定期間が経過して PWM 駆動信号の出力 (PWM 制御のオンデューティ期間) が終了すると、FET1 がオフされる (図 3 中の (4) の期間)。すると、FET1 のオフによりリレーコイル 5b に発生するサージ電圧によって、リレーコイル 5b と FET1 のドレインとの接続点の電位 V_L が、図 3 (b) に示すように、電源電圧 V_B よりも高い電位に上がる。

【0051】

また、PWM 駆動信号の出力終了後は、リレーコイル 5b からコイルエネルギー吸収回路 7 を経てアースに回生電流が流れるようになる。この回生電流は、PWM 駆動信号の出

10

20

30

40

50

力終了からの時間経過に伴い徐々に減少する（図3中の（4）の期間）。このため、図3（c）、（e）、（f）に示す、電源Bの放電電流 I_B 、FET1のドレインソース間を流れる電流 I_{FET1} 、コイルエネルギー吸収回路7のコイルサージ吸収用抵抗 R_{sup} を流れる電流 I_{sup} は、いずれも、回生電流の減少に伴い徐々に減少する。

【0052】

そして、図3（d）に示すリレーコイル5bを流れる電流 I_{coil} が最低駆動電流 I_{set} まで低下して、図3（g）に示す電流検出抵抗 R_{sens} の電位 V_{sens} が基準電位 V_{ref} まで低下すると、リレー駆動回路9のPWM生成部9bによりPWM駆動信号が、PWM制御のオンデューティに応じた期間（図3中の（3）の期間）、再び出力される。そして、図3中の（3）の期間と（4）の期間の動作が繰り返される。

10

【0053】

なお、不図示の負荷に対する電源Bからの電力供給の終了に伴い、図3（a）に示すように、リレーON信号の入力が終了されると、リレー駆動回路9のPWM生成部9bによるPWM駆動信号の出力と、スイッチ駆動回路11による吸収回路オン信号の出力とがいずれも終了され、FET1及びFET2がいずれもオフされる。

【0054】

これに伴い、図1に示すリレーコイル5bとFET1のドレインとの接続点の電位 V_L が、図3（b）に示すように、サージ電圧に一旦上昇した後に電源電圧 V_B に下がって安定する。また、図3（c）～（f）に示す、電源Bの放電電流 I_B 、リレーコイル5bを流れる電流 I_{coil} 、FET1のドレインソース間を流れる電流 I_{FET1} 、コイルエネルギー吸収回路7のコイルサージ吸収用抵抗 R_{sup} を流れる電流 I_{sup} が、いずれも0Aとなる。さらに、図3（g）に示す電流検出抵抗 R_{sens} の電位 V_{sens} は接地電位となる（以上、図3中の（5）の期間）。

20

【0055】

次に、上述した本実施形態のリレー制御装置1の消費電力について、図4の説明図を参照して説明する。

【0056】

リレー制御装置1において電力を消費するのは、専ら、リレーコイル5b、コイルエネルギー吸収回路7、FET1である。特に、リレーコイル5bとコイルエネルギー吸収回路7は、PWM制御のオフデューティ期間においても電力を消費する。そこで、各電力消費要素別に消費電力を説明する。

30

【0057】

（リレーコイル5bの消費電力）

リレーコイル5bの消費電力 P_{coil} は、

$$P_{coil} = I_{coil}^2 * R_{coil}$$
 となる。

【0058】

（コイルエネルギー吸収回路7の消費電力）

コイルエネルギー吸収回路7は、回生電流が流れるPWM制御のオフデューティ期間（ $= 1 - ON_Duty$ ）に、

40

$$P_{absorb} = P_{sup} + P_{FET2} + P_{sens}$$

の電力を消費する。そして、PWM制御のオフデューティ期間では、リレーコイル5bを流れる電流 I_{coil} とコイルサージ吸収用抵抗 R_{sup} を流れる電流 I_{sup} とが等しいので、

$$P_{sup} = I_{sup}^2 * R_{sup} * (1 - ON_Duty)$$

$$= I_{coil}^2 * R_{sup} * (1 - ON_Duty)$$

$$P_{FET2} = I_{sup}^2 * R_{FET2} * (1 - ON_Duty)$$

$$= I_{coil}^2 * R_{FET2} * (1 - ON_Duty)$$

$$P_{sens} = I_{sup}^2 * R_{sens} * (1 - ON_Duty)$$

$$= I_{coil}^2 * R_{sens} * (1 - ON_Duty)$$

50

となる。

【0059】

(FET1の消費電力)

FET1は、PWM制御のオンデューティ期間(=ON_Duty)に、

$$PFET1 = P_{t1} + P_{t2} + P_{t3}$$

の電力を消費する。ここで、 $t_1 \sim t_3$ は、PWM制御のオンデューティ期間を時系列に連続する3つの区間に区切った各区間を示す。

【0060】

図5の説明図に示すように、PWM制御のオンデューティ期間には、FET1のドレインソース間を流れる電流 I_{FET1} が、0Aとリレーコイル5bを流れる電流 I_{coil1} との間で矩形波状に変化する。

10

【0061】

一方、図1に示すリレーコイル5bとFET1のドレインとの接続点の電位 V_L は、PWM制御のオフデューティ期間からオンデューティ期間への移行から t_1 の区間では、PWM制御のオフデューティ期間の電位 $V_L_PWM_OFF$ から、PWM制御のオンデューティ期間の電位に減少する。

【0062】

また、区間 t_1 に続く t_2 の区間では、接続点の電位 V_L は一定となり、それに続く、PWM制御のオンデューティ期間からオフデューティ期間への移行までの t_3 の区間では、接続点の電位 V_L は増加する。そこで、各区間 $t_1 \sim t_3$ 別にリレー駆動回路9の消費電力を計算する。

20

【0063】

(区間 t_1 におけるFET1の消費電力)

区間 t_1 では、接続点の電位 V_L が、PWM制御のオフデューティ期間の電位 $V_L_PWM_OFF$ から、PWM制御のオンデューティ期間の電位に減少する。ここで、PWM制御のオンデューティ期間の電位は、

$$I_{FET1} \times R_{FET1} \quad (FET1のオン抵抗)$$

で表すことができる。

【0064】

したがって、区間 t_1 におけるFET1の消費電力 P_{t1} は、PWM制御のオフデューティ期間とオンデューティ期間との電位差に、FET1を流れる電流 I_{FET1} を乗じた値の半分に、PWM制御の周期 T に対する区間 t_1 の占める割合(t_1/T)をさらに乗じた、

30

$$P_{t1} = 0.5 \times I_{FET1} \times (V_L_PWM_OFF - I_{FET1} \times R_{FET1}) \times (t_1/T) \quad \text{但し、} t_1 \ll T$$

の式によって求められる。

【0065】

そして、PWM制御のオンデューティ期間では、FET1のドレインソース間を流れる電流 I_{FET1} が、リレーコイル5bを流れる電流 I_{coil1} と等しくなる。また、PWM制御のオフデューティ期間の電位 $V_L_PWM_OFF$ は、リレーコイル5bを流れる電流 I_{coil1} と、スイッチ駆動回路11の抵抗値(= $R_{sup} + R_{FET2} + R_{sens}$)とで決まる。

40

【0066】

このため、区間 t_1 におけるFET1の消費電力 P_{t1} は、

$$P_{t1} = 0.5 \times I_{coil1}^2 \times (R_{sup} + R_{FET2} + R_{sens} - R_{FET1}) \times (t_1/T) \quad \text{但し、} t_1 \ll T \cdots \text{式(a)}$$

となる。

【0067】

なお、PWM制御のオンデューティ期間(図3の(3)の期間)において、リレーコイル5bを流れる電流 I_{coil1} は、図3(d)に示すように増加する。しかし、ここでは

50

、区間 t_1 における FET1 の消費電力 P_{t1} の計算を簡略にするために、PWM制御のオンデューティ期間におけるリレーコイル 5b を流れる電流 I_{coil} が一定であるものとする。

【0068】

また、PWM制御のオフデューティ期間（図3の（2）、（4）の期間）において、リレーコイル 5b と FET1 のドレインとの接続点の電位 $V_{L_PWM_OFF}$ は、図3（b）に示すように減少する。しかし、ここでは、区間 t_1 における FET1 の消費電力 P_{t1} の計算を簡略にするために、PWM制御のオフデューティ期間における接続点の電位 $V_{L_PWM_OFF}$ が一定であるものとする。

【0069】

以上に説明した、PWM制御のオンデューティ期間におけるリレーコイル 5b を流れる電流 I_{coil} と、PWM制御のオフデューティ期間における接続点の電位 $V_{L_PWM_OFF}$ とを、それぞれ一定であるものとすることは、後述する区間 t_2 、 t_3 における FET1 の消費電力 P_{t2} 、 P_{t3} の計算に際しても、同様とする。

【0070】

（区間 t_2 における FET1 の消費電力）

次に、区間 t_2 における FET1 の消費電力 P_{t2} は、PWM制御のオンデューティ期間に FET1 のドレインソース間を流れる電流 I_{FET1} と、FET1 のオン抵抗 R_{FET1} と、PWM制御の周期 T に対する区間 t_2 の占める割合（ t_2/T ）により、

$$\begin{aligned} P_{t2} &= 0.5 * I_{FET1}^2 * R_{FET1} * (t_2/T) && \text{但し、} t_2 \ll T \\ &= 0.5 * I_{coil}^2 * R_{FET1} * (t_2/T) && \text{但し、} t_2 \ll T \end{aligned}$$

・・・式（b）

（ $\because$ PWM制御のオンデューティ期間において、 $I_{FET1} = I_{coil}$ ）
の式によって求められる。

【0071】

（区間 t_3 における FET1 の消費電力）

区間 t_3 では、区間 t_1 とは反対に、接続点の電位 V_L が、PWM制御のオンデューティ期間の電位 $I_{FET1} * R_{FET1}$ （ $= I_{coil} * R_{FET1}$ ）から、PWM制御のオフデューティ期間の電位 $V_{L_PWM_OFF}$ に増加する。

【0072】

このため、区間 t_3 における FET1 の消費電力 P_{t3} は、区間 t_1 におけるリレー駆動回路 9 の消費電力 P_{t1} と同様にして、

$$P_{t3} = 0.5 * I_{coil}^2 * (R_{sup} + R_{FET2} + R_{sens} - R_{FET1}) * (t_3/T) \quad \text{但し、} t_3 \ll T \quad \text{・・・式（c）}$$

の式によって求められる。

【0073】

そして、式（1）～（3）における FET1 や FET2 のオン抵抗 R_{FET1} 、 R_{FET2} はいずれも、コイルエネルギー吸収回路 7 のコイルサージ吸収用抵抗 R_{sup} や電流検出抵抗 R_{sens} に比べて遙かに低い。したがって、リレー制御装置 1 においては、コイルサージ吸収用抵抗 R_{sup} と電流検出抵抗 R_{sens} が大半の電力を消費する。

【0074】

以上に説明したように、本実施形態のリレー制御装置 1 によれば、リレーコイル 5b からの回生電流が、リレーコイル 5b のローサイドに接続されたコイルエネルギー吸収回路 7 を経てアースに向けて流れる構成とした。そして、コイルエネルギー吸収回路 7 のコイルサージ吸収用抵抗 R_{sup} よりもアース側に、シャント抵抗である電流検出抵抗 R_{sens} を接続し、その電位 V_{sens} を電流検出回路 13 で基準電位 V_{ref} と比較する構成とした。さらに、電流検出回路 13 の比較結果に基づいて、リレーコイル 5b を流れる電流 I_{coil} が最低駆動電流 I_{set} 以下となる前に、PWM制御のオフデューティ期間を終了させる構成とした。

【0075】

10

20

30

40

50

このため、回生電流発生時のサージ電圧が、コイルサージ吸収用抵抗 R_{sup} において電圧降下されてからシャント抵抗である電流検出抵抗 R_{sens} に印加されるようになる。よって、従来の制御装置のようなドロップ回路を設けなくても、電流検出抵抗 R_{sens} の一端（電位 V_{sens} ）が反転入力端子に入力される電流検出回路 13 を、電源 B の電圧を上回る高電圧から保護することができる。

【0076】

また、回生電流が流れるコイルエネルギー吸収回路 7 が、PWM 制御のオンデューティ期間にオンして電源からの放電経路となる FET 1 と区別して並列に設けられているので、FET 1 のオン中にリレーコイル 5b に蓄えられたエネルギーを FET 1 のオフ中に回生電流として放電させることができる。このため、従来の制御装置のように、高速ダイオードを不要にすることができ、電流検出抵抗 R_{sens} の電位 V_{sens} と基準電位 V_{ref} との比較を通じて、リレーコイル 5b を流れる電流 I_{coil} が最低駆動電流 I_{set} 以下とならないように回生電流を検出するための構成を、簡易なものとすることができる。

10

【0077】

さらに、電源 B は、回生電流がコイルエネルギー吸収回路 7 を流れる PWM 制御のオフデューティ期間にも放電を続けるので、回生電流（PWM 制御のオフデューティ期間にリレーコイル 5b を流れる電流 I_{coil} ）が、図 3（e）に示すように、パルス状に立ち上がったたり立ち下がったりする高周波成分を含まない。このため、電源 B からの放電電流による伝導ノイズ発生を抑制して、電源周りの EMI 対策を不要にすることができる。

20

【0078】

また、従来の制御装置のリレーコイル下流を高速ダイオードとスイッチング素子を介して電源に直列接続する場合は、電源に向かって高速ダイオードやスイッチング素子を回生電流が流れるので、スイッチング素子に FET を用いる場合は、そのソース電位は電源電圧よりも高電圧となる。そのため、ゲートソース間に電位差を与えてソースドレイン間に回生電流を流れさせるためには、逆バイアスの P チャネル FET を用いるか、それとも、N チャネルの FET のゲート電位をチャージポンプでバイアスする必要があり、装置コストが高騰化してしまう。

【0079】

これに対し、本実施形態のリレー制御装置 1 では、コイルエネルギー吸収回路 7 をリレーコイル 5b のローサイドに接続したことから、FET 2 のゲートソース間に電位差を与えて FET 2 に回生電流を流れさせるために、ゲート電圧を低いレンジに設定することができる。このため、FET 2 を安価な N チャネル FET で構成することができる。

30

【0080】

さらに、本実施形態のリレー制御装置 1 では、電力消費のほとんどがコイルサージ吸収用抵抗 R_{sup} と電流検出抵抗 R_{sens} とによるものとなり、コイルエネルギー吸収回路 7 の FET 2 の電力消費はわずかなものとなる。このため、FET 2 を安価な低電力対応品で構成することができる。

【0081】

一方、仮に、カレントミラー回路を用いてリレーコイルの電流を最低駆動電流以下にならないように制御すると、リレーコイルと直列接続してカレントミラー回路の一部を構成するトランジスタが、電源からの電力のうちリレーコイル 5b で消費される電力を除く全ての電力を消費することになる。したがって、リレーコイルの電流を PWM 制御により省電力制御するのに用いるスイッチング素子（トランジスタ）を低消費電力として、集積回路化を図ることができない。

40

【0082】

よって、上述したように FET 2 を低電力対応品で構成できる本実施形態のリレー制御装置 1 によれば、複数チャネルの FET 2 を集積化して集積回路として構成することが可能となり、装置の小型化を図ることができる。

【0083】

50

また、上述した実施形態では、リレーコイル 5 b を制御する際を例にとって説明したが、本発明は、電磁クラッチ等、通電により電磁誘導が発生する負荷を制御する際に広く適用可能である。

【産業上の利用可能性】

【0084】

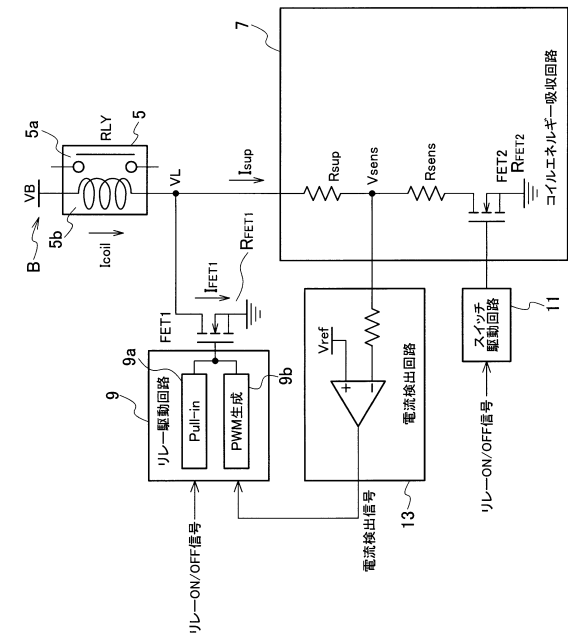
本発明は、リレーコイルや電磁クラッチ等の電磁誘導負荷を制御する際に用いて極めて有用である。

【符号の説明】

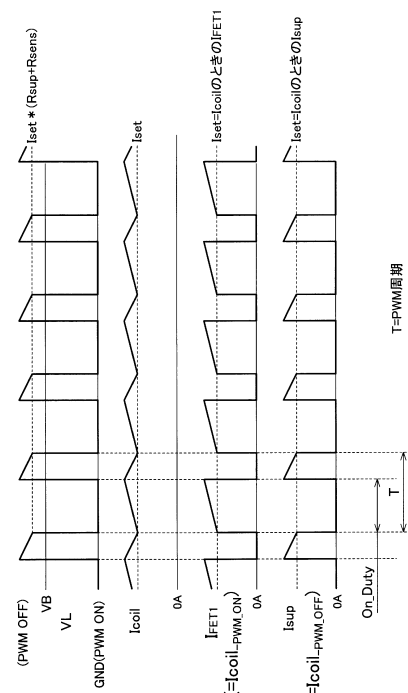
【0085】

1	リレー制御装置（電磁誘導負荷の制御装置）	10
5	リレー	
5 a	リレー接点	
5 b	リレーコイル（電磁誘導負荷）	
7	コイルエネルギー吸収回路	
9	リレー駆動回路	
9 a	P u l l - i n 回路	
9 b	P W M 生成部	
1 1	スイッチ駆動回路（ドライブ手段）	
1 3	電流検出回路	
B	電源	20
F E T 1	第 1 M O S F E T （P W M 制御用スイッチング素子）	
F E T 2	第 2 M O S F E T （回生電流制御用スイッチング素子）	
I B	放電電流	
I c o i l	リレーコイルを流れる電流	
I s e t	最低駆動電流	
I s u p	コイルサージ吸収用抵抗を流れる電流	
R s e n s	電流検出抵抗（回生電流検出用抵抗）	
R s u p	コイルサージ吸収用抵抗（サージ電圧吸収用抵抗）	
T	周期	
V B	電源電圧	30
	リレーコイルと第 1 M O S F E T のドレインとの接続点の電位	
V r e f	基準電位	
V s e n s	電流検出抵抗の電位	

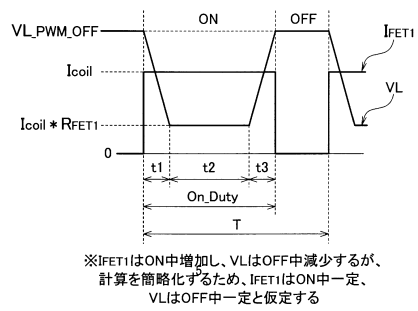
【図 2】



【图 4】



【図 5】



フロントページの続き

- (72)発明者 森本 充晃
静岡県裾野市御宿1500 矢崎総業株式会社内
(72)発明者 大石 英一郎
静岡県裾野市御宿1500 矢崎総業株式会社内

審査官 ▲高▼橋 義昭

- (56)参考文献 特開2011-188226 (JP, A)
特開平09-100938 (JP, A)
特開2000-223313 (JP, A)
特開2002-208849 (JP, A)
特開2001-132866 (JP, A)
特開2012-210135 (JP, A)
特開2004-335656 (JP, A)
特開平01-203667 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
H03K 17/16
H03K 17/687