(19) Deutsches Patent- und Markenamt

(10) **DE 11 2022 007 260 T5** 2025.03.13

(12) # Veröffentlichung

der internationalen Anmeldung mit der
(87) Veröffentlichungs-Nr.: **WO 2023/223590**
in der deutschen Übersetzung (Art. III § 8 Abs. 2 IntPatÜbkG)
(21) Deutsches Aktenzeichen: **11 2022 007 260.1**
(86) PCT-Aktenzeichen: **PCT/JP2022/046593**
(86) PCT-Anmeldetag: **19.12.2022**
(87) PCT-Veröffentlichungstag: **23.11.2023**
(43) Veröffentlichungstag der PCT Anmeldung in deutscher Übersetzung: **13.03.2025**

(51) Int Cl.: ***H10D 84/82*** (2025.01)

(30) Unionspriorität:
2022-082048 **19.05.2022** **JP**

(71) Anmelder:
SUMITOMO ELECTRIC INDUSTRIES, LTD., Osaka, JP

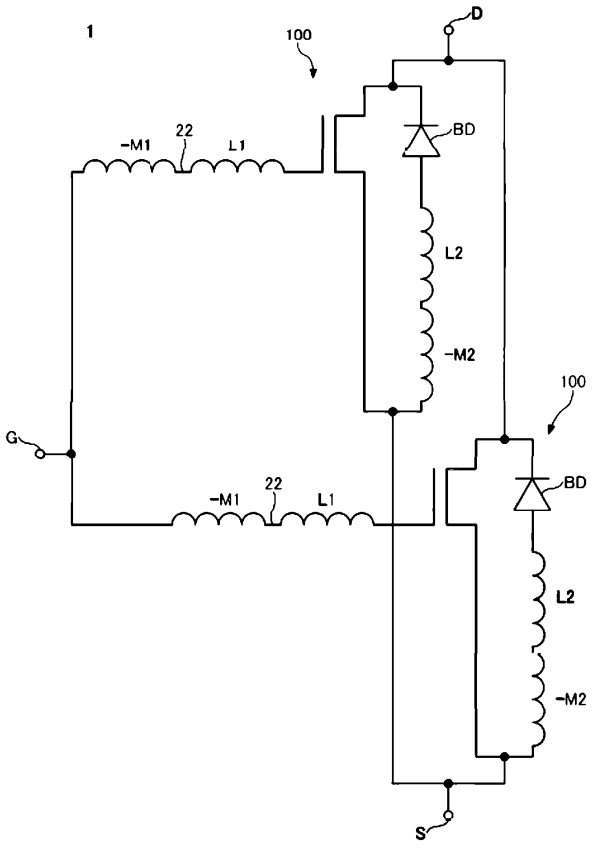
(74) Vertreter:
Grünecker Patent- und Rechtsanwälte PartG mbB, 80802 München, DE

(72) Erfinder:
Masuda, Takeyoshi, Osaka, JP

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.

(54) Bezeichnung: **Halbleiterchip**

(57) Zusammenfassung: Ein Halbleiterchip (1) umfasst eine Mehrzahl von Transistorzellen (100), die nebeneinander entlang einer ersten Richtung (Y) angeordnet sind. Die Transistorzellen umfassen eine Gate-Zwischenverbindung (22a, 22b), die sich entlang einer zweiten Richtung (X) orthogonal zur ersten Richtung erstreckt, und einen ersten Halbleiterbereich (17), der sich entlang der zweiten Richtung erstreckt und von einem ersten leitfähigen Typ ist. Die Gate-Zwischenverbindung ist so angeordnet, dass eine Gegeninduktivität, die zwischen der Gate-Zwischenverbindung von einer Transistorzelle aus den Transistorzellen und der Gate-Zwischenverbindung von einer anderen Transistorzelle aus den Transistorzellen erzeugt wird, einen negativen Wert aufweist, wobei die eine Transistorzelle und die andere Transistorzelle nebeneinander liegen. Der erste Halbleiterbereich ist so angeordnet, dass eine Gegeninduktivität, die zwischen dem ersten Halbleiterbereich von einer Transistorzelle aus den Transistorzellen und dem ersten Halbleiterbereich von einer anderen Transistorzelle aus den Transistorzellen erzeugt wird, einen negativen Wert aufweist, wobei die eine Transistorzelle und die andere Transistorzelle einander benachbart sind.



Beschreibung

[0001] Die vorliegende Erfindung bezieht sich auf Halbleiterchips.

Stand der Technik

[0002] Die vorliegende Anmeldung nimmt die Priorität der japanischen Patentanmeldung Nr. 2022-082048 in Anspruch, die am 19. Mai 2022 eingereicht wurde, und der gesamte Inhalt dieser japanischen Patentanmeldung wird hiermit durch Bezugnahme aufgenommen.

[0003] Es sind Halbleiterchips mit einer Mehrzahl von parallel angeordneten Transistorzellen bekannt (s. z.B. Patentliteratur 1).

Liste von Zitierungen

Patentliteratur

[0004] Patentliteratur 1: veröffentlichte japanische Patentanmeldung Nr. 2012-23291

Zusammenfassung der Erfindung

[0005] Ein Halbleiterchip der vorliegenden Erfindung umfasst eine Mehrzahl von Transistorzellen, die nebeneinander in einer ersten Richtung angeordnet sind. Die Transistorzellen umfassen: eine Gate-Zwischenverbindung, die sich entlang einer zweiten Richtung orthogonal zur ersten Richtung erstreckt; und einen ersten Halbleiterbereich, der sich entlang der zweiten Richtung erstreckt und von einem ersten leitfähigen Typ ist. Die Gate-Zwischenverbindung ist so angeordnet, dass eine Gegeninduktivität, die zwischen der Gate-Zwischenverbindung einer Transistorzelle der Transistorzellen und der Gate-Zwischenverbindung einer anderen Transistorzelle der Transistorzellen erzeugt wird, einen negativen Wert aufweist, wobei die eine Transistorzelle und die andere Transistorzelle nebeneinander liegen. Der erste Halbleiterbereich ist so angeordnet, dass eine Gegeninduktivität, die zwischen dem ersten Halbleiterbereich einer Transistorzelle der Transistorzellen und dem ersten Halbleiterbereich einer anderen Transistorzelle der Transistorzellen erzeugt wird, einen negativen Wert aufweist, wobei die eine Transistorzelle und die andere Transistorzelle nebeneinander liegen.

Kurze Beschreibung der Zeichnungen

Fig. 1 ist ein Schaltplan, der einen Halbleiterchip gemäß einer Ausführungsform zeigt.

Fig. 2 ist eine Draufsicht, die den Halbleiterchip gemäß der Ausführungsform zeigt.

Fig. 3 ist eine perspektivische Querschnittsansicht, die den Halbleiterchip gemäß der Ausführungsform zeigt.

Fig. 4 ist eine Querschnittsansicht, die Ausgestaltungen eines Entspannungsbereichs für ein elektrisches Feld und eines Verbindungsbereichs in dem Halbleiterchip gemäß der Ausführungsform zeigt.

Fig. 5 ist eine Querschnittsansicht, die Ausgestaltungen eines Kontaktbereichs und des Verbindungsbereichs im Halbleiterchip gemäß der Ausführungsform zeigt.

Fig. 6 ist eine Querschnittsansicht, die den Halbleiterchip gemäß der Ausführungsform (Teil 1) zeigt.

Fig. 7 ist eine Querschnittsansicht, die den Halbleiterchip gemäß der Ausführungsform (Teil 2) zeigt.

Fig. 8 ist eine Querschnittsansicht, die den Halbleiterchip gemäß der Ausführungsform (Teil 3) zeigt.

Fig. 9 ist eine Querschnittsansicht, die den Halbleiterchip gemäß der Ausführungsform (Teil 4) zeigt.

Fig. 10 ist eine Querschnittsansicht, die den Halbleiterchip gemäß der Ausführungsform (Teil 5) zeigt.

Detaillierte Beschreibung der Erfindung

[Durch die vorliegende Erfindung zu lösende Aufgaben]

[0006] In den existierenden Halbleiterchips fließt durch die p+ Körperschichten der nebeneinander liegenden Transistorzellen ein Strom mit gleicher Richtung. Daher kann sich die innere Induktivität der p+ Körperschichten aufgrund der zwischen den p+ Körperschichten nebeneinander erzeugten Gegeninduktivität erhöhen.

[0007] In den existierenden Halbleiterchips fließt ein Strom gleicher Richtung durch die Gate-Zwischenverbindungen von nebeneinander liegenden Transistorzellen. Daher kann sich die innere Induktivität der Gate-Zwischenverbindungen aufgrund der zwischen den nebeneinander liegenden Gate-Zwischenverbindungen erzeugten Gegeninduktivität erhöhen.

[0008] Es ist ein Ziel der vorliegenden Erfindung, einen Halbleiterchip bereitzustellen, bei dem die innere Induktivität reduziert werden kann.

[Effekte der vorliegenden Erfindung]

[0009] Gemäß der vorliegenden Erfindung ist es möglich, die innere Induktivität zu verringern.

[0010] Im Folgenden sind Ausführungsformen der vorliegenden Erfindung beschrieben.

[Beschreibung von Ausführungsformen der vorliegenden Erfindung]

[0011] Zunächst sind die Ausführungsformen der vorliegenden Erfindung aufgeführt und beschrieben. In der folgenden Beschreibung sind gleiche oder entsprechende Elemente mit den gleichen Symbolen versehen und es wird die gleiche Beschreibung nicht wiederholt.

[0012] [1] Ein Halbleiterchip gemäß einem Aspekt der vorliegenden Erfindung umfasst: eine Mehrzahl von Transistorzellen, die Seite an Seite entlang einer ersten Richtung angeordnet sind, wobei die Transistorzellen eine Gate-Zwischenverbindung, die sich entlang einer zweiten Richtung orthogonal zu der ersten Richtung erstreckt, und einen ersten Halbleiterbereich umfassen, der sich entlang der zweiten Richtung erstreckt und von einem ersten leitfähigen Typ ist, wobei die Gate-Zwischenverbindung so angeordnet ist, dass eine Gegeninduktivität erzeugt zwischen der Gate-Zwischenverbindung von einer Transistorzelle aus den Transistorzellen und der Gate-Zwischenverbindung von einer anderen Transistorzelle aus den Transistorzellen einen negativen Wert aufweist, wobei die eine Transistorzelle und die andere Transistorzelle nebeneinander liegen, und der erste Halbleiterbereich so angeordnet ist, dass eine Gegeninduktivität erzeugt zwischen dem ersten Halbleiterbereich einer Transistorzelle aus den Transistorzellen und dem ersten Halbleiterbereich einer anderen Transistorzelle aus den Transistorzellen einen negativen Wert aufweist, wobei die eine Transistorzelle und die andere Transistorzelle nebeneinander liegen. In diesem Fall wirkt die Gegeninduktivität der Gate-Zwischenverbindungen in einer Richtung, in der die Selbstinduktivität der Gate-Zwischenverbindungen verringert wird. Dadurch kann die innere Induktivität der Gate-Leitungen verringert werden. Daher kann ein Brummen der Gatespannung unterdrückt werden. Außerdem wirkt die Gegeninduktivität der ersten Halbleiterbereiche in einer Richtung, in der die Selbstinduktivität der ersten Halbleiterbereiche verringert wird. Dadurch kann die innere Induktivität der ersten Halbleiterbereiche verringert werden. Daher erhält man einen Halbleiterchip mit hervorragenden Schalteigenschaften.

[0013] [2] In [1] kann die Gate-Zwischenverbindung so angeordnet sein, dass die Richtungen der entlang der zweiten Richtung fließenden Ströme zwischen der Gate-Zwischenverbindung der einen Transistorzelle und der Gate-Zwischenverbindung der anderen Transistorzelle entgegengesetzt sind. In diesem Fall nimmt die Gegeninduktivität wahrscheinlich einen negativen Wert an.

[0014] [3] In [1] oder [2] kann der Halbleiterchip umfassen: ein Halbleitersubstrat; einen Gate-Kontakt, der auf dem Halbleitersubstrat angeordnet ist; eine erste Verbindungsverbindung, die ausgebildet ist, um die Gate-Zwischenverbindung und den Gate-Kontakt elektrisch zu verbinden; und eine zweite Verbindungsverbindung, die so ausgebildet ist, dass sie die Gate-Zwischenverbindung und den Gate-Kontakt elektrisch verbindet, wobei sich die erste Verbindungsverbindung entlang der ersten Richtung erstrecken kann, wobei die zweite Verbindungsverbindung so angeordnet sein kann, dass sich eine Mehrzahl von Gate-Zwischenverbindungen zwischen der zweiten Verbindungsverbindung und der ersten Verbindungsverbindung befindet, die mehreren Gate-Zwischenverbindungen jeweils die Gate-Zwischenverbindung darstellen, die Gate-Zwischenverbindungen eine erste Gate-Zwischenverbindung, die elektrisch mit der ersten Verbindungsverbindung verbunden ist, und eine zweite Gate-Zwischenverbindung, die elektrisch mit der zweiten Verbindungsverbindung verbunden ist, umfassen können, und die erste Gate-Zwischenverbindung und die zweite Gate-Zwischenverbindung abwechselnd entlang der ersten Richtung angeordnet sein können. In diesem Fall fließen wahrscheinlich Ströme aus entgegengesetzten Richtungen durch die nebeneinander liegenden Gate-Zwischenverbindungen.

[0015] [4] In [3] können die erste Gate-Zwischenverbindung und die zweite Gate-Zwischenverbindung zueinander parallel sein. In diesem Fall wirkt die Gegeninduktivität wahrscheinlich in die Richtung, in der die Selbstinduktivität verringert wird.

[0016] [5] In [3] oder [4] kann das Halbleitersubstrat ein Siliziumkarbidsubstrat sein. In diesem Fall wird wahrscheinlich eine ausgezeichnete Durchbruchspannung erzielt.

[0017] [6] In [1] bis [5] können die Transistorzellen elektrisch mit einem gemeinsamen Source-Anschluss und mit einem gemeinsamen Drain-Anschluss verbunden sein. In diesem Fall kann eine Mehrzahl von Transistorzellen auf einem einzigen Halbleiterchip montiert sein.

[0018] [7] In [1] bis [6] kann der erste Halbleiterbereich so angeordnet sein, dass die Richtungen der entlang der zweiten Richtung fließenden Ströme zwischen dem ersten Halbleiterbereich der einen Transistorzelle und dem ersten Halbleiterbereich der anderen Transistorzelle entgegengesetzt sind. In diesem Fall nimmt die Gegeninduktivität wahrscheinlich einen negativen Wert an.

[0019] [8] In [1] bis [7] können die Transistorzellen ferner umfassen: eine Sourceelektrode; und einen zweiten Halbleiterbereich, der elektrisch mit dem ers-

ten Halbleiterbereich und der Sourceelektrode verbunden ist und vom ersten leitfähigen Typ ist, wobei der zweite Halbleiterbereich so angeordnet sein kann, dass der zweite Halbleiterbereich der einen Transistorzelle an einer Position angeordnet sein kann, die sich in der zweiten Richtung von der des zweiten Halbleiterbereichs der anderen Transistorzelle unterscheidet. In diesem Fall ist es wahrscheinlich, dass Ströme aus entgegengesetzten Richtungen durch die ersten Halbleiterbereiche nebeneinander fließen.

[0020] [9] In [8] kann eine Mehrzahl von zweiten Halbleiterbereichen, die jeweils den zweiten Halbleiterbereich darstellen, entlang der zweiten Richtung angeordnet sein und Positionen in der zweiten Richtung, an denen die zweiten Halbleiterbereiche in der einen Transistorzelle angeordnet sind, können eine Zwischenposition zwischen zwei zweiten Halbleiterbereichen der zweiten Halbleiterbereiche der anderen Transistorzelle darstellen, wobei die beiden zweiten Halbleiterbereiche in der zweiten Richtung nebeneinander liegen. In diesem Fall ist es wahrscheinlich, dass Ströme aus entgegengesetzten Richtungen durch die ersten Halbleiterbereiche nebeneinander fließen.

[0021] [10] In [1] bis [9] können die ersten Halbleiterbereiche einen Relaxationsbereich des elektrischen Feldes oder E-Feldrelaxationsbereich darstellen. In diesem Fall kann die innere Induktivität des E-Feldrelaxationsbereichs reduziert werden.

[0022] [11] In [1] bis [10] können die Transistorzellen eine vertikale Transistorzelle darstellen. In diesem Fall können sowohl eine Verringerung des Durchlasswiderstands als auch eine Erhöhung der Durchbruchspannung erreicht werden.

[Details zu Ausführungsformen der vorliegenden Erfindung]

[0023] Im Folgenden sind Ausführungsformen der vorliegenden Erfindung ausführlich beschrieben. Die vorliegende Erfindung ist jedoch nicht darauf beschränkt.

[0024] Es ist ein Halbleiterchip 1 gemäß einer Ausführungsform beschrieben.

[0025] **Fig.** 1 ist ein Schaltplan, der den Halbleiterchip 1 gemäß der Ausführungsform zeigt. Gemäß der Darstellung in **Fig.** 1 umfasst der Halbleiterchip 1 gemäß der Ausführungsform eine Mehrzahl von Transistorzellen 100.

[0026] Die Transistorzellen 100 sind elektrisch parallelgeschaltet. Die Transistorzellen 100 sind elektrisch mit einem gemeinsamen Gate-Anschluss G, einem gemeinsamen Source-Anschluss S und einem gemeinsamen Drain-Anschluss D verbunden. In diesem Fall können die Transistorzellen 100 auf einem einzigen Halbleiterchip 1 montiert sein. In jeder der Transistorzellen 100 ist eine Body-Diode BD zwischen dem Source-Anschluss S und dem Drain-Anschluss D ausgebildet.

[0027] Jede Transistorzelle 100 ist über eine Gate-Zwischenverbindung 22 mit dem Gate-Anschluss G verbunden. Die Gate-Zwischenverbindung 22 kann eine innere Induktivität aufweisen. Die innere Induktivität umfasst: eine Selbstinduktivität von jeder Gate-Zwischenverbindung 22 und eine Gegeninduktivität zwischen dieser Gate-Zwischenverbindung 22 und der Gate-Zwischenverbindung 22 neben dieser Gate-Zwischenverbindung 22.

[0028] Jede Gate-Zwischenverbindung 22 ist so angeordnet, dass die zwischen dieser Gate-Zwischenverbindung 22 und der Gate-Zwischenverbindung 22 der benachbarten Transistorzelle 100 erzeugte Gegeninduktivität einen negativen Wert aufweist. In diesem Fall wirkt die Gegeninduktivität in einer Richtung, in der die Selbstinduktivität verringert wird. Dadurch kann die innere Induktivität der Gate-Zwischenverbindung 22 verringert werden. Daher kann Brummen der Gatespannung unterdrückt werden.

[0029] Wenn beispielsweise der Absolutwert der Selbstinduktivität jeder Gate-Zwischenverbindung 22 mit L1 und der Absolutwert der Gegeninduktivität zwischen den Gate-Zwischenverbindungen 22 mit M1 bezeichnet wird, ist die innere Induktivität jeder Gate-Zwischenverbindung 22 L1-M1. Daher kann die innere Induktivität jeder Gate-Zwischenverbindung 22 reduziert werden.

[0030] Wenn jede Gate-Zwischenverbindung 22 so angeordnet ist, dass die zwischen dieser Gate-Zwischenverbindung 22 und der Gate-Zwischenverbindung 22 der benachbarten Transistorzelle 100 erzeugte Gegeninduktivität einen positiven Wert hat, ist die innere Induktivität jeder Gate-Zwischenverbindung 22 L1+M1. Daher erhöht sich die innere Induktivität jeder Gate-Zwischenverbindung 22.

[0031] Jede Transistorzelle 100 kann eine innere Induktivität in einem Halbleiterbereich zwischen dem Source-Anschluss S und dem Drain-Anschluss D aufweisen. Die innere Induktivität umfasst die Gegeninduktivität zwischen dem Halbleiterbereich jeder Transistorzelle 100 und dem Halbleiterbereich der Transistorzelle 100 neben dieser Transistorzelle 100.

[0032] Jeder Halbleiterbereich ist so angeordnet, dass die zwischen diesem Halbleiterbereich und dem Halbleiterbereich der benachbarten Transistorzelle 100 erzeugte Gegeninduktivität einen negati-

ven Wert aufweist. In diesem Fall wirkt die Gegeninduktivität in der Richtung, in der die Selbstinduktivität reduziert wird und somit kann die innere Induktivität des Halbleiterbereichs reduziert werden. Daher erhält man einen Halbleiterchip 1 mit hervorragenden Schalteigenschaften. Darüber hinaus werden die Erholungseigenschaften der Body-Diode BD in Sperrrichtung verbessert, und ein Sprung in der Drain-Spannung kann unterdrückt werden.

[0033] Wenn zum Beispiel der Absolutwert der Selbstinduktivität jedes Halbleiterbereichs mit L2 und der Absolutwert der Gegeninduktivität zwischen den Halbleiterbereichen mit M2 bezeichnet wird, ist die innere Induktivität jedes Halbleiterbereichs L2-M2. Daher kann die innere Induktivität jedes Halbleiterbereichs verringert werden.

[0034] Wenn jeder Halbleiterbereich so angeordnet ist, dass die zwischen diesem Halbleiterbereich und dem Halbleiterbereich der benachbarten Transistorzelle 100 erzeugte Gegeninduktivität einen positiven Wert hat, beträgt die innere Induktivität jedes Halbleiterbereichs L2+M2. Daher erhöht sich die innere Induktivität jedes Halbleiterbereichs.

[0035] Jeder Halbleiterbereich erstreckt sich in einer vorgegebenen Richtung und ist beispielsweise so angeordnet, dass die Richtung des in der vorgegebenen Richtung fließenden Stroms zwischen diesem Halbleiterbereich und dem Halbleiterbereich der benachbarten Transistorzelle 100 entgegengesetzt ist. In diesem Fall kann die Gegeninduktivität mit einem negativen Wert ohne weiteres erreicht werden.

[0036] Jeder Halbleiterbereich kann ein weiter unten beschriebener E-Feldrelaxationsbereich 17 sein. In diesem Fall kann die innere Induktivität des E-Feldrelaxationsbereichs 17 verringert werden.

[0037] Als nächstes ist eine Ausgestaltung eines Feldeffekttransistors beschrieben, die ein Beispiel für den Halbleiterchip 1 gemäß der Ausführungsform darstellt.

[0038] **Fig.** 2 ist eine Draufsicht, die den Halbleiterchip 1 gemäß der Ausführungsform zeigt. **Fig.** 3 ist eine perspektivische Querschnittsansicht, die den Halbleiterchip 1 gemäß der Ausführungsform zeigt. In **Fig.** 3 sind ein Gate-Isolierfilm 21, eine Gate-Zwischenverbindung 22, eine isolierende Zwischenschicht 23 und eine Sourceelektrode 30 nicht dargestellt, die weiter unten beschrieben werden. **Fig.** 4 ist eine Querschnittsansicht, die die Ausgestaltung des Relaxationsbereichs des elektrischen Feldes 17 und eines Verbindungsbereichs 18 in dem Halbleiterchip 1 gemäß der Ausführungsform zeigt. **Fig.** 4 ist eine Querschnittsansicht entlang der unteren Endfläche des Verbindungsbereichs 18 in **Fig.** 3. **Fig.** 5 ist eine Querschnittsansicht, die Ausgestaltungen eines Kontaktbereichs 16 und des Verbindungsbereichs 18 in dem Halbleiterchip 1 gemäß der Ausführungsform zeigt. **Fig.** 5 ist eine Querschnittsansicht, die entlang der oberen Endfläche des Kontaktbereichs 16 in **Fig.** 3 aufgenommen wurde.

[0039] Gemäß der Darstellung in den **Fig.** 2 bis 5 umfasst der Halbleiterchip 1 gemäß der Ausführungsform die Transistorzellen 100.

[0040] Die Transistorzellen 100 sind entlang einer Y-Achsenrichtung Seite an Seite angeordnet, wobei die X-Achsenrichtung eine Längsrichtung ist. Die Richtung der Y-Achse ist ein Beispiel für die erste Richtung und die Richtung der X-Achse ist ein Beispiel für die zweite Richtung. Jede Transistorzelle 100 ist z. B. eine vertikale Transistorzelle mit einer Trench-Gate-Struktur. Jede Transistorzelle 100 kann eine vertikale Transistorzelle mit einer planaren Gate-Struktur sein. Wenn jede Transistorzelle 100 eine vertikale Transistorzelle ist, können sowohl eine Verringerung des Ein-Widerstands als auch eine Erhöhung der Durchbruchspannung erreicht werden. Jede Transistorzelle 100 hat eine Gate-Zwischenverbindung 22, die sich in Richtung der X-Achse erstreckt.

[0041] Jede Gate-Zwischenverbindung 22 ist z.B. so angeordnet, dass die Richtung des entlang der X-Achse fließenden Stroms zwischen dieser Gate-Zwischenverbindung 22 und der Gate-Zwischenverbindung 22 der benachbarten Transistorzelle 100 entgegengesetzt ist. In diesem Fall nimmt die Gegeninduktivität wahrscheinlich einen negativen Wert an.

[0042] Die Gate-Zwischenverbindungen 22 umfassen eine erste Gate-Zwischenverbindung 22a und eine zweite Gate-Zwischenverbindung 22b. Die erste Gate-Zwischenverbindung 22a ist elektrisch mit einem Gate-Runner 51 und nicht elektrisch mit einem Gate-Runner 52 verbunden. Die zweite Gate-Zwischenverbindung 22b ist elektrisch mit dem Gate-Runner 52 und nicht elektrisch mit dem Gate-Runner 51 verbunden. Die erste Gate-Zwischenverbindung 22a und die zweite Gate-Zwischenverbindung 22b sind beispielsweise abwechselnd entlang der Y-Achsenrichtung angeordnet. In diesem Fall fließen wahrscheinlich Ströme mit entgegengesetzter Richtung durch die nebeneinander liegenden Gate-Zwischenverbindungen 22. In einer Draufsicht aus einer Richtung orthogonal zur X-Achsen-Richtung und zur Y-Achsen-Richtung sind die erste Gate-Zwischenverbindung 22a, die zweite Gate-Zwischenverbindung 22b und die Gate-Runner 51 und 52 beispielsweise kammförmig angeordnet. Die Gate-Runner 51 und 52 sind elektrisch mit einem Gate-Kontakt 60 verbunden.

[0043] Die Gate-Zwischenverbindungen 22 sind zum Beispiel parallel zueinander. In diesem Fall wirkt die Gegeninduktivität wahrscheinlich in der Richtung, in der die Selbstinduktivität verringert wird.

[0044] **Fig.** 6 bis 10 stellen Querschnittsansichten dar, die den Halbleiterchip 1 gemäß der Ausführungsform zeigen. **Fig.** 6 ist eine Querschnittsansicht entlang der Linie A-A in **Fig.** 2 und der Linie D-D in **Fig.** 4 und 5. **Fig.** 7 ist eine Querschnittsansicht entlang der Linie B-B in **Fig.** 2. **Fig.** 8 ist eine Querschnittsansicht entlang der Linie C-C in **Fig.** 2. **Fig.** 9 ist eine Querschnittsansicht entlang der Linie E-E in **Fig.** 4 und 5. **Fig.** 10 ist eine Querschnittsansicht entlang der Linie F-F in **Fig.** 4 und 5.

[0045] Gemäß Darstellung in den **Fig.** 6 bis 10 umfasst der Halbleiterchip 1 gemäß der Ausführungsform hauptsächlich ein Siliziumkarbidsubstrat 10, der Gate-Isolierfilm 21, die Gate-Zwischenschicht 22, die isolierende Zwischenschicht 23, die Sourceelektrode 30, eine Drainelektrode 40, die Gate-Runner 51 und 52 und den Gate-Kontakt 60.

[0046] Das Siliziumkarbidsubstrat 10 ist ein Beispiel für ein Halbleitersubstrat. Wenn das Siliziumkarbidsubstrat 10 verwendet wird, kann eine ausgezeichnete Durchbruchspannung erzielt werden. Das Siliziumkarbidsubstrat 10 umfasst: ein Siliziumkarbid-Einkristallsubstrat 11; und eine Siliziumkarbid-Epitaxieschicht 12 auf dem Siliziumkarbid-Einkristallsubstrat 11. Das Siliziumkarbidsubstrat 10 umfasst eine erste Hauptfläche 10A und eine zweite Hauptfläche 10B, die der ersten Hauptfläche 10A gegenüberliegt. Die Siliziumkarbid-Epitaxieschicht 12 bildet die erste Hauptoberfläche 10A, und das Siliziumkarbid-Einkristallsubstrat 11 bildet die zweite Hauptoberfläche 10B. Das Siliziumkarbid-Einkristallsubstrat 11 und die Siliziumkarbid-Epitaxieschicht 12 sind beispielsweise aus hexagonalem Siliziumkarbid vom Polytyp 4H gebildet. Das Siliziumkarbid-Einkristallsubstrat 11 umfasst einen n-Typ-Dotierstoff, wie Stickstoff (N) oder ähnliches, und ist von einem leitfähigen n-Typ. Die Transistorzellen 100 werden auf dem Siliziumkarbid-Substrat 10 gebildet.

[0047] Die Siliziumkarbid-Epitaxieschicht 12 umfasst im Wesentlichen einen Driftbereich 13, einen Körperbereich 14, einen Source-Bereich 15, den Kontaktbereich 16, den Relaxationsbereich des elektrischen Feldes 17 und den Verbindungsbereich 18.

[0048] Der Driftbereich 13 umfasst einen Dotierstoff vom n-Typ, wie Stickstoff, Phosphor (P) oder ähnliches, und ist vom leitfähigen n-Typ. Der Driftbereich 13 umfasst einen ersten Bereich 13A, einen zweiten Bereich 13B und einen dritten Bereich 13C.

[0049] Der Körperbereich 14 ist auf dem Driftbereich 13 bereitgestellt. Der Körperbereich 14 umfasst einen Dotierstoff vom p-Typ, wie z. B. Aluminium (Al) oder ähnliches, und ist von einem leitfähigen p-Typ.

[0050] Der Source-Bereich 15 ist auf dem Körperbereich 14 bereitgestellt. Der Source-Bereich 15 umfasst einen Dotierstoff vom n-Typ, wie Stickstoff, Phosphor oder ähnliches, und ist von einem leitfähigen n-Typ. Der Source-Bereich 15 ist durch den Körperbereich 14 vom Drift-Bereich 13 getrennt. Der Source-Bereich 15 bildet die erste Hauptoberfläche 10A.

[0051] Der Kontaktbereich 16 umfasst einen Dotierstoff vom p-Typ, wie Aluminium oder ähnliches, und ist vom leitfähigen p-Typ. Der Kontaktbereich 16 durchdringt den Source-Bereich 15 und kontaktiert den Körperbereich 14. Der Kontaktbereich 16 bildet die erste Hauptoberfläche 10A. Die effektive Konzentration des Dotierstoffs vom p-Typ im Kontaktbereich 16 beträgt beispielsweise 1×10^{18} cm^{-3} oder höher und 2×10^{20} cm^{-3} oder niedriger.

[0052] Die erste Hauptoberfläche 10A ist mit einem Gate-Graben 5 versehen, der durch eine Seitenfläche 3 und eine Bodenfläche 4 definiert ist. Die Seitenfläche 3 durchdringt den Source-Bereich 15 und den Körperbereich 14 und erreicht den Drift-Bereich 13. Bei der Seitenfläche 3 kann es sich beispielsweise um eine Fläche, die in Bezug auf die zweite Hauptoberfläche 10B geneigt ist, oder um eine Fläche handeln, die senkrecht zur zweiten Hauptoberfläche 10B steht. Die Bodenfläche 4 ist mit der Seitenfläche 3 verbunden. Die Bodenfläche 4 befindet sich in dem Drift-Bereich 13. Die Bodenfläche 4 ist beispielsweise eine flache Ebene parallel zur zweiten Hauptoberfläche 10B. Der Gate-Graben 5 ist beispielsweise in Form einer Insel entlang der X-Achse vorgesehen. In einer Draufsicht aus einer Richtung senkrecht zur ersten Hauptoberfläche 10A sind die Gate-Gräben 5 in regelmäßigen Abständen in Richtung der Y-Achse angeordnet.

[0053] Der E-Feldrelaxationsbereich 17 umfasst einen Dotierstoff vom p-Typ, z. B. Aluminium oder ähnliches, und ist vom leitfähigen p-Typ. Der Bereich der E-Feldrelaxation 17 erstreckt sich in Richtung der X-Achse. Der E-Feldrelaxationsbereich 17 befindet sich irgendwo zwischen dem Körperbereich 14 und der zweiten Hauptoberfläche 10B. In einer Draufsicht aus der Richtung senkrecht zur ersten Hauptoberfläche 10A umfasst der E-Feldrelaxationsbereich 17 einen Abschnitt, der den Gate-Graben 5 überlappt. Der E-Feldrelaxationsbereich 17 reduziert die Konzentration des elektrischen Feldes auf dem Gate-Isolierfilm 21 in Kontakt mit der Bodenfläche 4 beim Anlegen einer hohen Spannung. In der Richtung senkrecht zur zweiten Hauptoberfläche 10B ist die

obere Endfläche des E-Feldrelaxationsbereichs 17 von der Bodenfläche 4 getrennt. Die obere Endfläche des E-Feldrelaxationsbereichs 17 kann die Bodenfläche 4 des Gate-Grabens 5 umfassen. Ein Teil der oberen Endfläche des E-Feldrelaxationsbereichs 17 liegt einem Teil der unteren Endfläche des Körperbereichs 14 gegenüber. Der E-Feldrelaxationsbereich 17 ist elektrisch mit der Sourceelektrode 30 verbunden. In diesem Fall liegt der E-Feldrelaxationsbereich 17 auf einem Source-Potential und somit kann die parasitäre Kapazität zwischen der Gate-Zwischenverbindung 22 und der Drainelektrode 40 reduziert werden. Daher wird die Schaltgeschwindigkeit erhöht. Die effektive Konzentration des Dotierstoffs vom p-Typ im Bereich der E-Feldrelaxation 17 beträgt beispielsweise 5×10^{17} cm^{-3} oder höher und 5×10^{18} cm^{-3} oder niedriger. Der E-Feldrelaxationsbereich 17 ist ein Beispiel für den ersten Halbleiterbereich.

[0054] Der Verbindungsbereich 18 umfasst einen Dotierstoff vom p-Typ, z. B. Aluminium oder ähnliches, und ist von einem leitfähigen p-Typ. Der Verbindungsbereich 18 durchdringt den ersten Bereich 13A und erreicht den E-Feldrelaxationsbereich 17. Der Verbindungsbereich 18 verbindet den Körperbereich 14 und den E-Feldrelaxationsbereich 17 elektrisch. In diesem Fall fließen, wie durch die Pfeile in den **Fig.** 9 und 10 angedeutet, Ströme von der Sourceelektrode 30 zum E-Feldrelaxationsbereich 17, indem sie den Kontaktbereich 16, den Körperbereich 14 und den Verbindungsbereich 18 in dieser Reihenfolge durchlaufen. Der Verbindungsbereich 18 berührt den Körperbereich 14. Der Verbindungsbereich 18 kann mit dem Kontaktbereich 16 in Kontakt stehen. Der Anschlussbereich 18 kann sowohl mit dem Körperbereich 14 als auch mit dem Kontaktbereich 16 in Kontakt stehen. Der Verbindungsbereich 18 befindet sich zwischen dem Kontaktbereich 16 und dem E-Feldrelaxationsbereich 17. Der Verbindungsbereich 18 liegt näher an der zweiten Hauptoberfläche 10B als der Kontaktbereich 16. Der Verbindungsbereich 18 liegt näher an der ersten Hauptoberfläche 10A als der E-Feldrelaxationsbereich 17. Die Verbindungsbereiche 18 sind z. B. in regelmäßigen Abständen entlang der X-Achse angeordnet. Die effektive Konzentration des Dotierstoff vom p-Typs im Verbindungsbereich 18 kann im Wesentlichen die gleiche sein wie die des Dotierstoff vom p-Typ im E-Feldrelaxationsbereich 17. Die effektive Konzentration des Dotierstoffs vom p-Typ im Verbindungsbereich 18 beträgt beispielsweise 5×10^{17} cm^{-3} oder höher und 5×10^{13} cm^{-3} oder niedriger. Der Anschlussbereich 18 ist ein Beispiel für den zweiten Halbleiterbereich.

[0055] Der Anschlussbereich 18 ist in Richtung der X-Achse an einer anderen Position angeordnet als der Anschlussbereich 18 der benachbarten Transistorzelle 100. In diesem Fall fließen, wie durch die Pfeile in **Fig.** 4 angedeutet, wahrscheinlich Ströme mit entgegengesetzten Richtungen durch die nebeneinander liegenden E-Feldrelaxationsbereiche 17.

[0056] Die Position in X-Achsenrichtung, an der der Verbindungsbereich 18 angeordnet ist, kann beispielsweise eine Zwischenposition zwischen den beiden in X-Achsenrichtung nebeneinander liegenden Verbindungsbereichen 18 der benachbarten Transistorzelle 100 sein. In diesem Fall ist es wahrscheinlich, dass Ströme mit entgegengesetzten Richtungen durch die nebeneinander liegenden E-Feldrelaxationsbereiche 17 fließen.

[0057] Der erste Bereich 13A des Driftbereichs 13 befindet sich irgendwo zwischen dem Körperbereich 14 und dem Bereich der Entspannung des elektrischen Feldes 17. Der erste Bereich 13A steht in Kontakt mit dem Körperbereich 14 und dem E-Feldrelaxationsbereich 17. Der erste Bereich 13A liegt näher an der ersten Hauptoberfläche 10A als der E-Feldrelaxationsbereich 17.

[0058] Der zweite Bereich 13B liegt näher an der zweiten Hauptoberfläche 10B als der erste Bereich 13A. Der zweite Bereich 13B ist mit dem ersten Bereich 13A verbunden. Der zweite Bereich 13B steht in einer zur zweiten Hauptoberfläche 10B parallelen Richtung mit dem E-Feldrelaxationsbereich 17 in Kontakt. Der zweite Bereich 13B und der E-Feldrelaxationsbereich 17 können in der gleichen Ebene parallel zur zweiten Hauptoberfläche 10B angeordnet sein. Die effektive Konzentration des Dotierstoffs vom n-Typ im zweiten Bereich 13B kann höher sein als die des Dotierstoffs vom n-Typ im ersten Bereich 13A.

[0059] Der dritte Bereich 13C liegt näher an der zweiten Hauptoberfläche 10B als der zweite Bereich 13B. Der dritte Bereich 13C ist mit dem zweiten Bereich 13B verbunden. Der dritte Bereich 13C steht in Kontakt mit dem E-Feldrelaxationsbereich 17. Der dritte Bereich 13C liegt näher an der zweiten Hauptoberfläche 10B als der E-Feldrelaxationsbereich 17. Der dritte Bereich 13C kann sich zwischen dem zweiten Bereich 13B und dem Siliziumkarbid-Einkristallsubstrat 11 befinden. Der dritte Bereich 13C kann mit dem Siliziumkarbid-Einkristallsubstrat 11 durchgehend sein. Die effektive Konzentration des n-Dotierstoffs im dritten Bereich 13C kann die gleiche sein wie die des Dotierstoffs vom n-Typ im zweiten Bereich 13B.

[0060] Der Gate-Isolierfilm 21 ist z. B. eine Oxidfilm. Der Gate-Isolierfilm 21 ist aus einem Material gebildet, das Siliziumdioxid oder ähnliches umfasst. Der Gate-Isolierfilm 21 ist in Kontakt mit der Seitenfläche 3 und der Bodenfläche 4. Der Gate-Isolierfilm 21 steht mit dem ersten Bereich 13A an der Bodenfläche 4 in Kontakt. Die Gate-Isolierfilm 21 steht mit

dem Source-Bereich 15, dem Body-Bereich 14 und dem ersten Bereich 13A an der Seitenfläche 3 in Kontakt. Der Gate-Isolierfilm 21 kann an der ersten Hauptoberfläche 10A mit dem Source-Bereich 15 in Kontakt stehen.

[0061] Die Gate-Zwischenverbindung 22 ist auf dem Gate-Isolierfilm 21 bereitgestellt. Die Gate-Zwischenverbindung 22 ist beispielsweise aus Polysilizium mit leitfähigen Verunreinigungen gebildet. Die Gate-Zwischenverbindung 22 befindet sich im Gate-Graben 5. Ein Teil der Gate-Zwischenverbindung 22 kann auf der ersten Hauptoberfläche 10A bereitgestellt sein.

[0062] Die isolierende Zwischenschicht 23 bedeckt die Gate-Zwischenverbindung 22. Die isolierende Zwischenschicht 23 steht mit der Gate-Zwischenverbindung 22 und dem Gate-Isolierfilm 21 in Kontakt. Die isolierende Zwischenschicht 23 ist zum Beispiel eine Oxidfilm. Die isolierende Zwischenschicht 23 ist beispielsweise aus einem Material gebildet, das Siliziumdioxid umfasst. Die isolierende Zwischenschicht 23 isoliert die Gate-Zwischenverbindung 22 und die Sourceelektrode 30 elektrisch gegeneinander. Ein Teil der isolierenden Zwischenschicht 23 kann im Gate-Graben 5 bereitgestellt sein.

[0063] In der isolierenden Zwischenschicht 23 und dem Gate-Isolierfilm 21 sind Kontaktlöcher 24 ausgebildet. Die Kontaktlöcher 24 sind in regelmäßigen Abständen in Richtung der Y-Achse angeordnet. In einer Draufsicht aus der Richtung senkrecht zur ersten Hauptoberfläche 10A sind die Kontaktlöcher 24 so angeordnet, dass der Gate-Graben 5 zwischen den Kontaktlöchern 24 in Richtung der Y-Achse nebeneinander angeordnet ist. Die Kontaktlöcher 24 erstrecken sich in Richtung der X-Achse. Der Source-Bereich 15 und der Kontaktbereich 16 sind durch die Kontaktlöcher 24 von der isolierenden Zwischenschicht 23 und dem Gate-Isolierfilm 21 freigelegt. Der Kontaktbereich 16 muss sich nicht durchgehend entlang der X-Achse erstrecken und kann periodisch gebildet werden. Es kann ein Sperrmetallfilm gebildet werden, der die obere und die seitliche Oberfläche der isolierenden Zwischenschicht 23 und die seitliche Oberfläche des Gate-Isolierfilms 21 bedeckt.

[0064] Die Sourceelektrode 30 steht in Kontakt mit der ersten Hauptfläche 10A. Die Sourceelektrode 30 umfasst eine Kontaktelektrode 31 und eine Source-Verbindung 32.

[0065] Die Kontaktelektrode 31 steht mit dem Source-Bereich 15 und dem Kontaktbereich 16 an der ersten Hauptfläche 10A in Kontakt. Die Kontaktelektrode 31 ist zum Beispiel aus einem Material gebildet, das Nickelsilicid (NiSi) umfasst. Die Kontaktelektrode 31 kann aus einem Material gebildet werden, das Titan, Aluminium und Silizium umfasst. Die Kontaktelektrode 31 steht mit dem Kontaktbereich 16 in ohmschem Kontakt.

[0066] Die Source-Zwischenverbindung 32 bedeckt die obere und die seitliche Oberfläche der isolierenden Zwischenschicht 23 und die obere Oberfläche der Kontaktelektrode 31. Die Source-Zwischenverbindung 32 steht mit der Kontaktelektrode 31 in Kontakt. Die Source-Zwischenverbindung 32 ist zum Beispiel aus einem Material gebildet, das Aluminium umfasst.

[0067] Die Drainelektrode 40 ist in Kontakt mit der zweiten Hauptoberfläche 10B. Die Drainelektrode 40 steht an der zweiten Hauptoberfläche 10B mit dem Siliziumkarbid-Einkristallsubstrat 11 in Kontakt. Die Drainelektrode 40 ist mit dem Driftbereich 13 elektrisch verbunden. Die Drainelektrode 40 besteht zum Beispiel aus einem Material, das Nickelsilicid umfasst. Die Drainelektrode 40 kann aus einem Material gebildet sein, das Titan, Aluminium und Silizium umfasst. Die Drainelektrode 40 steht mit dem Siliziumkarbid-Einkristallsubstrat 11 in ohmschem Kontakt.

[0068] Der Gate-Runner 51 befindet sich auf der Seite der positiven X-Achsen der Gate-Zwischenverbindungen 22. Der Gate-Runner 51 erstreckt sich in der Y-Achsenrichtung. Der Gate-Runner 51 verbindet die ersten Gate-Zwischenverbindungen 22a und den Gate-Kontakt 60 elektrisch. Der Gate-Runner 51 ist elektrisch mit den Enden der ersten Gate-Zwischenverbindungen 22a auf der Seite der positiven X-Achse verbunden. In diesem Fall fließen Ladeströme von der Seite der positiven X-Achse zur Seite der negativen X-Achse, wie durch die Pfeile in **Fig.** 2 und den Pfeil in **Fig.** 7 angezeigt. Gleichzeitig fließen Entladeströme von der Seite der negativen X-Achse zur Seite der positiven X-Achse. Der Gate-Runner 51 ist aus einem Material gebildet, dessen elektrischer Widerstand geringer ist als der der Gate-Zwischenverbindungen 22. Der Gate-Runner 51 ist beispielsweise aus einem Material wie Aluminium oder Kupfer gebildet. Der Gate-Runner 51 kann aus einem Material gebildet sein, das Aluminium und Kupfer umfasst. Der Gate-Runner 51 ist ein Beispiel für eine erste Verbindungszwischenverbindung.

[0069] Der Gate-Runner 52 ist auf der Seite der negativen X-Achse der Gate-Zwischenverbindungen 22 bereitgestellt. Der Gate-Runner 52 erstreckt sich in der Y-Achsenrichtung. Der Gate-Runner 52 ist so angeordnet, dass sich die Gate-Zwischenverbindungen 22 zwischen dem Gate-Runner 52 und dem Gate-Runner 51 befinden. Der Gate-Runner 52 verbindet die zweiten Gate-Zwischenverbindungen 22b und den Gate-Kontakt 60 elektrisch. Der Gate-Runner 52 ist elektrisch mit den Enden der zweiten Gate-Zwischenverbindungen 22b auf der Seite der negati-

ven X-Achse verbunden. In diesem Fall fließen Ladeströme von der Seite der negativen X-Achse zur Seite der positiven X-Achse, wie durch die Pfeile in **Fig.** 2 und den Pfeil in **Fig.** 8 angezeigt. Währenddessen fließen die Entladeströme von der Seite der positiven X-Achse zur Seite der negativen X-Achse. Daher ist die Richtung, in der die Ladungsströme durch die ersten Gate-Zwischenverbindungen 22a fließen, der Richtung entgegengesetzt, in der die Ladungsströme durch die zweiten Gate-Zwischenverbindungen 22b fließen. Ebenso ist die Richtung, in der die Entladeströme durch die ersten Gate-Zwischenverbindungen 22a fließen, der Richtung entgegengesetzt, in der die Entladeströme durch die zweiten Gate-Zwischenverbindungen 22b fließen. Der Gate-Runner 52 ist aus demselben Material wie der Gate-Runner 51 gebildet. Der Gate-Runner 52 ist ein Beispiel für die zweite Verbindungsleitung.

[0070] Der Gate-Kontakt 60 ist auf der Seite der positiven Y-Achse der Gate-Zwischenverbindungen 22 bereitgestellt. Der Gate-Kontakt 60 kann auf der Seite der negativen Y-Achse der Gate-Zwischenverbindungen 22 bereitgestellt sein. Der Gate-Kontakt 60 hat eine rechteckige Form oder ähnliches. Der Gate-Kontakt 60 ist beispielsweise aus einem Material wie Aluminium oder Kupfer gebildet. Der Gate-Kontakt 60 kann aus einem Material gebildet sein, das Aluminium und Kupfer umfasst.

[0071] Obwohl die Ausführungsformen oben im Detail beschrieben wurden, ist die vorliegende Erfindung nicht auf die spezifischen Ausführungsformen beschränkt. Verschiedene Modifikationen und Änderungen sind innerhalb des Geltungsbereichs der angegebenen Ansprüche möglich.

Liste der Bezugszeichen

1	Halbleiterchip
3	Seitenfläche
4	Bodenfläche
5	Gate-Graben
10	Siliziumkarbid-Substrat
10A	Erste Hauptfläche
10B	Zweite Hauptfläche
11	Siliziumkarbid-Einkristallsubstrat
12	Siliziumkarbid-Epitaxieschicht
13	Driftbereicht
13A	Erster Bereich
13B	Zweiter Bereich
13C	Dritter Bereich
14	Körperbereich
15	Source-Bereich
16	Kontaktbereich
17	E-Feldrelaxationsbereich
18	Verbindungsbereich
21	Gate-Isolierfilm
22	Gate-Zwischenverbindung
22a	Erste Gate-Zwischenverbindung
22b	Zweite Gate-Zwischenverbindung
23	Isolierende Zwischenschicht
24	Kontaktloch
30	Sourceelektrode
31	Kontaktelektrode
32	Source-Zwischenverbindung
40	Drainelektrode
51	Gate-Runner
52	Gate-Runner
60	Gate-Kontakt
100	Transistorzelle
BD	Körperdiode
D	Drain-Anschluss
G	Gate-Anschluss
S	Source-Anschluss

ZITATE ENTHALTEN IN DER BESCHREIBUNG

Diese Liste der vom Anmelder aufgeführten Dokumente wurde automatisiert erzeugt und ist ausschließlich zur besseren Information des Lesers aufgenommen. Die Liste ist nicht Bestandteil der deutschen Patent- bzw. Gebrauchsmusteranmeldung. Das DPMA übernimmt keinerlei Haftung für etwaige Fehler oder Auslassungen.

Zitierte Patentliteratur

- JP 2022-082048 [0002]
- JP 2012-23291 [0004]

Patentansprüche

1. Halbleiterchip, umfassend:
eine Mehrzahl von Transistorzellen, die Seite an Seite in einer ersten Richtung angeordnet sind,
wobei die Transistorzellen umfassen:
eine Gate-Zwischenverbindung, die sich entlang einer zweiten Richtung orthogonal zur ersten Richtung erstreckt, und
einen ersten Halbleiterbereich, der sich entlang der zweiten Richtung erstreckt und von einem ersten leitfähigen Typ ist,
wobei die Gate-Zwischenverbindung so angeordnet ist, dass eine Gegeninduktivität, die erzeugt wird zwischen: der Gate-Zwischenverbindung von einer Transistorzelle aus den Transistorzellen; und der Gate-Zwischenverbindung von einer anderen Transistorzelle aus den Transistorzellen, einen negativen Wert aufweist, wobei die eine Transistorzelle und die andere Transistorzelle nebeneinander liegen, und
wobei der erste Halbleiterbereich so angeordnet ist, dass eine Gegeninduktivität, die erzeugt wird zwischen: dem ersten Halbleiterbereich von einer Transistorzelle aus den Transistorzellen; und dem ersten Halbleiterbereich von einer anderen Transistorzelle aus den Transistorzellen, einen negativen Wert aufweist, wobei die eine Transistorzelle und die andere Transistorzelle nebeneinander liegen.

2. Halbleiterchip nach Anspruch 1, wobei die Gate-Zwischenverbindung so angeordnet ist, dass Richtungen von entlang der zweiten Richtung fließenden Ströme zwischen der Gate-Zwischenverbindung der einen Transistorzelle und der Gate-Zwischenverbindung der anderen Transistorzelle entgegengesetzt sind.

3. Halbleiterchip nach Anspruch 1, ferner umfassend:
ein Halbleitersubstrat;
einen auf dem Halbleitersubstrat angeordneten Gate-Kontakt;
eine erste Verbindungszwischenverbindung, die so ausgebildet ist, dass sie die Gate-Zwischenverbindung und den Gate-Kontakt elektrisch verbindet; und
eine zweite Verbindungszwischenverbindung, die so ausgebildet ist, dass sie die Gate-Zwischenverbindung und den Gate-Kontakt elektrisch verbindet,
wobei sich die erste Verbindungszwischenverbindung entlang der ersten Richtung erstreckt,
wobei die zweite Verbindungszwischenverbindung mit einer Mehrzahl von Gate-Zwischenverbindungen zwischen der zweiten Verbindungszwischenverbindung und der ersten Verbindungszwischenverbindung angeordnet ist, wobei die Mehrzahl von Gate-Zwischenverbindungen jeweils die Gate-Zwischenverbindung darstellt,
wobei die Gate-Zwischenverbindungen umfassen:
eine erste Gate-Zwischenverbindung, die elektrisch mit der ersten Verbindungszwischenverbindung verbunden ist, und
eine zweite Gate-Zwischenverbindung, die elektrisch mit der zweiten Verbindungszwischenverbindung verbunden ist, und
die erste Gate-Zwischenverbindung und die zweite Gate-Zwischenverbindung abwechselnd entlang der ersten Richtung angeordnet sind.

4. Halbleiterchip nach Anspruch 3, wobei die erste Gate-Zwischenverbindung und die zweite Gate-Zwischenverbindung zueinander parallel sind.

5. Halbleiterchip nach Anspruch 3, wobei das Halbleitersubstrat ein Siliziumkarbid-Substrat ist.

6. Halbleiterchip nach Anspruch 1, wobei die Transistorzellen elektrisch mit einem gemeinsamen Source-Anschluss und mit einem gemeinsamen Drain-Anschluss verbunden sind.

7. Halbleiterchip nach Anspruch 1, wobei der erste Halbleiterbereich so angeordnet ist, dass Richtungen von entlang der zweiten Richtung fließenden Ströme zwischen dem ersten Halbleiterbereich der einen Transistorzelle und dem ersten Halbleiterbereich der anderen Transistorzelle entgegengesetzt sind.

8. Halbleiterchip nach Anspruch 1, wobei die Transistorzellen ferner umfassen:
eine Sourceelektrode; und
einen zweiten Halbleiterbereich, der elektrisch mit dem ersten Halbleiterbereich und der Sourceelektrode verbunden ist und vom ersten leitfähigen Typ ist, wobei der zweite Halbleiterbereich so angeordnet ist, dass der zweite Halbleiterbereich der einen Transistorzelle an einer Position angeordnet ist, die sich in der zweiten Richtung von derjenigen des zweiten Halbleiterbereichs der anderen Transistorzelle unterscheidet.

9. Halbleiterchip nach Anspruch 8,
wobei eine Mehrzahl von zweiten Halbleiterbereichen, die jeweils den zweiten Halbleiterbereich darstellen, entlang der zweiten Richtung angeordnet ist, und
wobei Positionen in der zweiten Richtung, an denen die zweiten Halbleiterbereiche in der einen Transistorzelle angeordnet sind, eine Zwischenposition zwischen zwei zweiten Halbleiterbereichen der zweiten Halbleiterbereiche der anderen Transistorzelle darstellen, wobei die beiden zweiten Halbleiterbereiche in der zweiten Richtung nebeneinander liegen.

10. Halbleiterchip nach Anspruch 1, wobei die ersten Halbleiterbereiche einen E-Feldrelaxationsbereich darstellen.

11. Halbleiterchip nach einem der Ansprüche 1 bis 10, wobei die Transistorzellen eine vertikale Transistorzelle sind.

Es folgen 10 Seiten Zeichnungen

Anhängende Zeichnungen

FIG.1

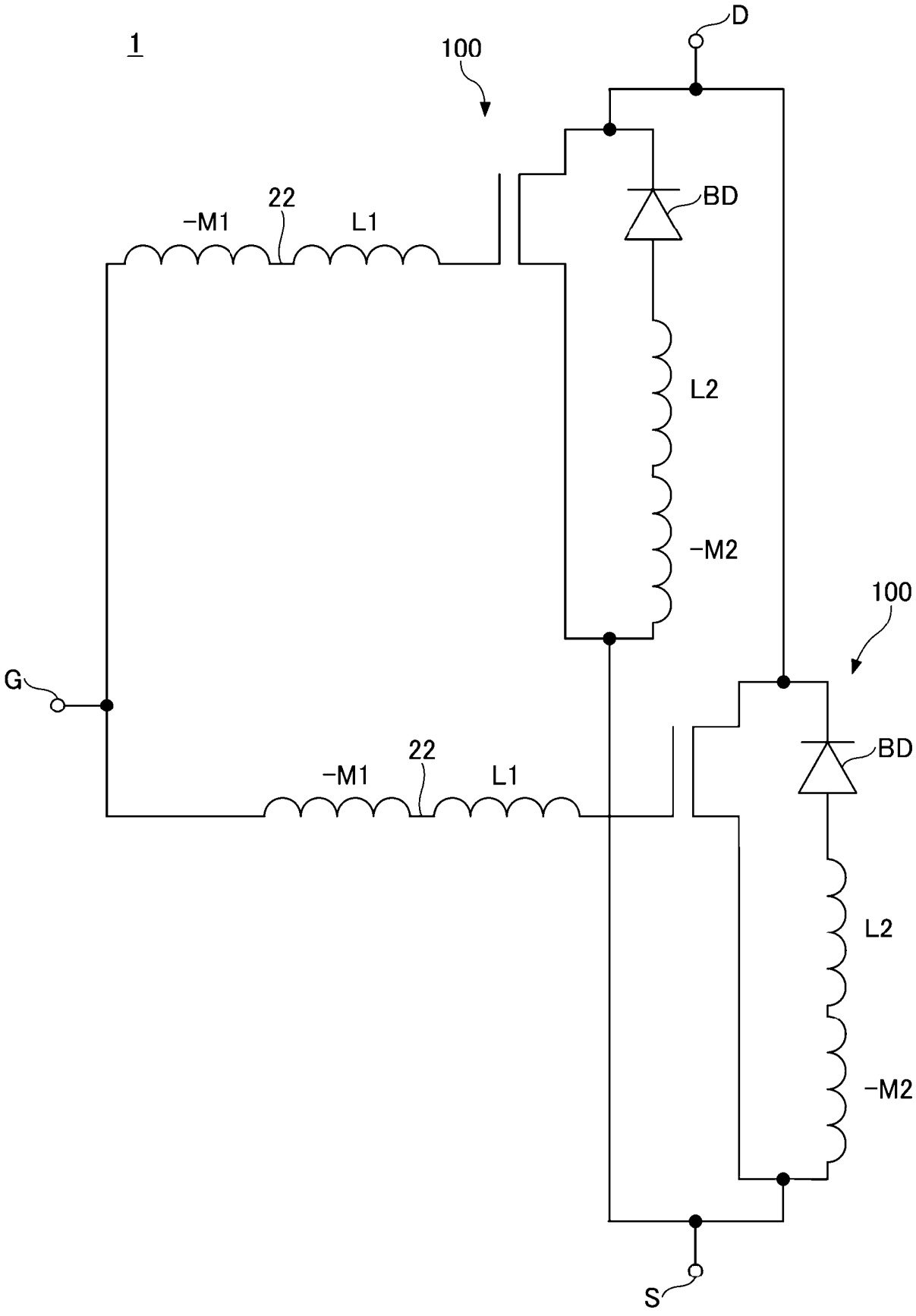


FIG.2

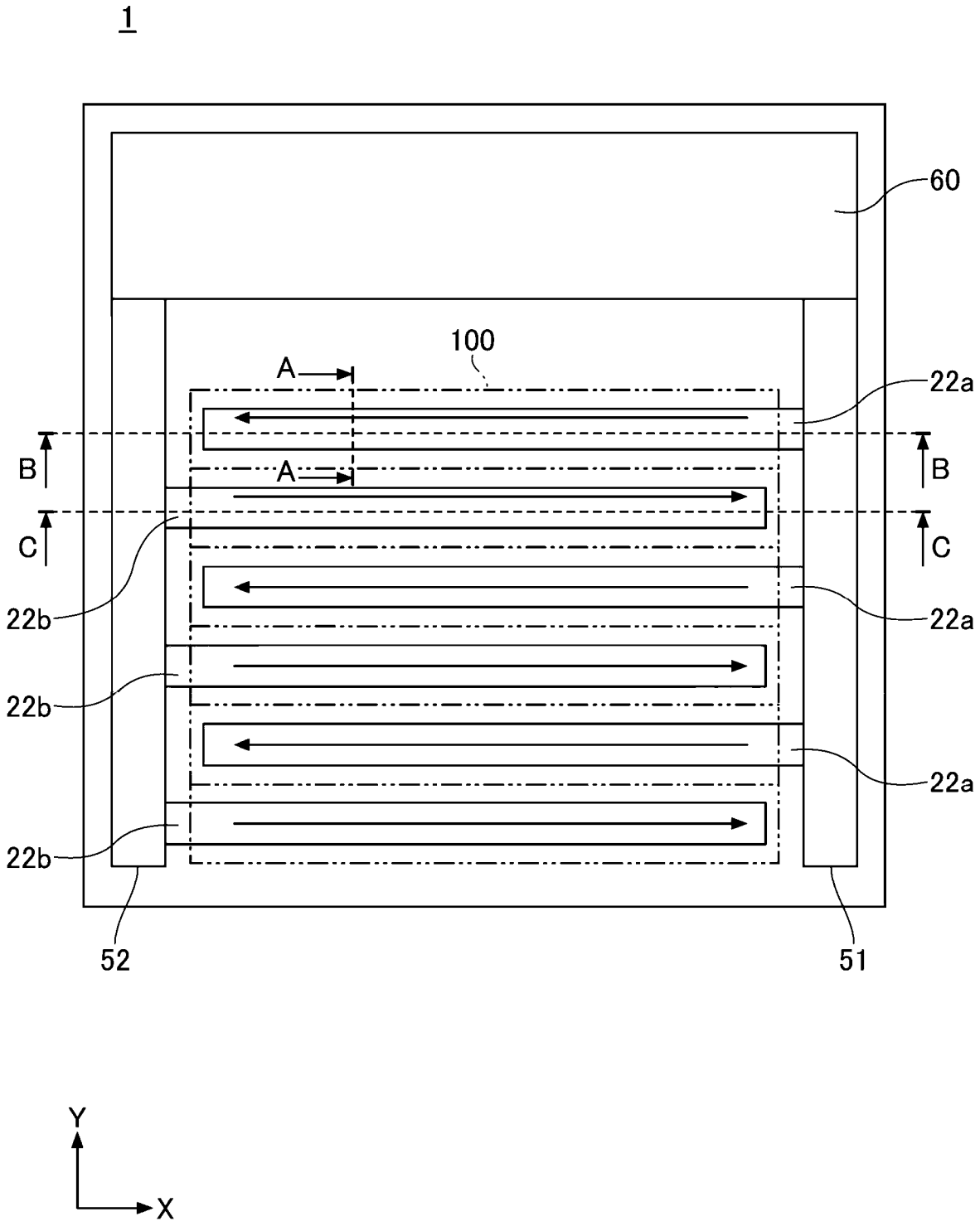


FIG.3

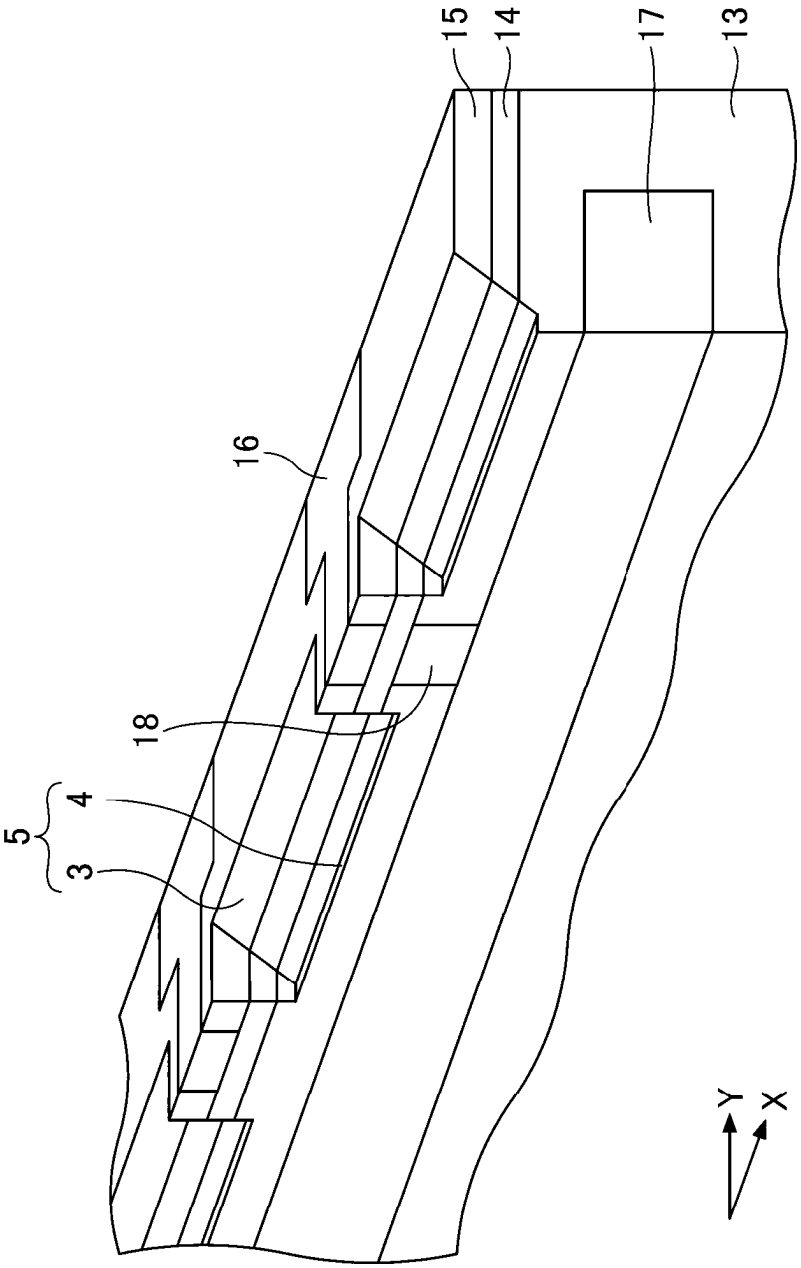


FIG.4

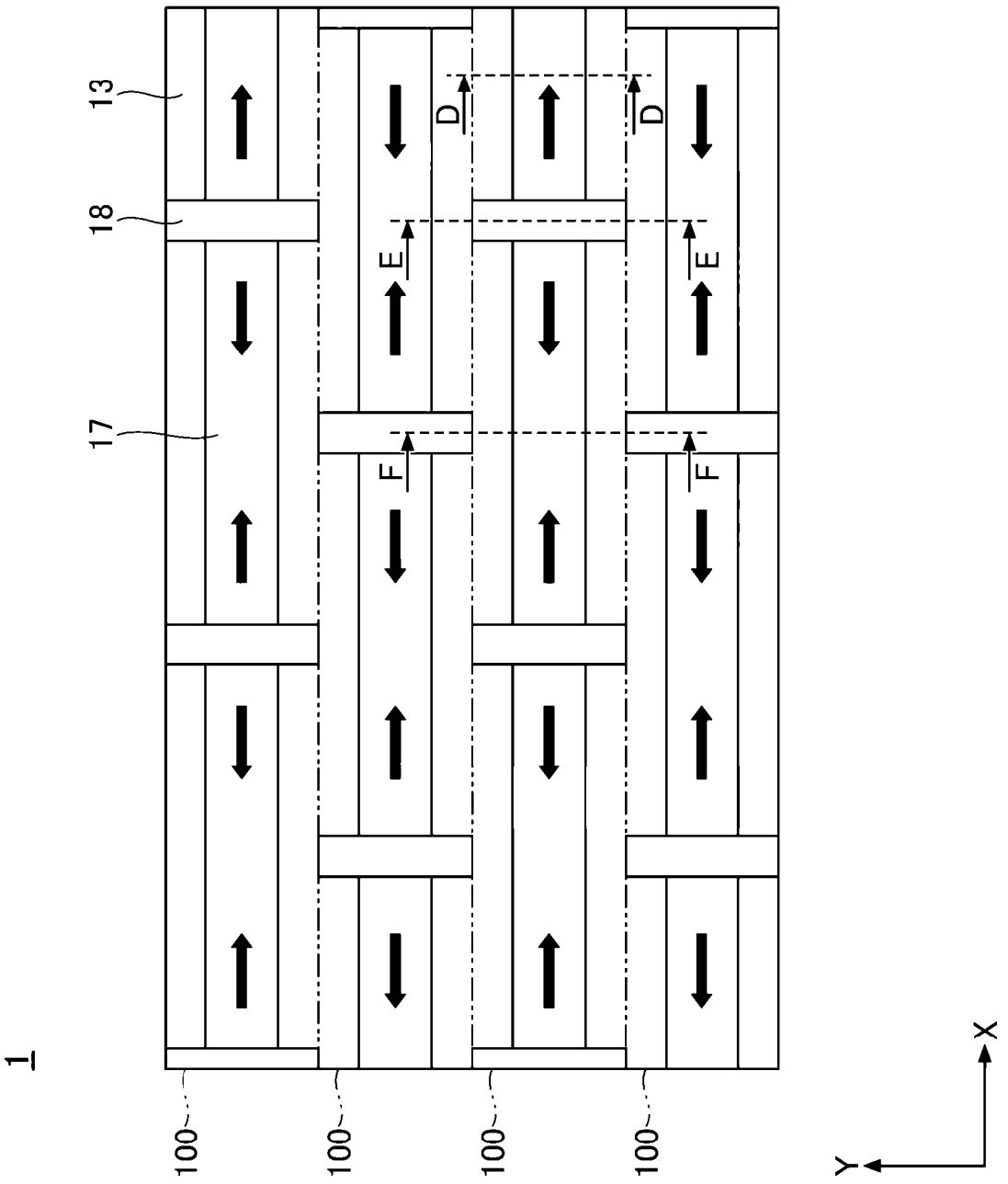


FIG.5

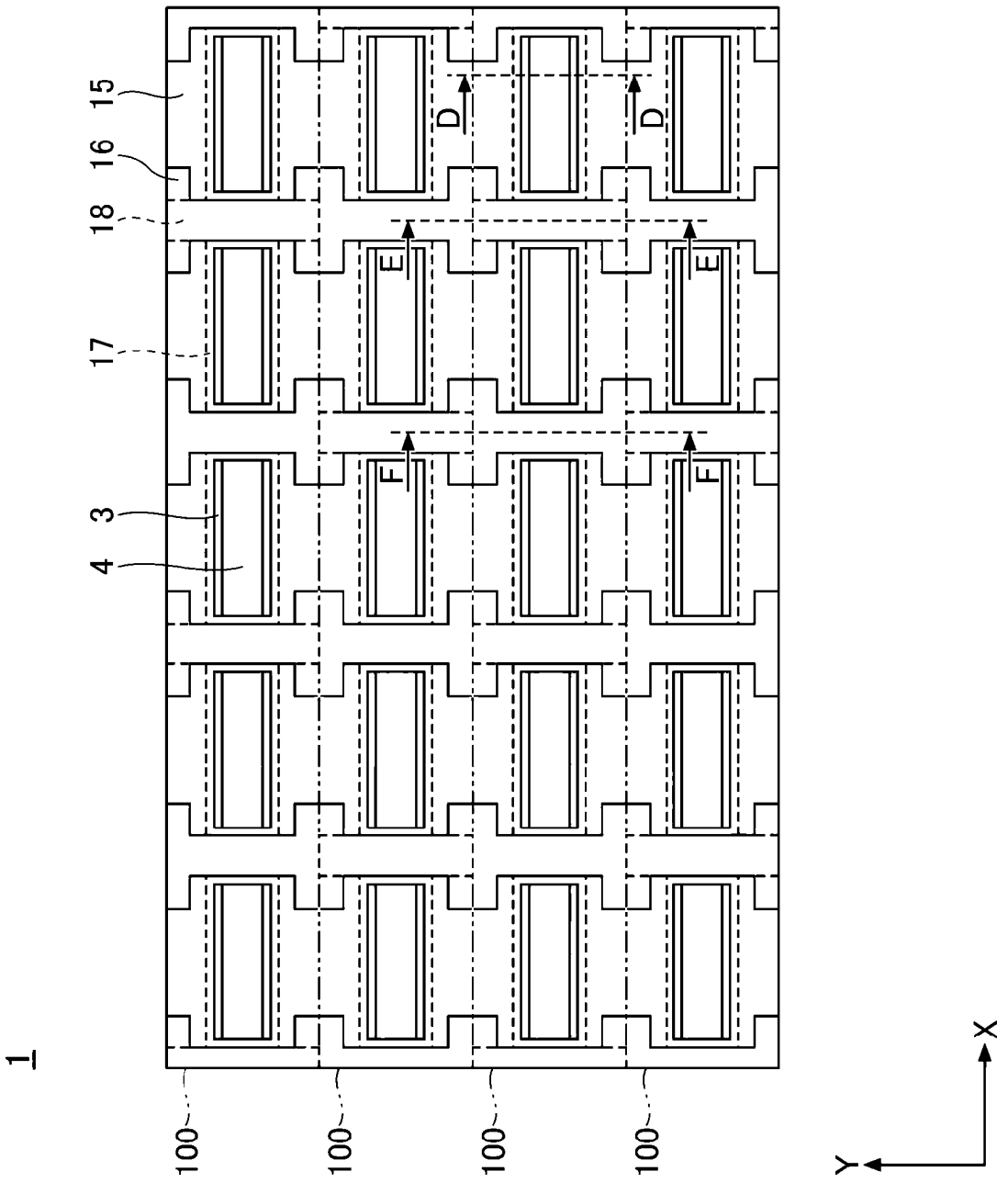


FIG.6

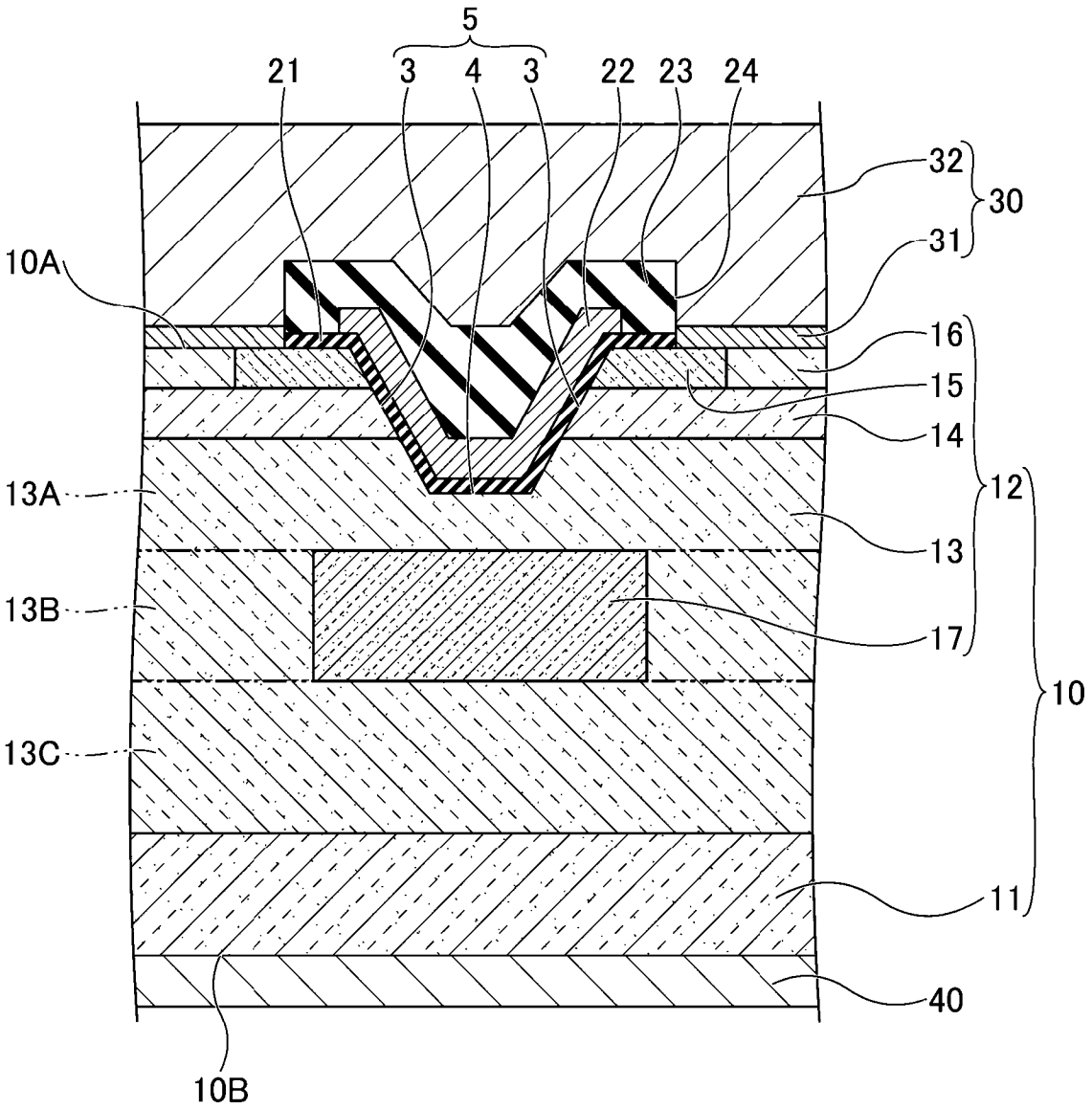

5
21
3
4
3
22
23
24
32
30
31
10A
16
15
14
12
13A
13
13B
17
10
13C
11
40
10B

FIG.7

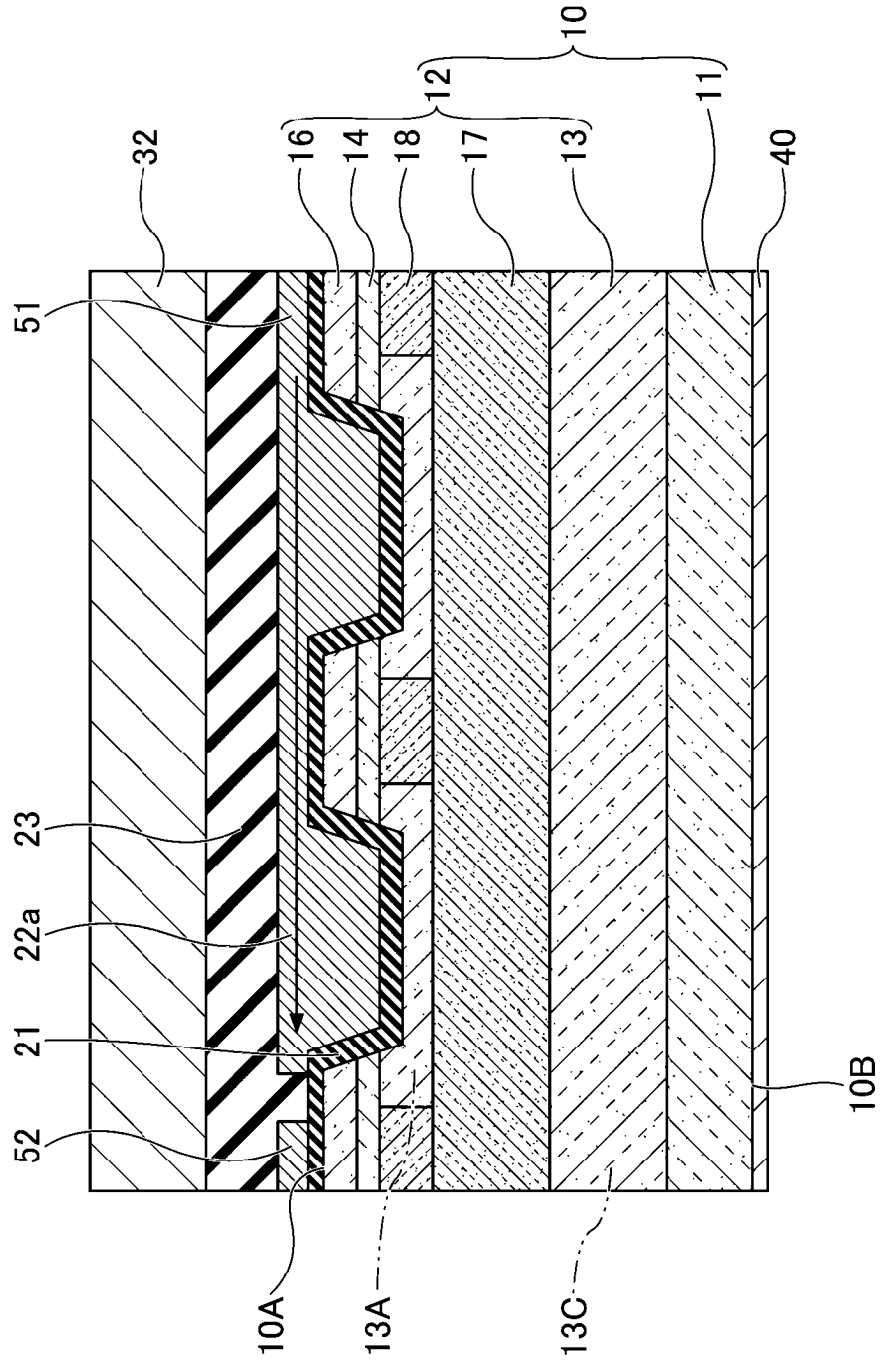


FIG.8

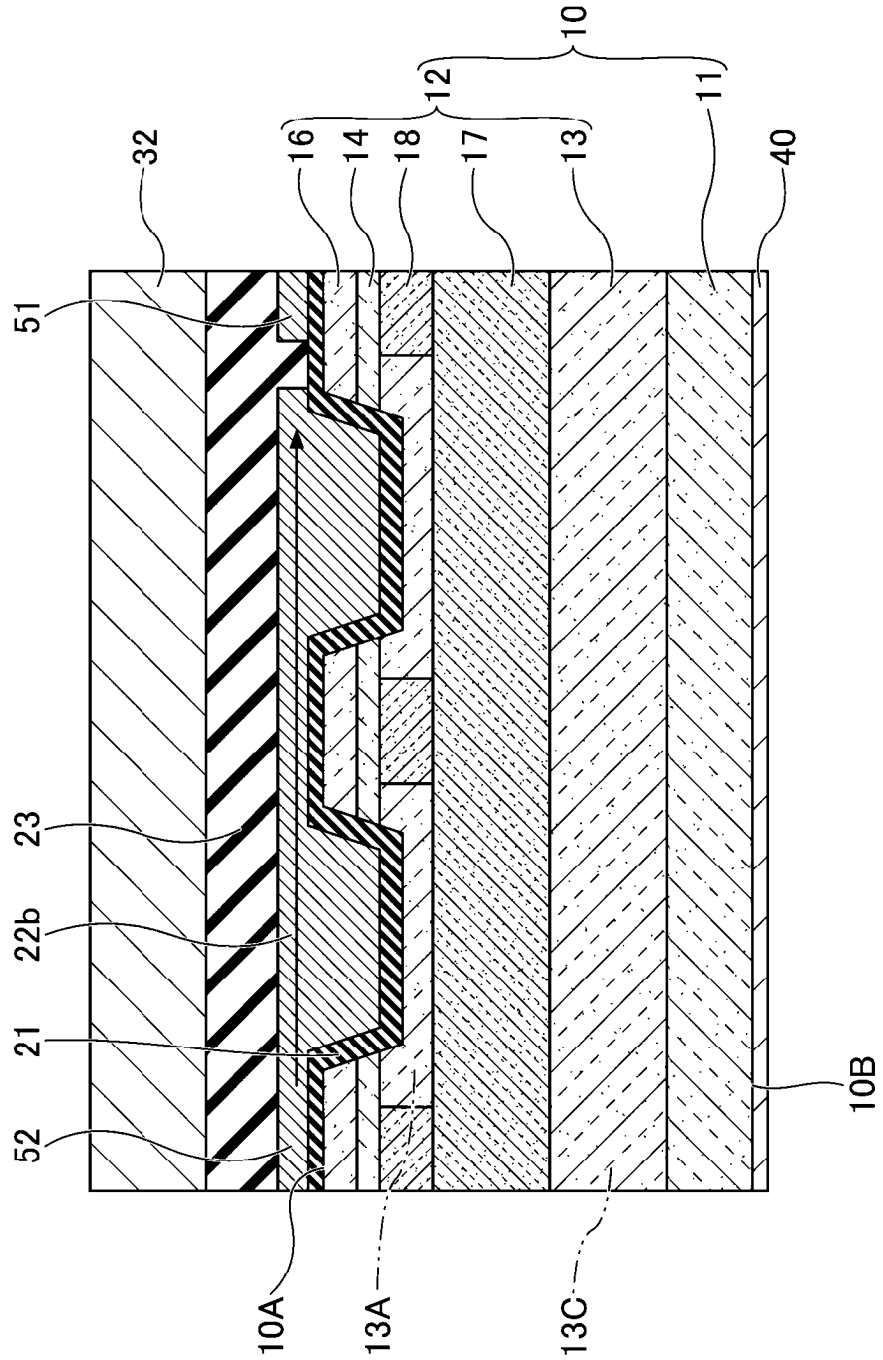


FIG.9

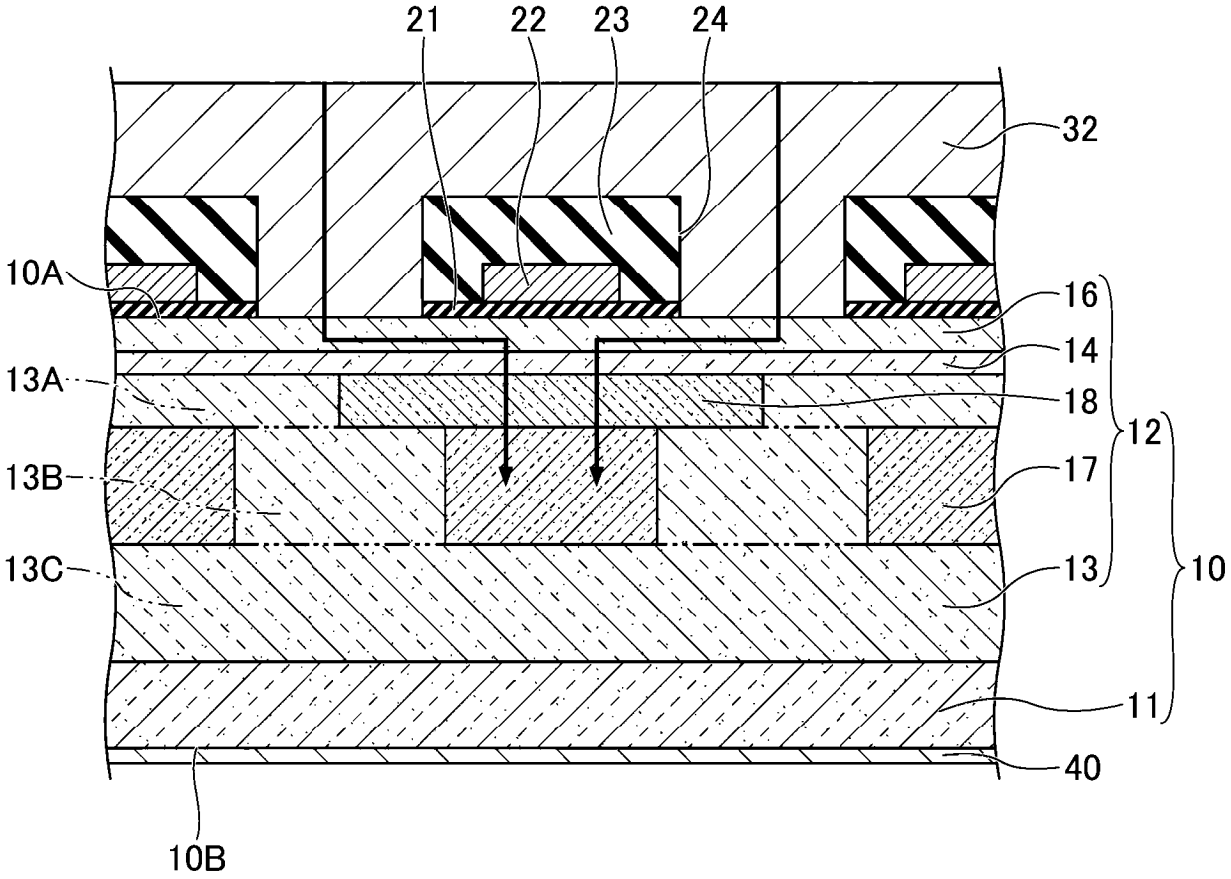
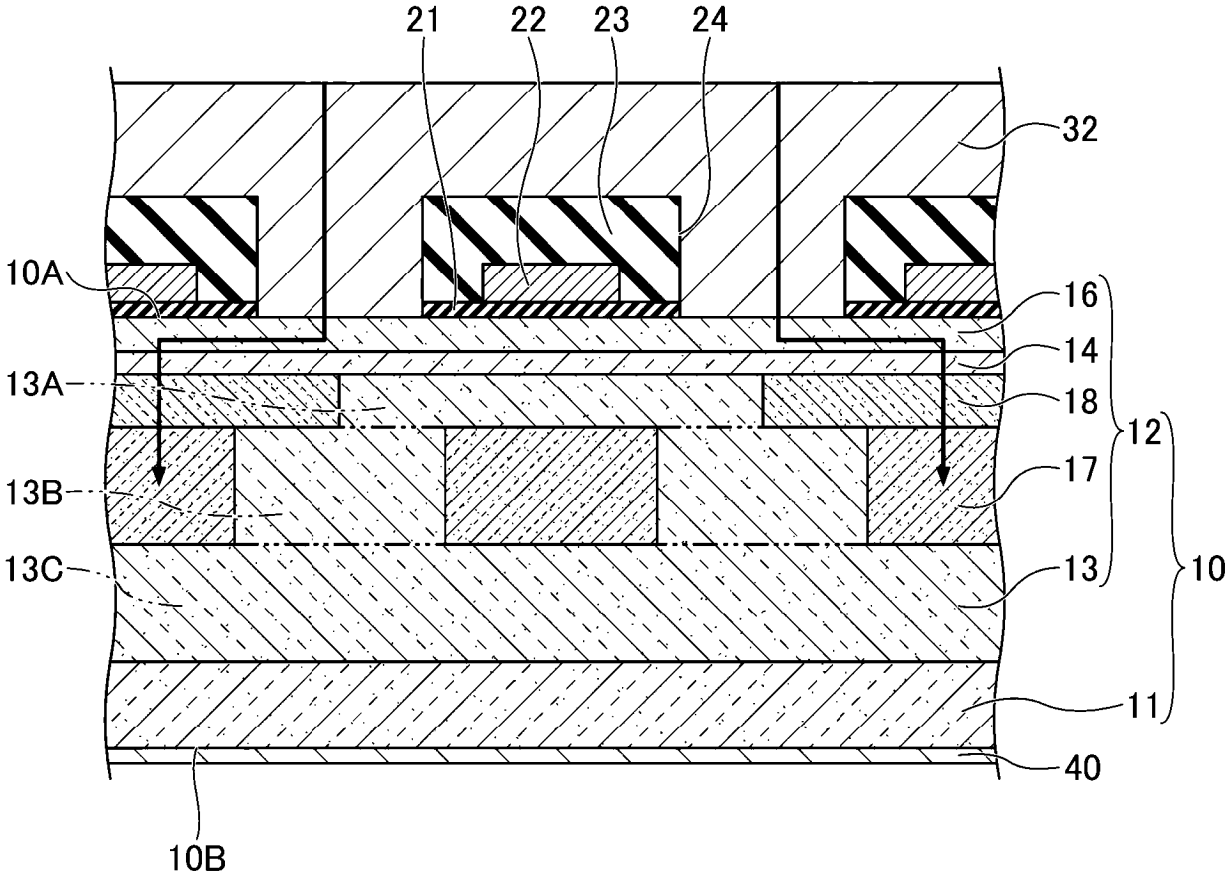


FIG.10



 Das Dokument wurde durch die Firma Luminess hergestellt.