

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2025 年 6 月 5 日 (05.06.2025)



(10) 国际公布号
WO 2025/112982 A1

- (51) 国际专利分类号:
H10K 59/12 (2023.01) **H10K 59/80** (2023.01)
H10K 59/131 (2023.01)
- (21) 国际申请号: PCT/CN2024/126205
- (22) 国际申请日: 2024 年 10 月 21 日 (21.10.2024)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202311599718.2 2023 年 11 月 27 日 (27.11.2023) CN
- (71) 申请人: 京东方科技集团股份有限公司(BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号 100015 (CN)。成都京东方光电科技有限公司(CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国四川省成都市高新区(西区)合作路 1188 号 611731 (CN)。北京京东方技术开发有限公司(BEIJING BOE TECHNOLOGY DEVELOPMENT CO., LTD.) [CN/CN]; 中国北京市大兴区北京经济技术开发区地泽路 9 号 1 幢 407 室 100176 (CN)。

- (72) 发明人: 胡明(HU, Ming); 中国北京市大兴区北京经济技术开发区地泽路 9 号 100176 (CN)。刘庭良(LIU, Tingliang); 中国北京市大兴区北京经济技术开发区地泽路 9 号 100176 (CN)。董向丹(DONG, Xiangdan); 中国北京市大兴区北京经济技术开发区地泽路 9 号 100176 (CN)。黄耀(HUANG, Yao); 中国北京市大兴区北京经济技术开发区地泽路 9 号 100176 (CN)。青海刚(QING, Haigang); 中国北京市大兴区北京经济技术开发区地泽路 9 号 100176 (CN)。张毅(ZHANG, Yi); 中国北京市大兴区北京经济技术开发区地泽路 9 号 100176 (CN)。
- (74) 代理人: 北京中博世达专利商标代理有限公司(BEIJING ZBSD PATENT & TRADEMARK AGENT LTD.); 中国北京市海淀区交大东路 31 号 11 号楼 8 层 100044 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA,

(54) Title: DISPLAY SUBSTRATE AND DISPLAY DEVICE

(54) 发明名称: 显示基板及显示装置

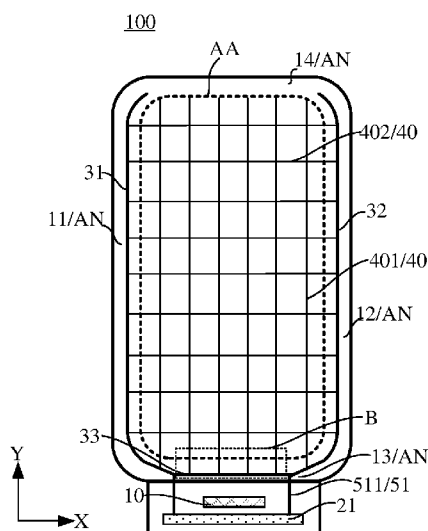


图 5

(57) Abstract: A display substrate and a display device. The display substrate comprises a display area and a peripheral area surrounding the display area. The peripheral area comprises a first bezel area, a second bezel area, a third bezel area, and a fourth bezel area. The display substrate further comprises at least one first binding electrode group, a first initialization signal bus, a second initialization signal bus, a third initialization signal bus, and a plurality of initialization signal lines. The first binding electrode group is located in the third bezel area; the first initialization signal bus is arranged in the first bezel area; the second initialization signal bus is arranged in the second bezel area; the third initialization signal bus is arranged in the third bezel area; the third initialization signal bus is connected to the first initialization signal bus and the second initialization signal bus, and is connected to the first binding electrode group; the plurality of initialization signal lines are at least arranged in the display area. The display substrate is used for displaying an image.



PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,
SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 显示基板和显示装置, 所述显示基板包括显示区以及围绕所述显示区的周边区。所述周边区包括第一边框区、第二边框区、第三边框区和第四边框区。所述显示基板还包括至少一个第一绑定电极组、第一初始化信号总线、第二初始化信号总线、第三初始化信号总线和多条初始化信号线。第一绑定电极组位于所述第三边框区; 第一初始化信号总线设置于所述第一边框区; 第二初始化信号总线设置于所述第二边框区; 第三初始化信号总线设置于所述第三边框区; 所述第三初始化信号总线和所述第一初始化信号总线、所述第二初始化信号总线连接, 且与所述绑定电极组连接; 多条初始化信号线至少设置于所述显示区。所述显示基板用于显示图像。

说明书

显示基板及显示装置

本申请要求于 2023 年 11 月 27 日提交的、申请号为 202311599718.2 的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本公开涉及显示技术领域，尤其涉及一种显示基板及显示装置。

背景技术

随着显示技术的不断发展，显示装置已经逐渐遍及在人们的生活中。其中，有机发光二极管(Organic Light-Emitting Diode, 简称: OLED)显示面板由于具有自发光、低功耗、宽视角、响应速度快、高对比度等优点，因而被广泛的应用于手机、电视、笔记本电脑等智能产品中。高刷新频率是目前显示装置的一个重要发展方向。

发明内容

一方面,提供一种显示基板。所述显示基板包括显示区以及围绕所述显示区的周边区。所述周边区包括第一边框区、第二边框区、第三边框区和第四边框区,所述第一边框区和所述第二边框区设置于所述显示区的沿第一方向的两侧,所述第三边框区和所述第四边框区设置于所述显示区沿第二方向的两侧,所述第一方向和所述第二方向交叉。

所述显示基板还包括至少一个第一绑定电极组、第一初始化信号总线、第二初始化信号总线、第三初始化信号总线和多条初始化信号线。第一绑定电极组位于所述第三边框区,每个所述第一绑定电极组用于连接一个驱动芯片;第一初始化信号总线设置于所述第一边框区;第二初始化信号总线设置于所述第二边框区;第三初始化信号总线设置于所述第三边框区;所述第三初始化信号总线和所述第一初始化信号总线、所述第二初始化信号总线连接,且与所述第一绑定电极组连接;多条初始化信号线至少设置于所述显示区,且与所述第一初始化信号总线、所述第二初始化信号总线和所述第三初始化信号总线连接。

在一些实施例中,所述显示基板还包括数据写入晶体管、第二复位晶体管、第二扫描信号线和第二复位控制信号线。所述数据写入晶体管的栅极和所述第二扫描信号线电连接,所述第二复位晶体管的栅极和所述第二复位控制信号线电连接。

其中,所述第二扫描信号线具有第一刷新频率,所述第二复位控制信号线具有第二刷新频率,所述第二刷新频率大于所述第一刷新频率。

在一些实施例中,所述显示基板还包括至少一个初始化信号第一连接线组。每个所述初始化信号第一连接线组包括多条初始化信号第一连接线,多条所述初始化信号第一连接线位于第三边框区,且位于所述第一绑定电极组和所述第三初始化信号总线之间,用于连接所述第一绑定电极组和所述第三初始化信号总线。

在一些实施例中,所述显示基板还包括层叠设置的第一源漏金属层和第二源漏金属层。

所述第三初始化信号总线 and 所述初始化信号第一连接线组位于第一源漏金属层或第二源漏金属层；或者，所述第三初始化信号总线 and 所述初始化信号第一连接线组中的一者位于第一源漏金属层，另一者位于第二源漏金属层。

在一些实施例中，所述初始化信号线包括沿所述第二方向延伸的多条第一初始化信号线和沿所述第一方向延伸的多条第二初始化信号线。所述多条第一初始化信号线延伸至第三边框区，且和所述第三初始化信号总线连接，所述多条第二初始化信号线延伸至所述第一边框区和所述第二边框区，且分别与所述第一初始化信号总线 and 所述第二初始化信号总线连接；多条所述第一初始化信号线 and 多条所述第二初始化信号线连接。

在一些实施例中，所述显示基板还包括层叠设置的两层源漏金属层。所述第三初始化信号总线与多条第一初始化信号线位于不同的源漏金属层；所述多条第一初始化信号线 and 多条第二初始化信号线位于不同的源漏金属层。

在一些实施例中，所述显示基板还包括多个发光器件、第一电压信号总线 and 沿所述第二方向延伸的多条第一电压信号线。第一电压信号总线设置于所述第三边框区；位于所述第三初始化信号总线在第二方向上的一侧；所述第一电压信号总线与所述发光器件的阴极连接；第一电压信号线至少设置于所述显示区，且延伸至所述第三边框区，所述多条第一电压信号线 and 所述第一电压信号总线连接；在所述第三边框区，所述多条第一初始化信号线 and 多条第一电压信号线沿第一方向交替设置。

在一些实施例中，所述显示基板还包括层叠设置的两层源漏金属层。所述第一电压信号总线 and 所述第三初始化信号总线位于同一所述源漏金属层；所述第一电压信号总线 and 多条所述第一电压信号线位于不同所述源漏金属层。

在一些实施例中，显示基板还包括多个像素电路、参考电压信号总线 and 沿所述第二方向延伸的多条参考电压信号线。所述像素电路包括驱动晶体管、写入晶体管和第一复位晶体管，所述驱动晶体管和所述写入晶体管、第一复位晶体管电连接于第一节点，第一复位晶体管被配置为将参考电压信号传输至第一节点；参考电压信号总线设置于第三边框区，且位于第三初始化信号总线沿第二方向的一侧；所述参考电压信号总线被配置为传输参考电压信号；多条参考电压信号线至少设置于所述显示区，且延伸至所述第三边框区，所述多条参考电压信号线 and 所述参考电压信号总线连接；在所述第三边框区，多条所述第一初始化信号线 and 多条所述参考电压信号线沿所述第一方向交替设置。

在一些实施例中，所述显示基板还包括层叠设置的两层源漏金属层。所述参考电压信号总线 and 所述第三初始化信号总线位于同一所述源漏金属层；所述参考电压信号总线 and 多条所述参考电压信号线位于不同所述源漏金属层。

在一些实施例中，所述显示基板还包括至少一个第二绑定电极组和第四初始化信号总线。所述第二绑定电极组位于所述第四边框区，所述第二绑定电极组用于连接驱动芯片；

所述第四初始化信号总线位于所述第四边框区，所述第四初始化信号总线和所述第一初始化信号总线、所述第二初始化信号总线连接，且与所述第二绑定电极组连接；所述多条初始化信号线还与第四初始化信号总线连接。

在一些实施例中，所述显示基板还包括初始化信号第二连接线组。所述初始化信号第二连接线组包括多条初始化信号第二连接线，位于所述第四边框区，且位于所述第二绑定电极组和所述第四初始化信号总线之间，用于连接所述第二绑定电极组和所述第四初始化信号总线。

另一方面，提供一种显示装置。所述显示装置包括：如上述任一实施例所述的显示基板。

附图说明

为了更清楚地说明本公开中的技术方案，下面将对本公开一些实施例中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例的附图，对于本领域普通技术人员来讲，还可以根据这些附图获得其他的附图。此外，以下描述中的附图可以视作示意图，并非对本公开实施例所涉及的产品的实际尺寸、方法的实际流程、信号的实际时序等的限制。

图 1 为根据本公开的一些实施例的显示装置的结构图；

图 2A 为本公开的一些实施例所提供的像素驱动电路的等效电路图；

图 2B 为本公开的一些实施例所提供的像素驱动电路的时序信号控制图；

图 3 为根据本公开的一些实施例的显示基板的一种结构图；

图 4 为图 3 中的显示基板产生横纹的示意图；

图 5 为根据本公开的一些实施例的显示基板的另一种结构图；

图 6 为根据本公开的一些实施例的显示基板的又一种结构图；

图 7 为图 5 中区域 B 的局部结构图；

图 8 为根据本公开的一些实施例的显示基板的又一种结构图；

图 9 为根据本公开的一些实施例的显示基板的又一种结构图。

具体实施方式

下面将结合附图，对本公开一些实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本公开一部分实施例，而不是全部的实施例。基于本公开所提供的实施例，本领域普通技术人员所获得的所有其他实施例，都属于本公开保护的范围。

除非上下文另有要求，否则，在整个说明书和权利要求书中，术语“包括 (comprise)”及其其他形式例如第三人称单数形式“包括 (comprises)”和现在分词形式“包括 (comprising)”被解释为开放、包含的意思，即为“包含，但不限于”。在说明书的描述中，术语“一个实施例 (one embodiment)”、“一些实施例 (some embodiments)”、“示

例性实施例(exemplary embodiments)”、“示例(example)”、“特定示例(specific example)”或“一些示例(some examples)”等旨在表明与该实施例或示例相关的特定特征、结构、材料或特性包括在本公开的至少一个实施例或示例中。上述术语的示意性表示不一定是指同一实施例或示例。此外，所述的特定特征、结构、材料或特点可以以任何适当方式包括在任何一个或多个实施例或示例中。

以下，术语“第一”、“第二”仅用于描述目的，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个该特征。在本公开实施例的描述中，除非另有说明，“多个”的含义是两个或两个以上。

“A、B和C中的至少一个”与“A、B或C中的至少一个”具有相同含义，均包括以下A、B和C的组合：仅A，仅B，仅C，A和B的组合，A和C的组合，B和C的组合，及A、B和C的组合。

“A和/或B”，包括以下三种组合：仅A，仅B，及A和B的组合。

本文中“适用于”或“被配置为”的使用意味着开放和包容性的语言，其不排除适用于或被配置为执行额外任务或步骤的设备。

另外，“基于”的使用意味着开放和包容性，因为“基于”一个或多个所述条件或值的过程、步骤、计算或其他动作在实践中可以基于额外条件或超出所述的值。

如本文所使用的那样，“约”、“大致”或“近似”包括所阐述的值以及处于特定值的可接受偏差范围内的平均值，其中所述可接受偏差范围如由本领域普通技术人员考虑到正在讨论的测量以及与特定量的测量相关的误差(即，测量系统的局限性)所确定。

如本文所使用的那样，“平行”、“垂直”、“相等”包括所阐述的情况以及与所阐述的情况相近似的情况，该相近似的情况的范围处于可接受偏差范围内，其中所述可接受偏差范围如由本领域普通技术人员考虑到正在讨论的测量以及与特定量的测量相关的误差(即，测量系统的局限性)所确定。例如，“平行”包括绝对平行和近似平行，其中近似平行的可接受偏差范围例如可以是 5° 以内偏差；“垂直”包括绝对垂直和近似垂直，其中近似垂直的可接受偏差范围例如也可以是 5° 以内偏差。“相等”包括绝对相等和近似相等，其中近似相等的可接受偏差范围内例如可以是相等的两者之间的差值小于或等于其中任一者的5%。

应当理解的是，当层或元件被称为在另一层或基板上时，可以是该层或元件直接在另一层或基板上，或者也可以是该层或元件与另一层或基板之间存在中间层。

本文参照作为理想化示例性附图的剖视图和/或平面图描述了示例性实施方式。在附图中，为了清楚，放大了层的厚度和区域的面积。因此，可设想到由于例如制造技术和/或公差引起的相对于附图的形状的变动。因此，示例性实施方式不应解释为局限于本文示出的

区域的形状，而是包括因例如制造而引起的形状偏差。例如，示为矩形的蚀刻区域通常将具有弯曲的特征。因此，附图中所示的区域本质上是示意性的，且它们的形状并非旨在示出设备的区域的实际形状，并且并非旨在限制示例性实施方式的范围。

如图 1 所示，本公开的一些实施例提供了一种显示装置 1000，显示装置 1000 可以为电视机、显示器、笔记本电脑、平板电脑、手机、导航仪等任何具有显示功能的产品或者部件。图 1 中以显示装置 1000 为手机为例进行示意。

示例性地，上述显示装置 1000 可以是显示不论运动(例如，视频)还是固定(例如，静止图像)的且不论文字还是的图像的任何装置。更明确地说，预期所述实施例可实施在多种电子装置中或与多种电子装置关联，所述多种电子装置例如(但不限于)移动电话、无线装置、个人数据助理(PDA)、手持式或便携式计算机、GPS 接收器/导航器、相机、MP4 视频播放器、摄像机、游戏控制台、手表、时钟、计算器、电视监视器、平板显示器、计算机监视器、汽车显示器(例如，里程表显示器等)、导航仪、座舱控制器和/或显示器、相机视图的显示器(例如，车辆中后视相机的显示器)、电子相片、电子广告牌或指示牌、投影仪、建筑结构、包装和美学结构(例如，对于一件珠宝的图像的显示器)等。

示例性地，上述显示装置 1000 可以为电致发光显示装置或光致发光显示装置。在该显示装置为电致发光显示装置的情况下，电致发光显示装置可以为有机电致发光显示装置(Organic Light Emitting Diode, 简称 OLED)或量子点电致发光显示装置(Quantum Dot Light Emitting Diodes, 简称 QLED)。在该显示装置为光致发光显示装置的情况下，光致发光显示装置可以为量子点光致发光显示装置。

在一些实施例中，上述显示装置 1000 可以为低温多晶氧化物(low temperature polycrystalline oxide, LTPO)显示装置。其中，LTPO 显示装置能够支持多种刷新率，例如从 120 赫兹(Hz)到 1 赫兹(Hz)。

在一些实施例中，上述显示装置 1000 包括显示基板 100。

以下对上述显示基板 100 的结构进行详细说明。

如图 3 和图 5 所示，图 3 为一些实施例提供的显示基板 100' 的一种结构图，图 5 为本公开的一些实施例提供的显示基板 100 的一种结构图。显示基板 100 包括显示区 AA 以及围绕显示区 AA 的周边区 AN。周边区 AN 包括第一边框区 11、第二边框区 12、第三边框区 13 和第四边框区 14。第一边框区 11 和第二边框区 12 设置于显示区 AA 的沿第一方向 X 的两侧，第三边框区 13 和第四边框区 14 设置于显示区 AA 沿第二方向 Y 的两侧，第一方向 X 和第二方向 Y 交叉，示例性地，第一方向 X 和第二方向 Y 垂直。

需要说明的是，显示基板 100 的显示区 AA 用于显示图像。为了实现显示基板 100 的画面显示功能，在显示区 AA 设置有显示器件。

以下以显示基板 100 为 OLED 显示基板为例，对本公开的一些实施例进行示意性说

明，但是本公开的实施方式包括但不限于此，也可以考虑任何其它显示基板，只要应用相同的技术思想即可。

在一些实施例中，显示区 AA 内设置多个像素单元，每个像素单元包括至少三个子像素 P。子像素 P 为显示区 AA 内的最小发光单元。

示例性地，多个像素单元排列成多行多列。

在一些示例中，多个子像素 P 发射相同颜色的光线，显示区 AA 还可以包括设置于多个子像素 P 的出光侧的彩膜层。

例如，多个子像素 P 均发射白光、红光、绿光或蓝光等颜色光，在这种情况下，子像素 P 发出的颜色光经过彩膜层后保持同色光射出，或转化为其他颜色光射出，从而在多个子像素 P 发射同色光时，显示区 AA 可以实现多色出光。

在另一些示例中，多个子像素 P 发射不同颜色的光线，比如，多个子像素 P 包括发射红色光线的红光子像素、发射绿色光线的绿光子像素和发射蓝色光线的蓝光子像素，从而实现显示区 AA 的多色出光。

需要说明的是，每个像素单元包括至少三个子像素 P，即每个像素单元可以包括三个、四个或更多个子像素 P，且每个像素单元包括的多个子像素 P 可以是一行，一列或一组子像素，一组子像素 P 可以是彼此相邻的多个子像素 P，相邻的多个子像素 P 排成一行、排成一列、排成 L 型、排成矩形或排成菱形等。

同时，每个像素单元包括的多个子像素 P 的发光面积可以相同或不完全相同。以上仅作为示例性说明，不作为对本公开的限定，具体可以根据实际需要进行适应性设计。

在一些实施例中，子像素中包括像素驱动电路，如图 2A 所示，图 2A 为本公开的一些实施例提供的一种像素驱动电路的等效电路示意图。需要说明的是，图 2A 中以像素驱动电路为 8T1C 结构为例进行说明，但是本公开中像素驱动电路的结构并不局限于此，例如像素驱动电路可以是 3T1C、4T1C、5T1C、5T2C、6T1C 或 7T1C 等结构。其中，T 代表晶体管，位于 T 前面的数字表示为晶体管的个数，C 代表电容器，位于 C 前面的数字表示为电容器的个数。

请继续参照图 2A，像素驱动电路可以包括 8 个晶体管（晶体管 T1~晶体管 T8）和 1 个存储电容 C。

像素驱动电路还可以包括第一节点 N1、第二节点 N2、第三节点 N3 和第四节点 N4。需要说明的是，在本公开实施例提供的像素驱动电路中，节点并非表示实际存在的部件，而是表示像素驱动电路的等效电路示意图中相关电连接的汇合点，也就是说，这些节点是由像素驱动电路的等效电路示意图中相关电连接的汇合点等效而成的节点。

其中，第一节点 N1 分别与驱动晶体管 T3 的栅极、存储电容 C 的第一极板和阈值补偿晶体管 T2 的源极连接，第二节点 N2 分别与驱动晶体管 T3 的源极、第一发光控制晶体

管 T5 的漏极、数据写入晶体管 T4 的漏极和第三复位晶体管 T8 的漏极连接,第三节点 N3 分别与第一复位晶体管 T1 的漏极、阈值补偿晶体管 T2 的源极、第二发光控制晶体管 T6 的源极和驱动晶体管 T3 的漏极连接,第四节点 N4 分别与第二发光控制晶体管 T6 的漏极、第二复位晶体管 T7 的漏极和发光器件 D 连接。

存储电容 C 的第二极板与第一电源电压线 VDD 电连接,存储电容 C 的第一极板与第一节点 N1 连接,即存储电容 C 的第一极板与驱动晶体管 T3 的栅极连接。

第一复位晶体管 T1 的源极被配置为与初始化信号线 Vinit 电连接以接收初始化信号,第一复位晶体管 T1 的漏极与驱动晶体管 T3 的漏极电连接,第一复位晶体管 T1 的栅极被配置为与第一复位控制信号线 Preset1 电连接以接收复位控制信号。

阈值补偿晶体管 T2 的源极与驱动晶体管 T3 的栅极电连接,阈值补偿晶体管 T2 的漏极与驱动晶体管 T3 的漏极电连接,阈值补偿晶体管 T2 的栅极被配置为与第一扫描信号线 Ngate 电连接以接收补偿控制信号。

驱动晶体管 T3 的栅极与存储电容 C 的第一极板连接,驱动晶体管 T3 的源极与第二节点 N2 连接,驱动晶体管 T3 的漏极与第三节点 N3 连接。驱动晶体管 T3 根据其栅极与源极之间的电位差来确定在第二电压信号线 VDD 与第一电压信号线 VSS 之间流动的驱动电流的大小。

数据写入晶体管 T4 的漏极与驱动晶体管 T3 的源极电连接,数据写入晶体管 T4 的源极被配置为与数据信号线 Data 电连接以接收数据信号,数据写入晶体管 T4 的栅极被配置为与第二扫描信号线 Pgate 电连接以接收扫描信号。

第一发光控制晶体管 T5 的源极与第二电压信号线 (VDD) 91 电连接,第一发光控制晶体管 T5 的漏极与驱动晶体管 T3 的源极电连接,第一发光控制晶体管 T5 的栅极被配置为与发光控制信号线 EM 电连接以接收发光控制信号。

第二发光控制晶体管 T6 的源极与驱动晶体管 T3 的漏极电连接,第二发光控制晶体管 T6 的漏极与发光器件 D 的第一电极电连接,第二发光控制晶体管 T6 的栅极被配置为与发光控制信号线 EM 电连接以接收发光控制信号。

第二复位晶体管 T7 的源极被配置为与初始化信号线 Vinit 电连接以接收初始化信号,第二复位晶体管 T7 的漏极与发光器件 D 的第一电极电连接,第二复位晶体管 T7 的栅极被配置为与第二复位控制信号线 Preset2 电连接以接收复位控制信号。

第三复位晶体管 T8 的源极被配置为与参考电压信号线 Vref 电连接以接收参考电压信号,第三复位晶体管 T8 的漏极与驱动晶体管 T3 的源极电连接,第三复位晶体管 T8 的栅极被配置为与第二复位控制信号线 Preset2 电连接以接收复位控制信号。

发光器件 D 的第二电极与第一电压信号线 (VSS) 62 电连接。

其中,第一扫描信号线 Ngate 用于传输第一扫描信号,第二扫描信号线 Pgate 用于传

输第二扫描信号，第一复位控制信号线 Preset1 用于传输第一复位控制信号，第二复位控制信号线用于传输第二复位控制信号，第二电压信号线 VDD 用于传输第二电压信号，例如为高压直流信号，初始化信号线 Vinit 用于传输初始化信号，数据信号线 Data 用于传输数据信号，发光控制信号线 EM 用于传输发光控制信号，第一电压信号线 VSS 用于传输第一电压信号，例如为低压直流信号。

示例性地，晶体管 T1~晶体管 T8 可以是 P 型晶体管，或者可以是 N 型晶体管。像素驱动电路中采用相同类型的晶体管可以简化工艺流程，减少显示基板 100 的工艺难度，提高产品的良率。例如，晶体管 T1 到晶体管 T8 可以包括 P 型晶体管和 N 型晶体管，其中晶体管 T2 为 N 型晶体管，其余晶体管为 P 型晶体管。

示例性地，晶体管 T1 到晶体管 T8 可以采用低温多晶硅薄膜晶体管，或者可以采用氧化物薄膜晶体管，或者可以采用低温多晶硅薄膜晶体管和氧化物薄膜晶体管。低温多晶硅薄膜晶体管的有源层采用低温多晶硅（Low Temperature Poly-Silicon，简称 LTPS），氧化物薄膜晶体管的有源层采用氧化物半导体（Oxide）。低温多晶硅薄膜晶体管具有迁移率高、充电快等优点，氧化物薄膜晶体管具有漏电流低等优点，将低温多晶硅薄膜晶体管和氧化物薄膜晶体管集成在一个显示基板 100 上，形成低温多晶氧化物（Low Temperature Polycrystalline Oxide，简称 LTPO）显示基板，利用两者的优势，可以对显示基板 100 的刷新频率进行切换，以实现低频驱动，有利于降低功耗，提高显示品质。

当显示基板 100 进行刷新频率切换时，通常存在多种调节方式。其中一种调节方式为，在基础刷新频率（即基频）的基础上，将刷新频率进行降低，一般可以将刷新频率进行整数倍降低。将刷新频率进行整数倍降低时，可以称为插帧法调频。在插帧法中，基础刷新频率的显示帧包括写入帧。在基础刷新频率基础上降低刷新频率后的显示帧包括写入帧和保持帧，写入帧和保持帧的时长相同。也就是说，通过在相邻写入帧之间插入保持帧，来降低显示基板 100 的刷新频率，通过改变相邻写入帧之间插入保持帧的数量，改变刷新频率的降低倍数。例如，基础刷新频率为 120HZ，插入一个保持帧后刷新频率降低为 60HZ，插入两个保持帧后刷新频率降低为 40HZ，以此类推。两种不同刷新频率的切换，可以为基础刷新频率和由该基础刷新频率降频后的刷新频率之间的切换，也可以为基于同一个基础刷新频率降频后的两种刷新频率之间的切换。

例如，当显示基板 100 上的待显示内容（诸如视频）需要较高的刷新频率，例如 120Hz 的频率，即一秒钟刷新 120 次，每两次刷新之间（1s/120）完成所有行的像素的数据写入，将开始显示区 AA 内第一行的像素驱动电路的数据写入和完成最后一行像素驱动电路的数据写入之间的时长与一个显示帧的时长对应，因此在这种情况下 1s 包括 120 个显示帧。

又例如，当显示基板 100 上的待显示内容（诸如静止图像）不需要较高的刷新频率，只需要 1Hz 的刷新频率即可，即一秒钟仅更新 1 次显示数据。显示帧的时长相对于不同的

数据刷新频率是不变的,这样,在显示周期(例如 1s)的第一个显示帧(称为写入帧)内完成了所有行的像素驱动电路的数据写入,在后续的显示帧(称为保持帧)中每个像素驱动电路仍根据其存储电容 C 上的电压,并根据发光控制信号 EM 而控制发光元件 D 进行发光。

再例如,如图 2A 和 2B 所示,图 2B 为本公开的一些实施例所提供的像素驱动电路的时序信号控制图。第二扫描信号线 Pgate 具有第一刷新频率;第二复位控制信号线 Preset2 具有第二刷新频率。

其中,第二刷新频率大于第一刷新频率。第一刷新频率可以为 120Hz,第二刷新频率可以为 360Hz。

可以理解的是,显示基板 100 的刷新频率与数据信号写入的频率一致,即显示基板 100 的刷新频率为第二扫描信号线 Pgate 的第一刷新频率。在每次第二扫描信号线 Pgate 刷新,有数据信号写入时,第二复位控制信号线 Preset2 也需要刷新,将初始化信号写入,对与发光器件 D 的第一电极进行复位,以避免上帧写入的数据信号对本帧写入的数据信号的影响,造成显示基板 100 发光均匀性差。当第二扫描信号线 Pgate 的第一刷新频率和第二复位控制信号线 Preset2 的第二刷新频率相同时,若要切换显示基板 100 的刷新频率(例如降低刷新频率),需要同时改变第二扫描信号线 Pgate 的第一刷新频率和第二复位控制信号线 Preset2 的第二刷新频率,即需要通过增加保持帧(即上述插帧法调频),将基础刷新频率整数倍降低,例如当第一刷新频率可以为 120Hz 时,可以实现 30Hz、40Hz 或 60Hz 的刷新频率切换,以保证每次第二扫描信号线 Pgate 刷新,第二复位控制信号线 Preset2 也刷新。这样,造成对信号线的信号波形改动较大,同时,由于显示基板 100 的刷新频率降低,且第一刷新频率和第二刷新频率均降低,会出现屏幕闪烁的现象,影响显示效果。

将第二复位控制信号线 Preset2 的第二刷新频率设置为大于第二扫描信号线 Pgate 的第一刷新频率,例如设置为原来的三倍,为 360Hz,可以支持更多的刷新频率切换且改善屏幕闪烁的现象。如图 2B 所示,第二复位控制信号线 Preset2 的第二刷新频率较大,即每个帧阶段,第二复位控制信号线传输的信号均具有工作电平,能够对发光器件 D 的第一电极进行复位,若要切换显示基板 100 的刷新频率(例如降低刷新频率),只需改变第二扫描信号线 Pgate 的第一刷新频率,无需改变第二复位控制信号线 Preset2 的第二刷新频率,也能保证在每次第二扫描信号线 Pgate 刷新时,第二复位控制信号线 Preset2 也刷新,这样就简化了对信号线的时序信号的改动,同时,由于在每个帧阶段都会对发光器件 D 的第一电极进行复位,视觉上具有屏幕刷新的效果,这样就改善了由于显示基板 100 的刷新率降低带来的屏幕闪烁的问题。

在一些实施例中,第一扫描信号线 Ngate 具有第一刷新频率;第一复位控制信号线 Preset1 具有第二刷新频率。由于在第二扫描信号线 Pgate 刷新写入数据信号时,第一扫描信号线 Ngate 也需要刷新,将阈值补偿晶体管 T2 导通进行阈值补偿,在第二复位控制信

号线 Preset2 复位对第四节点 N4 复位时, 第一复位控制信号线 Preset1 也进行刷新, 对第三节点 N3 复位, 因此第一扫描信号线 Ngate 和第一复位控制信号线 Preset1 的刷新频率的设置原理与第二扫描信号线 Pgate 和第二复位控制信号线 Preset2 的设置原理一致, 此处不再赘述。以下结合图 2A 和图 2B, 对显示基板 100 进行刷新频率切换时像素驱动电路的工作原理进行说明。需要说明的是, 图 2B 中的时序图针对的是不需要高刷新频率的情况(也称为低频显示), 而在需要高刷新频率的情况下, 每个显示帧(例如, 1s 内 120 个显示帧)的驱动时序都与图 2B 所描述的写入帧的时序相同, 在此不进行赘述。

在显示装置低频显示的场景下, 以每相邻三个帧阶段为一组, 一组中的第一帧阶段为写入帧阶段, 负责显示信号写入并发光, 第二帧阶段和第三帧阶段均为保持帧阶段, 负责基于写入帧阶段所写入的显示信号进行发光, 上述像素驱动电路的驱动过程分为写入帧阶段和保持帧阶段:

在写入帧阶段, 一个写入帧阶段包括第一复位阶段 t1、数据刷新及补偿阶段 t2、第二复位阶段 t3 和第一发光阶段 t4。其中, 在第一复位阶段 t1, 阈值补偿晶体管 T2 在第一扫描信号的控制下导通, 第一复位晶体管 T1 在第一复位控制信号的控制下导通, 使得初始化信号写入到第一节点 N1, 进而对第一节点 N1 进行复位。

此时, 驱动晶体管 T3 导通, 写入晶体管 T4、第一发光控制晶体管 T5 以及第二发光控制晶体管 T6 均处于断开的状态, 且发光器件 OLED 不发光。

在数据刷新及补偿阶段 t2, 第一复位晶体管 T1 在第一复位控制信号的控制下断开, 阈值补偿晶体管 T2 保持导通状态, 写入晶体管 T4 在第二扫描信号的控制下导通, 驱动晶体管 T3 维持第一复位阶段 t1 的导通状态, 因此数据信号可以依次通过写入晶体管 T4、驱动晶体管 T3 和阈值补偿晶体管 T2 传输至第一节点 N1, 使得第一节点 N1 的电压改变, 直至第一节点 N1 的电压达到驱动晶体管 T3 的阈值电压与数据信号 Data 的电压之和, 使得驱动晶体管 T3 断开。在数据刷新及补偿阶段 t2, 可以将驱动晶体管 T3 的阈值电压写入到第一节点 N1, 以此补偿驱动晶体管 T3 的阈值电压漂移, 避免驱动晶体管产生的驱动信号发生变化, 避免对发光器件 D 的发光强度所产生的影响。在该阶段, 第一发光控制晶体管 T5 和第二发光控制晶体管 T6 在发光控制信号的控制下处于断开的状态。

在第二复位阶段 t3, 补偿晶体管 T2 在第一扫描信号的控制下断开, 写入晶体管 T4 在第二扫描信号的控制下断开, 第二复位晶体管 T7 和第三复位晶体管 T8 在第二复位控制信号的控制下导通, 进而使得初始化信号写入第二节点 N2 和发光器件 D 的阳极, 进而对第二节点 N2 和发光器件 D (第四节点 N4) 的阳极进行复位。

在第一发光阶段 t4, 第二复位晶体管 T7 和第三复位晶体管 T8 在第二复位控制信号的控制下断开, 第一发光控制晶体管 T5 和第二发光控制晶体管 T6 在发光控制信号的控制下导通, 进而使得第一电压信号写入到驱动晶体管 T3 的第一极区, 发光器件 D 的阳极电压

可以写入到驱动晶体管 T3 的第二极区,进而使得驱动晶体管 T3 导通,以此在第一电源电压线 VDD 与发光器件 D 之间形成通路,使得发光器件 D 发光。

在保持帧阶段,每个保持帧阶段包括第三复位阶段 t5、第四复位阶段 t6 和发光阶段 t7。在第三复位阶段 t5,阈值补偿晶体管 T2 在第一扫描信号的控制下导通,第一复位晶体管 T1 在第一复位控制信号的控制下导通,使得初始化信号写入到第一节点 N1,进而对第一节点 N1 进行复位。

在第四复位阶段 t6,第二复位晶体管 T7 和第三复位晶体管 T8 在第二复位控制信号的控制下导通,进而使得初始化信号写入第二节点 N2 和 D 的阳极,进而对第二节点 N2 和发光器件 D 的阳极(第四节点 N4)进行复位。

在第二发光阶段 t7,第二复位晶体管 T7 和第三复位晶体管 T8 在第二复位控制信号的控制下断开,第一发光控制晶体管 T5 和第二发光控制晶体管 T6 在发光控制信号的控制下导通,进而使得第一电压信号写入到驱动晶体管 T3 的第一极区,发光器件 D 的阳极电压可以写入到驱动晶体管 T3 的第二极区,进而使得驱动晶体管 T3 导通,以此在第一电源电压线 VDD 与发光器件 D 之间形成通路,使得发光器件 D 发光。

由上述像素驱动电路的驱动过程可知,在各复位阶段,均由初始化信号线(Vinit)40 传输的初始化信号对第一节点 N1、第二节点 N2、第三节点 N3 或第四节点 N4 进行复位,以改变上述节点的电位,从而将各像素驱动电路的相对应节点的电位拉高或拉低至统一电位,避免显示基板中的干扰源对各像素驱动电路的节点的电位的干扰,造成显示亮度不均一的情况。因此,初始化信号线的布线对所传输的初始化信号的准确性和均一性非常重要。

以下对上述初始化信号线(Vinit)40 在显示基板 100 内的布线方式进行详细说明。

如图 3 所示,显示基板 100 包括第一绑定电极组 21、第一初始化信号总线 31、第二初始化信号总线 32 和初始化信号线 40。第一绑定电极组 21 位于第三边框区 13,第一绑定电极组 21 用于连接驱动芯片 10;第一初始化信号总线 31 设置于第一边框区 11;第二初始化信号总线 32 设置于第二边框区 12;多条初始化信号线 40 至少设置于显示区 AA,且与第一初始化信号总线 31 和第二初始化信号总线 32 连接。

多条初始化信号线 40 通过第一初始化信号总线 31 和第二初始化信号总线 32,从显示区 AA 的两侧引入初始化信号,由于初始化信号线上存在电阻,初始化信号传输过程中会产生压降,且初始化信号线的靠近第一边框区 11 或第二边框区 12 的位置的压降和远离第一边框区 11 或第二边框区 12 的位置的压降存在差异,这样会导致初始化信号线的不同位置传输的初始化信号不均一,提供给各子像素中像素驱动电路的初始化信号不一致,造成在第四节点 N4 复位时,该节点的电位偏低,从而对应子像素偏暗,影响显示效果。

尤其是当第二复位控制信号线 Preset2 的第二刷新频率较大时,例如 360Hz。在显示基板 100 低灰阶显示时,N4 节点的复位时间将减少,例如当第二刷新频率为 360Hz 时,N4

节点的复位时间为 $1/360s$ ，这将导致显示基板 100 低灰阶显示时 N4 节点复位不充分，引起横纹等不良，即如图 4 所示，显示基板 100 的显示区 AA 出现多条（三条）带状横纹。

且在中等或较大尺寸的显示基板 100 中，由于显示基板 100 面积较大，显示基板 100 的显示区 AA 更加容易出现如图 4 所示的多条（三条）带状横纹。

基于此，如图 5 所示，本申请的一些实施例提供一种显示基板 100。显示基板 100 包括至少一个第一绑定电极组 21、第一初始化信号总线 31、第二初始化信号总线 32、第三初始化信号总线 33 和多条初始化信号线 40。至少一个第一绑定电极组 21 位于第三边框区 13，每个第一绑定电极组 21 用于连接一个驱动芯片 10；第一初始化信号总线 31 设置于第一边框区 11；第二初始化信号总线 32 设置于第二边框区 12；第三初始化信号总线 33 设置于第三边框区 13；第三初始化信号总线 33 与第一初始化信号总线 31 和第二初始化信号总线 32 连接，且与第一绑定电极组 21 连接；多条初始化信号线 40 至少设置于显示区 AA，且与第一初始化信号总线 31、第二初始化信号总线 32 和第三初始化信号总线 33 连接。

通过在第三边框区 13 设置第三初始化信号总线 33，第三初始化信号总线 33 与第一初始化信号总线 31 和第二初始化信号总线 32 连接，且与绑定电极组 21 连接，多条初始化信号线 40 除了与第一初始化信号总线 31 和第二初始化信号总线 32 连接之外，还与第三初始化信号总线 33 连接。可以通过第一初始化信号总线 31、第二初始化信号总线 32 和第三初始化信号总线 33 同时向初始化信号线 40 传输初始化信号，且初始化信号线 40 内远离第一初始化信号总线 31 和第二初始化信号总线 32 的部分可以通过第三初始化信号总线 33 接收初始化信号，可以减小多条初始化信号线 40 在显示区 AA 的中间位置和边缘位置的压降(IR Drop)差异，使得多个子像素所接收到的初始化信号趋于一致，避免显示基板 100 出现横纹等显示不良。

示例性地，驱动芯片 10 可以通过覆晶薄膜(Chip On Film, 缩写 COF)、覆晶玻璃(Chip On Glass, 缩写 COG)和覆晶柔性材料(Chip On Pi, 缩写 COP)等方式封装，并与第三边框区 13 绑定。例如，驱动芯片 10 可以通过覆晶薄膜(Chip On Film, 缩写 COF)封装，该显示基板 100 包括覆晶薄膜组件，该覆晶薄膜组件包括柔性线路板(Flexible Printed Circuit, 缩写 FPC)和绑定于该柔性线路板的驱动芯片 10。

示例性地，显示基板 100 可以包括一个、两个、三个、四个或更多个第一绑定电极组 21。例如，如图 6 所示，图 6 为本公开的一些实施例提供的显示基板 100 的另一种结构图。显示基板 100 可以包括四个第一绑定电极组 21，每个第一绑定电极组 21 对应连接有一个驱动芯片 10，即驱动芯片 10 也相应设置四个，四个第一绑定电极组 21 均可以设置在第三边框区 13，且分别和第三初始化信号总线 33 连接并传输初始化信号，有利于进一步降低初始化信号线的压降(IR Drop)，提高显示基板 100 的显示效果。

在一些实施例中，显示基板 100 的第三边框区 13 包括非弯折区和弯折区，弯折区相

对非弯折区远离显示区 AA，第三初始化信号总线 33 位于非弯折区，多个第一绑定电极组 21 位于弯折区，弯折区可以朝向显示基板 100 的非显示侧弯折，即弯折到显示基板 100 的背面，以减小显示基板 100 的边框，驱动芯片 10 设置于显示基板 100 的背面，驱动芯片 10 通过柔性线路板与第一绑定电极组 21 连接。

在一些实施例中，请继续参照图 6，显示基板 100 还可以包括至少一个第二绑定电极组 22 和第四初始化信号总线 34。第二绑定电极组 22 位于第四边框区 14，用于连接驱动芯片 10；第四初始化信号总线 34 也位于第四边框区 14，第四初始化信号总线 34 分别与第一初始化信号总线 31 和第二初始化信号总线 32 连接，且与第二绑定电极组 22 连接；多条初始化信号线 40 还与第四初始化信号总线 34 连接。在显示基板 100 的非显示侧，第二绑定电极组 22 与第三边框区 13 内的驱动芯片 10 连接并传输初始化信号。

通过在第四边框区 14 设置第四初始化信号总线 34，第四初始化信号总线 34 与第一初始化信号总线 31 和第二初始化信号总线 32 连接，即，第一初始化信号总线 31、第二初始化信号总线 32、第三初始化信号总线 33 和第四初始化信号总线 34 相互连接形成环状结构，且第四初始化信号总线 34 还与第二绑定电极组 22 连接用于传输初始化信号，多条初始化信号线 40 除了与第一初始化信号总线 31、第二初始化信号总线 32 和第三初始化信号总线 33 连接之外，还与第四初始化信号总线 34 连接。可以通过第一初始化信号总线 31、第二初始化信号总线 32、第三初始化信号总线 33 和第四初始化信号总线 34 同时向初始化信号线 40 传输初始化信号，可以进一步减小初始化信号线 40 在显示区 AA 的中间位置和边缘位置的压降(IR Drop)差异，避免显示基板 100 出现横纹等显示不良，提高显示基板 100 的显示均匀性。

示例性地，显示基板 100 可以包括一个、两个、三个、四个或更多个第二绑定电极组 22。例如，请继续参照图 6，显示基板 100 可以包括两个第二绑定电极组 22，每个第二绑定电极组 22 对应连接有一个驱动芯片 10，两个第二绑定电极组 22 均可以设置在第四边框区 14，且分别和第四初始化信号总线 34 连接并传输初始化信号，有利于更进一步降低初始化信号线的压降(IR Drop)，提高显示基板 100 的显示效果。

在一些实施例中，显示基板 100 的第四边框区 14 包括非弯折区和弯折区，弯折区相对非弯折区远离显示区 AA，第四初始化信号总线 34 位于非弯折区，多个第二绑定电极组 22 位于弯折区，弯折区可以朝向显示基板 100 的非显示侧弯折，即弯折到显示基板 100 的背面，以减小显示基板 100 的边框。驱动芯片 10 设置于显示基板 100 的背面，驱动芯片 10 通过设置在显示基板 100 的背面的柔性线路板与第二绑定电极组 22 连接。

示例性地，第一绑定电极组 21 和第二绑定电极组 22 可以连接同一个驱动芯片 10。例如，在显示基板 100 的背面（即显示基板 100 的非显示侧），第二绑定电极组 22 通过柔性线路板连接至与第一绑定电极组 21 连接的驱动芯片 10。由于柔性线路板中的走线电阻远

小于显示基板 100 中的走线的电阻，因此，在显示基板 100 的第四边框区 14 设置第二绑定电极组 22，并弯折到显示基板 100 的背面，将显示基板 100 的第三边框区 13 和第四边框区 14 通过柔性线路板连接，可以降低信号压降，进一步提升初始化信号在显示区 AA 的均一性，进而提升显示的均一性。

在一些实施例中，请继续参照图 5 和图 6，显示基板 100 还包括至少一个初始化信号第一连接线组 51；每个初始化信号第一连接线组 51 包括多条初始化信号第一连接线 511，多条初始化信号第一连接线 511 位于第三边框区 13，且位于第一绑定电极组 21 和第三初始化信号总线 33 之间，用于连接第一绑定电极组 21 和第三初始化信号总线 33，并传输初始化信号。

通过设置多条初始化信号第一连接线 511 向第三初始化信号总线 33 输入初始化信号，可以减小初始化信号在第三初始化信号总线 33 上的压降（IR Drop），有利于提高显示基板 100 的显示效果。

在一些示例中，如图 5 所示，多条初始化信号第一连接线 511 中的一条还与第一初始化信号总线的靠近第三边框区的一端连接，多条初始化信号第一连接线 511 中的另一条还与第二初始化信号总线靠近第三边框区的一端连接，初始化信号由第一绑定电极组 21 通过初始化信号第一连接线 511 传输至第一初始化信号总线和第二初始化信号总线，同时传输至第三初始化信号总线，实现第一绑定电极组和初始化信号总线之间的信号传输。

示例性地，每个初始化信号第一连接线组 51 内的初始化信号第一连接线 511 的数量可以设置为两条、三条、四条、五条、七条、八条或九条，只要保证足够的布线空间，及能够使得初始化信号第一连接线 511 不与显示基板 100 内其他金属走线发生短路风险，或者，多条初始化信号第一连接线 511 之间互相不交叠、互不影响即可，在此不作任何具体限定。

在一些实施例中，请继续参照图 6，显示基板 100 还包括至少一个初始化信号第二连接线组 52；每个初始化信号第二连接线组 52 包括多条初始化信号第二连接线 512，多条初始化信号第二连接线 512 位于第四边框区 14，且位于第二绑定电极组 22 和第四初始化信号总线 34 之间，用于连接第二绑定电极组 22 和第四初始化信号总线 34，并传输初始化信号。

通过设置多条初始化信号第二连接线 512 向第四初始化信号总线 34 输入初始化信号，可以减小初始化信号在第四初始化信号总线 34 上的压降（IR Drop），有利于提高显示基板 100 的显示效果。

示例性地，每个初始化信号第二连接线组 52 内的初始化信号第二连接线 512 的数量可以设置为两条、三条、四条、五条、七条、八条或九条，只要保证足够的布线空间，及能够使得初始化信号第二连接线 512 不与显示基板 100 内其他金属走线发生短路风险，或

者，多条初始化信号第二连接线 512 之间互相不交叠、互不影响即可，在此不作任何具体限定。

在一些实施例中，请继续参照图 5 和图 6，初始化信号线 40 包括多条第一初始化信号线 401 和多条第二初始化信号线 402。每条第一初始化信号线 401 沿第二方向 Y 延伸至第三边框区 13，并与第三初始化信号总线 33 连接，多条第一初始化信号线 401 沿第一方向 X 依次排布；每条第二初始化信号线 402 沿所述第一方向 X 延伸至第一边框区 11 和第二边框区 12，并分别与第一初始化信号总线 31 和第二初始化信号总线 32 连接，多条第二初始化信号线 402 沿第二方向 Y 依次排布；多条第一初始化信号线 401 和多条第二初始化信号线 402 连接使初始化信号线 40 形成网状结构。

通过将初始化信号线 40 设置为网状结构，第一初始化信号总线 31、第二初始化信号总线 32 和第三初始化信号总线 33 提供的初始化信号经网状结构的初始化信号线 40 分散传输，可进一步降低初始化信号在传输路径上的压降、提升初始化信号的均一性，从而进一步提升显示均一性，避免显示基板产生横纹等显示不良。

示例性地，多条第一初始化信号线 401 和多条第二初始化信号线 402 可以同层或者异层设置。当多条第一初始化信号线 401 和多条第二初始化信号线 402 同层设置时，二者可以一体设置；当多条第一初始化信号线 401 和多条第二初始化信号线 402 异层设置时，二者可以通过打孔的方式电连接，或通过其他导电部转接，在此不作任何具体限定。

在一些实施例中，如图 7 和图 8 所示，图 7 为图 5 中区域 B 的局部结构图。显示基板 100 还包括第一电压信号总线 61 和多条第一电压信号线 62。第一电压信号总线 61 设置于第三边框区 13，且位于第三初始化信号总线 33 在第二方向 Y 上的一侧；第一电压信号总线 61 与发光器件的阴极连接，用于向发光器件传输电压信号。多条第一电压信号线 62 沿第二方向 Y 延伸，至少设置于显示区 AA，且延伸至第三边框区 13，多条第一电压信号线 62 和第一电压信号总线 61 连接。在第三边框区 13，多条第一初始化信号线 401 和多条第一电压信号线 62 沿第一方向 X 交替设置。

上述“多条第一初始化信号线 401 和多条第一电压信号线 62 沿第一方向 X 交替设置”，包括每一条第一初始化信号线 401 和每一条第一电压信号线 62 沿第一方向 X 有规律地交替设置，在这种情况下，每条初始化信号线 401 和一系列子像素 P 电连接，每条第一电压信号线 62 和一系列子像素 P 电连接。

通过上述设置，可以避免多条第一初始化信号线 401 和多条第一电压信号线 62 在第三边框区 13 内交叠导致短路，且可以降低第三边框区 13 内布线难度。

在一些实施例中，请继续参照图 7，显示基板 100 还包括参考电压信号总线 71 和多条参考电压信号线 72。参考电压信号总线 71 设置于第三边框区 13，且位于第三初始化信号总线 33 沿第二方向 Y 的一侧，参考电压信号总线 71 被配置为传输参考电压信号；多条参

考电压信号线 72 沿第二方向 Y 延伸, 至少设置于显示区 AA, 且延伸至第三边框区 13, 多条参考电压信号线 72 和参考电压信号总线 71 连接; 在第三边框区 13, 多条第一初始化信号线 401 和多条参考电压信号线 72 沿第一方向 X 交替设置。

上述“多条第一初始化信号线 401 和多条参考电压信号线 72 沿第一方向 X 交替设置”, 可以是多条第一初始化信号线 401 和多条参考电压信号线 72 沿第一方向 X 有规律地交替设置, 在这种情况下, 每条初始化信号线 401 和一系列子像素 P 电连接, 每条参考电压信号线 72 和一系列子像素 P 电连接。

通过上述设置, 可以避免多条第一初始化信号线 401 和多条参考电压信号线 72 在第三边框区 13 内交叠导致短路, 且可以降低第三边框区 13 内布线难度。

在一些实施例中, 请继续参照图 7, 在第三边框区 13, 多条第一初始化信号线 401、多条第一电压信号线 62 和多条参考电压信号线 72 沿第一方向 X 交替设置。通过上述设置, 可以避免多条第一初始化信号线 401、多条第一电压信号线 62 和多条参考电压信号线 72 在第三边框区 13 内交叠导致短路, 且可以降低第三边框区 13 内布线难度。

上述“多条第一初始化信号线 401、多条第一电压信号线 62 和多条参考电压信号线 72 沿第一方向 X 交替设置”, 可以是多条第一初始化信号线 401、多条第一电压信号线 62 和多条参考电压信号线 72 沿第一方向 X 有规律地交替设置, 例如, 一条第一初始化信号线 401、一条第一电压信号线 62 和一条参考电压信号线 72 为一组沿第一方向 X 有规律地交替设置, 有利于保持较好的布线重复性。

也可以是多条第一初始化信号线 401、多条第一电压信号线 62 和多条参考电压信号线 72 沿第一方向 X 无规律地交替设置, 例如, 一个像素单元对应的信号线布线方式可以为一条第一初始化信号线 401、一条第一电压信号线 62 和一条第一初始化信号线 401, 与上述像素单元相邻的另一个像素单元对应的信号线布线方式可以为一条第一初始化信号线 401 和两条参考电压信号线 72。在一些实施例中, 显示基板还包括沿第二方向 Y 延伸的多条数据信号线 81 和多条第二电压信号线 91, 多条数据信号线 81 和多条第二电压信号线 91 设置于显示区 AA, 且延伸至第三边框区 13, 如图 7 所示, 多条数据信号线 81 和多条第二电压信号线 91 在第一方向 X 上交替设置, 每条数据信号线 81 和一系列子像素 P 电连接, 每条第二电压信号线 91 和一系列子像素 P 电连接。

在一些实施例中, 如图 7 所示, 在第三边框区 13, 多条第一初始化信号线 401 和多条数据信号线 81 沿第一方向 X 交替设置, 可以避免多条第一初始化信号线 401 和多条数据信号线 81 在第三边框区 13 内交叠导致短路, 且可以降低第三边框区 13 内布线难度。

在一些实施例中, 如图 7 所示, 在第三边框区 13, 多条第一初始化信号线 401 和多条第二电压信号线 91 沿第一方向 X 交替设置, 可以避免多条第一初始化信号线 401 和多条第二电压信号线 91 在第三边框区 13 内交叠导致短路, 且可以降低第三边框区 13 内布线

难度。

在一些实施例中，显示基板 100 可以包括层叠设置的多个金属层，上述第三初始化信号总线 33、初始化信号第一连接线组 51、多条第一初始化信号线 401、第一电压信号总线 61、多条第一电压信号线 62、参考电压信号总线 71 与多条参考电压信号线 72 设置于上述多个金属层内。

示例性地，多个金属层可以与像素驱动电路中晶体管的金属层同层制作。需要说明的是，“多个金属层与 TFT 中的金属层同层制作”是指，多个金属层与 TFT 中的金属层通过同一次构图工艺同时形成，“构图工艺”包括沉积膜层、涂覆光刻胶、掩模曝光、显影、刻蚀和剥离光刻胶等处理。沉积可以采用选自溅射、蒸镀和化学气相沉积中的任意一种或多种，涂覆可以采用选自喷涂和旋涂中的任意一种或多种，刻蚀可以采用选自干刻和湿刻中的任意一种或多种。

示例性地，显示基板 100 可以为低温多晶氧化物(LTPO)基板。如图 9 所示，图 9 为本公开的一些实施例提供的显示基板 100 的一种结构图。显示基板 100 包括在衬底基板 101 上依次设置且相互绝缘的第一有源层(Poly)、第一栅金属层(Gate1)、第二栅金属层(Gate2)、第二有源层(图中未示出)、第三栅金属层(Gate3)、第一源漏金属层(SD1)、第一平坦层(PLN1)、第二源漏金属层(SD2)和第二平坦层(PLN2)。

示例性地，衬底基板 101 可以是柔性衬底基板，例如由聚乙烯醚邻苯二甲酸酯、多芳基化合物、聚酰亚胺(PI)、聚对苯二甲酸乙二醇酯(PET)、聚碳酸酯(PC)、环烯烃聚合物(COP)、醋酸丙酸纤维素(CAP)、聚醚砜(PES)、聚丙烯酸酯(PAR)、聚醚酰亚胺(PEI)、聚萘二甲酸乙二醇酯(PEN)、聚苯硫醚(PPS)、聚烯丙酯、三乙酸纤维素(TAC)等具有优良的耐热性和耐久性的塑料基板；也可以是刚性衬底基板，例如玻璃基板，在此不作任何具体限定。

示例性地，第一平坦层(PLN1)和第二平坦层(PLN2)的材料可以为聚丙烯酸树脂、聚环氧丙烯酸树脂、感光性聚酰亚胺树脂、聚酯丙烯酸酯、聚氨酯丙烯酸酯树脂、酚醛环氧压克力树脂等有机绝缘材料，在此不作任何具体限定。

示例性地，第一栅金属层(Gate1)、第二栅金属层(Gate2)、第三栅金属层(Gate3)、第一源漏金属层(SD1)和第二源漏金属层(SD2)等金属膜层的材料可以采用钼(Mo)、铝(Al)、钛(Ti)等适于干刻的材料。可选地，上述金属膜层可以为单层金属或叠层金属。例如，第一栅金属层(Gate1)、第二栅金属层(Gate2)和第三栅金属层(Gate3)为单层钼金属，第一源漏金属层(SD1)和第二源漏金属层(SD2)为钛金属层/铝金属层/钛金属层构成的三叠层。

在一些实施例中，请参照图 6 和图 9，第三初始化信号总线 33 和初始化信号第一连接线组 51 位于第一源漏金属层(SD1)或第二源漏金属层(SD2)，即第三初始化信号总线 33 和初始化信号第一连接线组 51 同层设置，既可以同时设置在第一源漏金属层(SD1)，也可以同时设置在第二源漏金属层(SD2)。

在另一些实施例中，第三初始化信号总线 33 和初始化信号第一连接线组 51 中的一者位于第一源漏金属层(SD1)，另一者位于第二源漏金属层(SD2)，即第三初始化信号总线 33 和初始化信号第一连接线组 51 异层设置，当第三初始化信号总线 33 设置在第一源漏金属层(SD1)时，初始化信号第一连接线组 51 设置于第二源漏金属层(SD2)；当第三初始化信号总线 33 设置在第二源漏金属层(SD2)时，初始化信号第一连接线组 51 设置于第一源漏金属层(SD1)。

在一些实施例中，第三初始化信号总线 33 与多条第一初始化信号线 401 中的一者位于第一源漏金属层(SD1)，另一者位于第二源漏金属层(SD2)，即第三初始化信号总线 33 和第一初始化信号线 401 异层设置，当第三初始化信号总线 33 设置在第一源漏金属层(SD1)时，第一初始化信号线 401 设置于第二源漏金属层(SD2)；当第三初始化信号总线 33 设置在第二源漏金属层(SD2)时，第一初始化信号线 401 设置于第一源漏金属层(SD1)。

在一些实施例中，多条第一初始化信号线 401 与多条第二初始化信号线 402 中的一者位于第一源漏金属层(SD1)，另一者位于第二源漏金属层(SD2)，即第一初始化信号线 401 和第二初始化信号线 402 可以异层设置，当第一初始化信号线 401 设置在第一源漏金属层(SD1)时，第二初始化信号线 402 设置于第二源漏金属层(SD2)；当第一初始化信号线 401 设置在第二源漏金属层(SD2)时，第二初始化信号线 402 设置于第一源漏金属层(SD1)。当第一初始化信号线 401 或第二初始化信号线 402 设置在第二源漏金属层(SD2)时，可以减小与下层金属层（例如第一栅金属层、第二栅金属层或第三栅金属层）上设置的信号线在交叠位置的电容，有利于进一步减小第一初始化信号线 401 或第二初始化信号线 402 的压降，并进一步提高显示均一性。

在一些实施例中，请继续参照图 7，第三初始化信号总线 33 和第一电压信号总线 61 可以位于第一源漏金属层(SD1)或第二源漏金属层(SD2)，即第三初始化信号总线 33 和第一电压信号总线 61 同层设置，既可以同时设置在第一源漏金属层(SD1)，也可以同时设置在第二源漏金属层(SD2)。

在一些实施例中，请继续参照图 7，第一电压信号总线 61 与多条第一电压信号线 62 中的一者位于第一源漏金属层(SD1)，另一者位于第二源漏金属层(SD2)，即第一电压信号总线 61 和第一电压信号线 62 可以异层设置，当第一电压信号总线 61 设置在第一源漏金属层(SD1)时，第一电压信号线 62 设置于第二源漏金属层(SD2)；当第一电压信号总线 61 设置在第二源漏金属层(SD2)时，第一电压信号线 62 设置于第一源漏金属层(SD1)。

在一些实施例中，请继续参照图 7，第三初始化信号总线 33 和参考电压信号总线 71 可以位于第一源漏金属层(SD1)或第二源漏金属层(SD2)，即第三初始化信号总线 33 和参考电压信号总线 71 同层设置，既可以同时设置在第一源漏金属层(SD1)，也可以同时设置在第二源漏金属层(SD2)。

在一些实施例中，请继续参照图 7，参考电压信号总线 71 与多条参考电压信号线 72 中的一者位于第一源漏金属层(SD1)，另一者位于第二源漏金属层(SD2)，即参考电压信号总线 71 和参考电压信号线 72 可以异层设置，当参考电压信号总线 71 设置在第一源漏金属层(SD1)时，参考电压信号线 72 设置于第二源漏金属层(SD2)；当参考电压信号总线 71 设置在第二源漏金属层(SD2)时，参考电压信号线 72 设置于第一源漏金属层(SD1)。

以上所述，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以所述权利要求的保护范围为准。

权 利 要 求 书

1、一种显示基板，包括：显示区以及围绕所述显示区的周边区；

所述周边区包括第一边框区、第二边框区、第三边框区和第四边框区，所述第一边框区和所述第二边框区设置于所述显示区的沿第一方向的两侧，所述第三边框区和所述第四边框区设置于所述显示区沿第二方向的两侧，所述第一方向和所述第二方向交叉；

所述显示基板还包括：

至少一个第一绑定电极组，位于所述第三边框区，每个所述第一绑定电极组用于连接一个驱动芯片；

第一初始化信号总线，设置于所述第一边框区；

第二初始化信号总线，设置于所述第二边框区；

第三初始化信号总线，设置于所述第三边框区；所述第三初始化信号总线和所述第一初始化信号总线、所述第二初始化信号总线连接，且与所述第一绑定电极组连接；

多条初始化信号线，至少设置于所述显示区，且与所述第一初始化信号总线、所述第二初始化信号总线和所述第三初始化信号总线连接。

2、根据权利要求1所述的显示基板，其中，所述显示基板还包括数据写入晶体管、第二复位晶体管、第二扫描信号线和第二复位控制信号线；

所述数据写入晶体管的栅极和所述第二扫描信号线电连接；

所述第二复位晶体管的栅极和所述第二复位控制信号线电连接；

其中，所述第二扫描信号线具有第一刷新频率，所述第二复位控制信号线具有第二刷新频率，所述第二刷新频率大于所述第一刷新频率。

3、根据权利要求1或2所述的显示基板，其中，所述显示基板还包括至少一个初始化信号第一连接线组；

每个所述初始化信号第一连接线组包括多条初始化信号第一连接线，多条所述初始化信号第一连接线位于第三边框区，且位于所述第一绑定电极组和所述第三初始化信号总线之间，用于连接所述第一绑定电极组和所述第三初始化信号总线。

4、根据权利要求3所述的显示基板，其中，所述显示基板还包括层叠设置的第一源漏金属层和第二源漏金属层；

所述第三初始化信号总线和所述初始化信号第一连接线组位于第一源漏金属层或第二源漏金属层；

或者，所述第三初始化信号总线与所述初始化信号第一连接线组中的一者位于第一源漏金属层，另一者位于第二源漏金属层。

5、根据权利要求 1~4 中任一项所述的显示基板，其中，所述多条初始化信号线包括：

沿所述第二方向延伸的多条第一初始化信号线，所述多条第一初始化信号线延伸至第三边框区，且和所述第三初始化信号总线连接，

沿所述第一方向延伸的多条第二初始化信号线，所述多条第二初始化信号线延伸至所述第一边框区和所述第二边框区，且分别与所述第一初始化信号总线 and 所述第二初始化信号总线连接；

多条所述第一初始化信号线和多条所述第二初始化信号线连接。

6、根据权利要求 5 所述的显示基板，其中，所述显示基板还包括层叠设置的两层源漏金属层；

所述第三初始化信号总线与多条第一初始化信号线位于不同的源漏金属层；

所述多条第一初始化信号线和多条第二初始化信号线位于不同的源漏金属层。

7、根据权利要求 5~6 中任一项所述的显示基板，其中，所述显示基板还包括：

多个发光器件：

第一电压信号总线，设置于所述第三边框区；位于所述第三初始化信号总线在第二方向上的一侧；所述第一电压信号总线与所述发光器件的阴极连接；

沿所述第二方向延伸的多条第一电压信号线，至少设置于所述显示区，且延伸至所述第三边框区，所述多条第一电压信号线和所述第一电压信号总线连接；

在所述第三边框区，所述多条第一初始化信号线和多条第一电压信号线沿第一方向交替设置。

8、根据权利要求 7 所述的显示基板，其中，所述显示基板还包括层叠设置的两层源漏金属层；

所述第一电压信号总线 and 所述第三初始化信号总线位于同一所述源漏金属层；

所述第一电压信号总线 and 多条所述第一电压信号线位于不同所述源漏金属层。

9、根据权利要求 5~6 中任一项所述的显示基板，其中，显示基板还包括：

多个像素电路，所述像素电路包括驱动晶体管、写入晶体管和第一复位晶体管，所述驱动晶体管和所述写入晶体管、第一复位晶体管电连接于第一节点，第一复位晶体管被配

置为将参考电压信号传输至第一节点;

参考电压信号总线, 设置于第三边框区, 且位于第三初始化信号总线沿第二方向的一侧; 所述参考电压信号总线被配置为传输参考电压信号;

沿所述第二方向延伸的多条参考电压信号线, 至少设置于所述显示区, 且延伸至所述第三边框区, 所述多条参考电压信号线和所述参考电压信号总线连接;

在所述第三边框区, 多条所述第一初始化信号线和多条所述参考电压信号线沿所述第一方向交替设置。

10、根据权利要求 9 所述的显示基板, 其中, 所述显示基板还包括层叠设置的两层源漏金属层;

所述参考电压信号总线和所述第三初始化信号总线位于同一所述源漏金属层;

所述参考电压信号总线和多条所述参考电压信号线位于不同所述源漏金属层。

11、根据权利要求 1~10 中任一项所述的显示基板, 其中, 所述显示基板还包括:

至少一个第二绑定电极组, 位于所述第四边框区, 所述第二绑定电极组用于连接所述驱动芯片;

第四初始化信号总线, 位于所述第四边框区, 所述第四初始化信号总线和所述第一初始化信号总线、所述第二初始化信号总线连接, 且与所述第二绑定电极组连接;

所述多条初始化信号线还与第四初始化信号总线连接。

12、根据权利要求 11 所述的显示基板, 其中, 所述显示基板还包括初始化信号第二连接线组;

所述初始化信号第二连接线组包括多条初始化信号第二连接线, 位于所述第四边框区, 且位于所述第二绑定电极组和所述第四初始化信号总线之间, 用于连接所述第二绑定电极组和所述第四初始化信号总线。

13、一种显示装置, 包括:

上述权利要求 1~12 中任一项所述的显示基板;

至少一个驱动芯片, 与所述至少一个第一绑定电极组分别连接。

说明书附图

1000

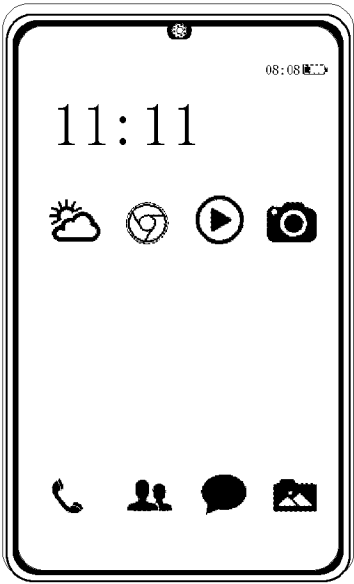


图 1

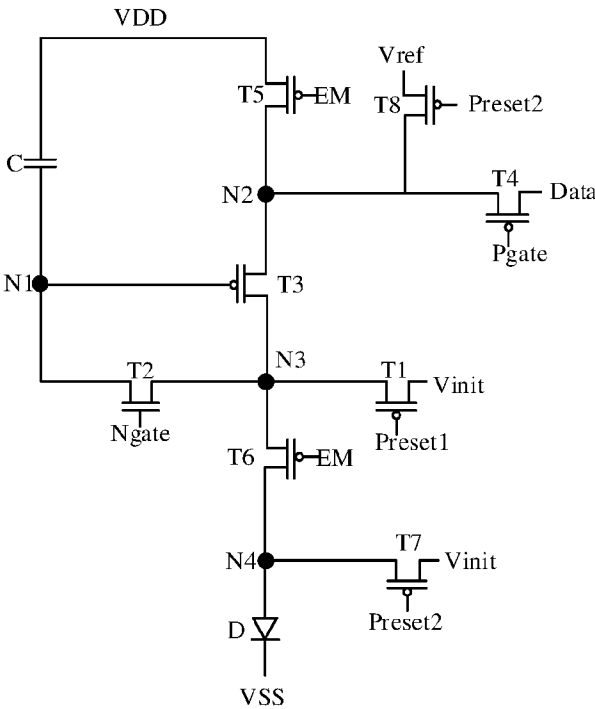


图 2A

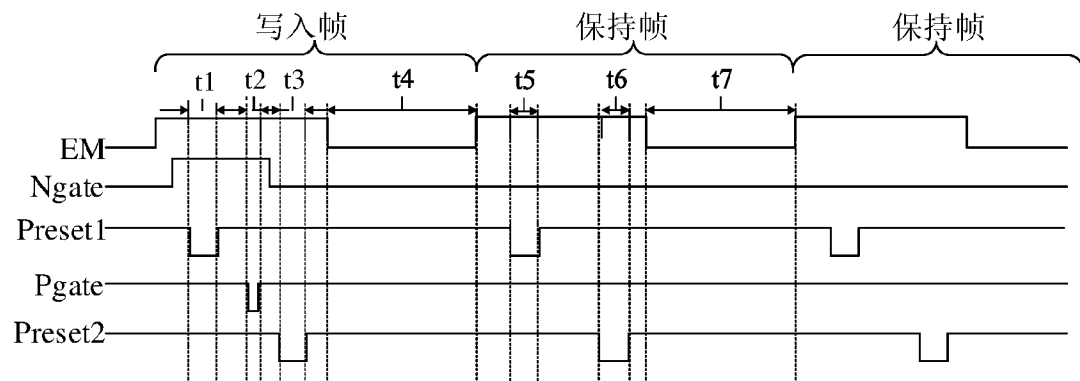


图 2B

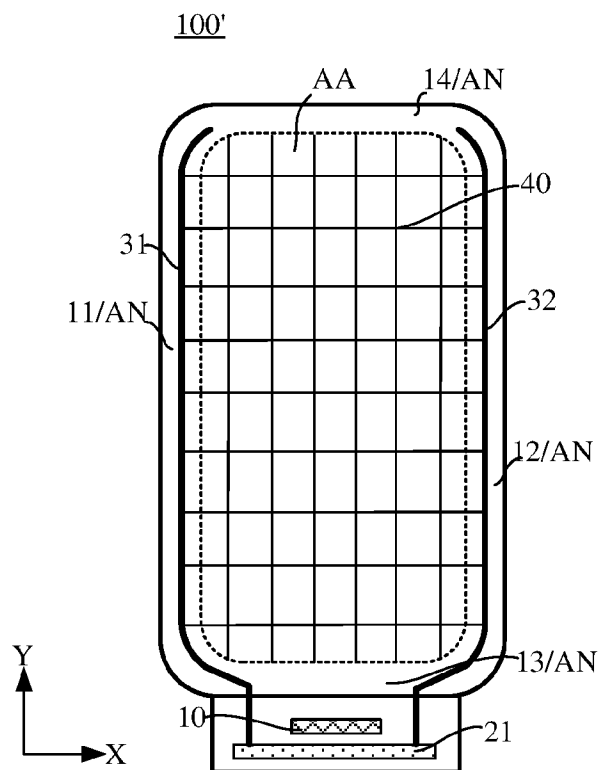


图 3

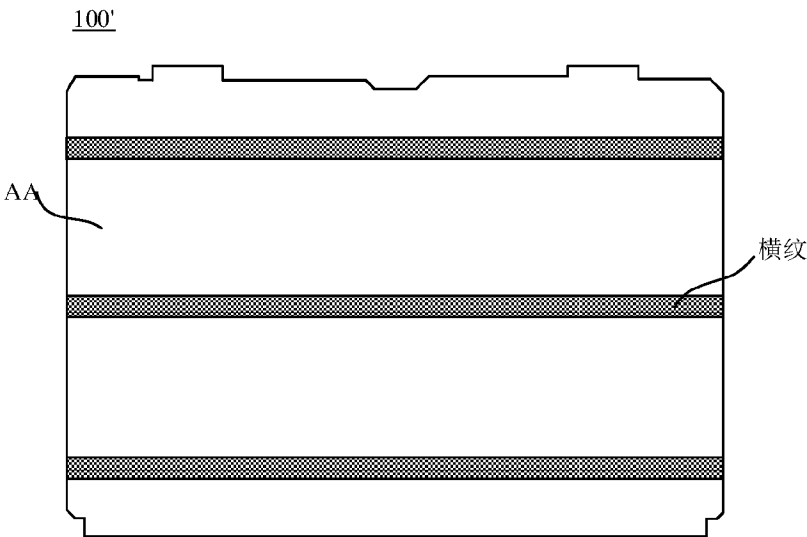


图 4

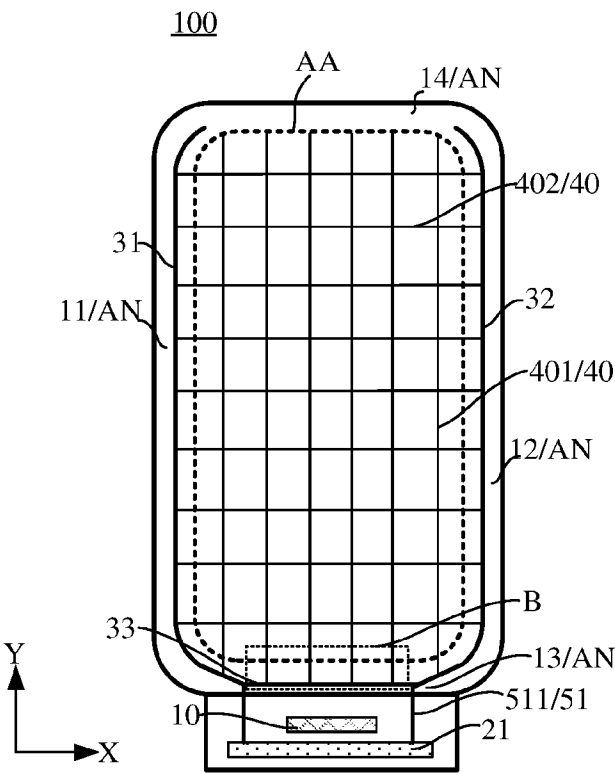


图 5

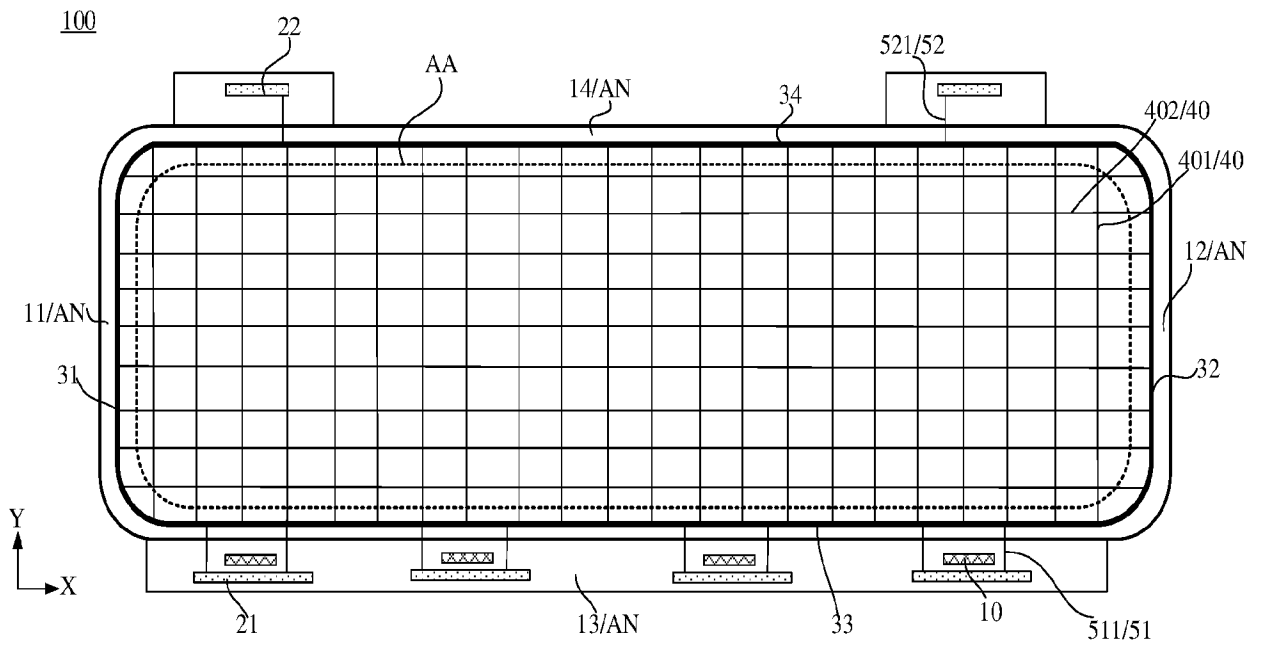


图 6

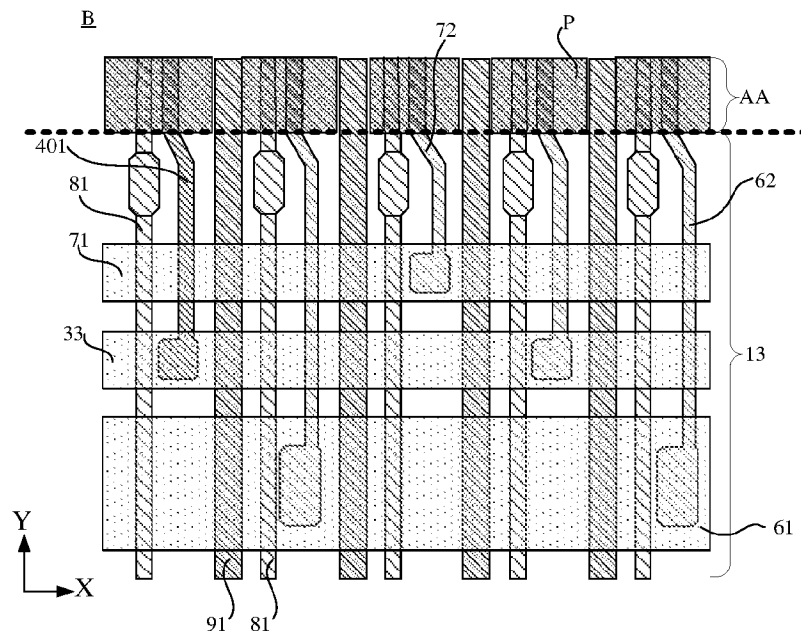


图 7

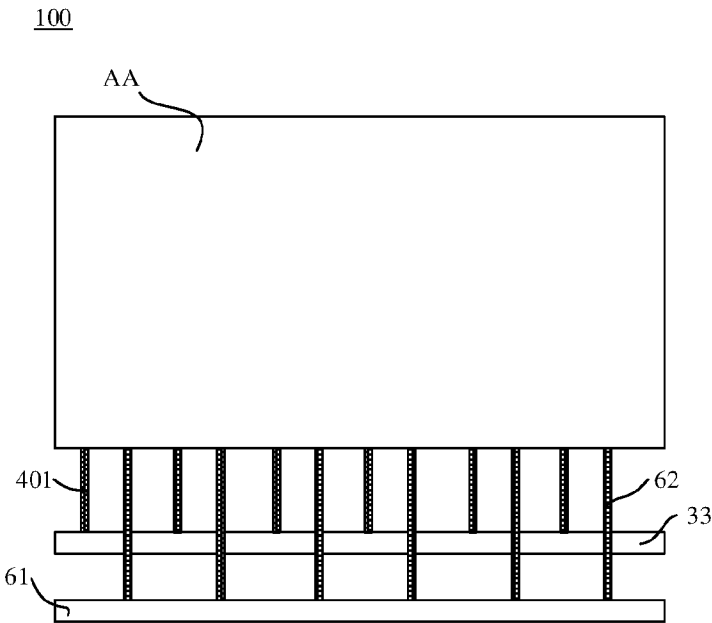


图 8

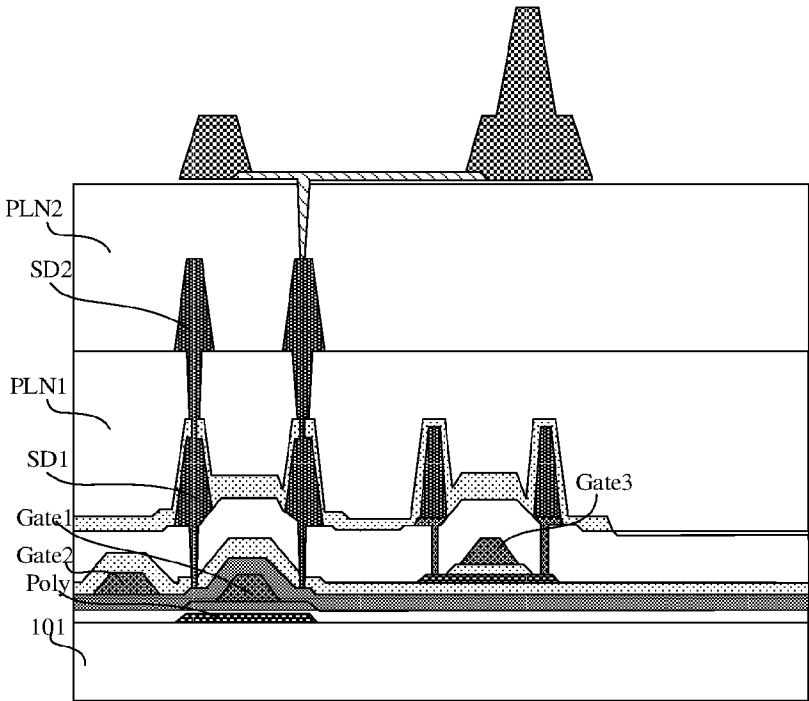


图 9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2024/126205

A. CLASSIFICATION OF SUBJECT MATTER H10K59/12(2023.01)i; H10K59/131(2023.01)i; H10K59/80(2023.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC: H10K, H01L Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) VEN, CNABS, CNTXT, WOTXT, EPTXT, USTXT, CNKI, IEEE: 显示, 边框, 边缘, 周边, 周围, 外围, 非显示, 显示, 围绕, 包围, 环绕, 初始, 线, 压降, display, edge, frame, periphery, non-display, surround, around, initial, line, wiring, voltage, drop		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 117596936 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 23 February 2024 (2024-02-23) description, paragraphs [0044]-[0144], and figures 1-9	1-13
X	CN 214477457 U (KUNSHAN GOVISIONOX OPTOELECTRONICS CO., LTD.) 22 October 2021 (2021-10-22) description, paragraphs [0026]-[0060], and figures 1 and 4-7	1-10, 13
Y	CN 214477457 U (KUNSHAN GOVISIONOX OPTOELECTRONICS CO., LTD.) 22 October 2021 (2021-10-22) description, paragraphs [0026]-[0060], and figures 1 and 4-7	11-12
Y	CN 115172428 A (HEFEI BOE ZHUOYIN TECHNOLOGY CO., LTD. et al.) 11 October 2022 (2022-10-11) description, paragraphs [0033]-[0069], and figures 1-4	11-12
X	CN 114556205 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 27 May 2022 (2022-05-27) description, paragraphs [0105]-[0268], and figures 1A-14C	1-10, 13
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 30 December 2024		Date of mailing of the international search report 03 January 2025
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/CN) China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2024/126205

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 114556205 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 27 May 2022 (2022-05-27) description, paragraphs [0105]-[0268], and figures 1A-14C	11-12
A	KR 20150040152 A (SAMSUNG DISPLAY CO., LTD.) 14 April 2015 (2015-04-14) entire document	1-13

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2024/126205

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	117596936	A	23 February 2024	None			
CN	214477457	U	22 October 2021	None			
CN	115172428	A	11 October 2022	WO	2024017060	A1	25 January 2024
CN	114556205	A	27 May 2022	WO	2022056829	A1	24 March 2022
				US	2022319437	A1	06 October 2022
				GB	2610958	A	22 March 2023
				US	11721291	B2	08 August 2023
				CN	114556205	B	24 October 2023
KR	20150040152	A	14 April 2015	None			

A. 主题的分类

H10K59/12(2023.01)i; H10K59/131(2023.01)i; H10K59/80(2023.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H10K, H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

VEN, CNABS, CNTXT, WOTXT, EPTXT, USTXT, CNKI, IEEE: 显示, 边框, 边缘, 周边, 周围, 外围, 非显示, 显示, 围绕, 包围, 环绕, 初始, 线, 压降, display, edge, frame, periphery, non-display, surround, around, initial, line, wiring, voltage, drop

C. 相关文件

类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 117596936 A (京东方科技集团股份有限公司 等) 2024年2月23日 (2024 - 02 - 23) 说明书第[0044]-[0144]段, 附图1-9	1-13
X	CN 214477457 U (昆山国显光电有限公司) 2021年10月22日 (2021 - 10 - 22) 说明书第[0026]-[0060]段, 附图1、4-7	1-10, 13
Y	CN 214477457 U (昆山国显光电有限公司) 2021年10月22日 (2021 - 10 - 22) 说明书第[0026]-[0060]段, 附图1、4-7	11-12
Y	CN 115172428 A (合肥京东方卓印科技有限公司 等) 2022年10月11日 (2022 - 10 - 11) 说明书第[0033]-[0069]段, 附图1-4	11-12
X	CN 114556205 A (京东方科技集团股份有限公司 等) 2022年5月27日 (2022 - 05 - 27) 说明书第[0105]-[0268]段, 附图1A-14C	1-10, 13
Y	CN 114556205 A (京东方科技集团股份有限公司 等) 2022年5月27日 (2022 - 05 - 27) 说明书第[0105]-[0268]段, 附图1A-14C	11-12
A	KR 20150040152 A (SAMSUNG DISPLAY CO., LTD.) 2015年4月14日 (2015 - 04 - 14) 全文	1-13

☐ 其余文件在C栏的续页中列出。

☒ 见同族专利附件。

★ 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“p” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2024年12月30日

国际检索报告邮寄日期

2025年1月3日

ISA/CN的名称和邮寄地址

中国国家知识产权局
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

杨燕

电话号码 (+86) 010-53961450

PCT/ISA/210 表(第2页) (2022年7月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2024/126205

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	117596936	A	2024年2月23日	无			
CN	214477457	U	2021年10月22日	无			
CN	115172428	A	2022年10月11日	WO	2024017060	A1	2024年1月25日
CN	114556205	A	2022年5月27日	WO	2022056829	A1	2022年3月24日
				US	2022319437	A1	2022年10月6日
				GB	2610958	A	2023年3月22日
				US	11721291	B2	2023年8月8日
				CN	114556205	B	2023年10月24日
KR	20150040152	A	2015年4月14日	无			