

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/336 (2006.01)

H01L 21/8247 (2006.01)



[12] 发明专利说明书

专利号 ZL 200610077722.2

[45] 授权公告日 2008 年 11 月 26 日

[11] 授权公告号 CN 100437947C

[22] 申请日 2006.4.24

[21] 申请号 200610077722.2

[30] 优先权

[32] 2005.4.22 [33] KR [31] 33708/05

[32] 2006.4.17 [33] KR [31] 34509/06

[73] 专利权人 海力士半导体有限公司

地址 韩国京畿道

[72] 发明人 李熙耆

[56] 参考文献

JP2000-340682A 2000.12.8

US200410266107A1 2004.12.30

US5740104A 1998.4.14

CN1283591A 2001.2.14

EP1304730A2 2003.4.23

审查员 马 圆

[74] 专利代理机构 北京市柳沈律师事务所

代理人 陶凤波 侯 宇

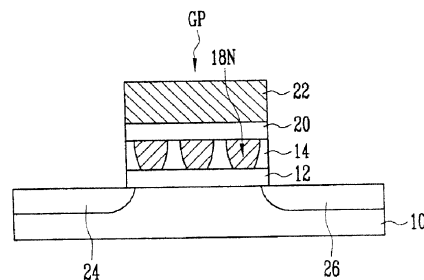
权利要求书 1 页 说明书 4 页 附图 2 页

[54] 发明名称

闪存器件的制造方法

[57] 摘要

本发明公开了一种闪存器件的制造方法，所述方法包括的步骤为：顺序地在半导体衬底上形成隧道氧化物膜、氧化物膜和第一导电层；在第一导电层的晶粒之间渗透第一蚀刻剂以在氧化物膜中形成多个纳米晶点；使用第二蚀刻剂去除第一导电层，其中在去除第一导电层的工艺期间，通过第二蚀刻剂去除部分的氧化物膜的纳米晶点，由此在氧化物膜中形成多个纳米晶形成孔；用非导电层填充多个孔来形成分别具有隔离形状的多个纳米晶；在包括多个纳米晶的氧化物膜上顺序形成介质层和第二导电层；以及顺序构图第二导电层、介质层、包括纳米晶的氧化物膜和隧道氧化物膜。可以避免或最小化由于隧道氧化物膜或介质层中的存在的缺陷引起的漏电流。



1、一种闪存器件的制造方法，所述方法包括的步骤为：

顺序地在半导体衬底上形成隧道氧化物膜、氧化物膜和包括多个晶粒的第一导电层；

在所述第一导电层的晶粒之间渗透第一蚀刻剂以在所述氧化物膜中形成多个纳米晶点；

使用第二蚀刻剂去除所述第一导电层，其中在去除所述第一导电层的工艺期间，通过所述第二蚀刻剂去除部分的所述氧化物膜的纳米晶点，由此在所述氧化物膜中形成多个纳米晶形成孔；

用非导电层填充所述多个孔来形成分别具有隔离形状的多个纳米晶；

在包括所述多个纳米晶的氧化物膜上顺序地形成介质层和第二导电层；
以及

顺序地构图所述第二导电层、所述介质层、包括所述纳米晶的氧化物膜和所述隧道氧化物膜。

2、如权利要求1所述的方法，其中所述第一导电层由多晶硅形成。

3、如权利要求1所述的方法，其中所述第一和第二蚀刻剂是包含HF的蚀刻剂。

4、如权利要求1所述的方法，其中通过使用所述第一蚀刻剂的回蚀工艺或湿浸工艺，允许所述第一蚀刻剂在所述第一导电层的晶粒之间渗透，从而形成了多个纳米晶点。

5、如权利要求1所述的方法，其中通过在所述氧化物膜上形成非导电层，且在所述非导电层上进行CMP直到暴露所述氧化物膜的顶表面，从而形成所述多个纳米晶，由此用所述非导电层来填充所述多个孔。

6、如权利要求1所述的方法，其中使用非掺杂的多晶硅或氮化物形成所述非导电层。

闪存器件的制造方法

技术领域

本发明涉及一种半导体器件的制造方法。更具体而言，本发明涉及一种闪存器件的制造方法。

背景技术

与易失存储器件不同，即使当它们没有被提供电源时，非易失存储器件也被配置以存储信息。因此，比如闪存器件的非易失存储器件被广泛使用于文件系统，存储卡、便携装置等。

非易失存储装置具有堆叠栅极结构，其中隧道氧化物膜、浮置栅极、介质膜和控制栅电极被顺序地堆叠在半导体衬底的沟道区上。

具有叠层栅极结构的非易失存储单元可以通过注入热电子来编程。换言之，将高电压施加到控制栅极且在源极和漏极区之间产生电势差。结果，在接近漏极的沟道区中产生热电子。这些热电子需要足够的能量来克服隧道氧化物膜的势垒且被注入浮置栅极。如果将电子注入浮置栅极，则增加了晶体管（或存储单元）的阈值电压。如果施加到控制栅极的电压小于增加的阈值电压，则晶体管保持截止且电流不流过单元。以上的过程被用于存储信息和从非易失器件读取信息。

通过F-N隧穿现象将注入到浮置栅极中电子释放，从而可以擦除存储在具有堆叠栅极结构的非易失存储单元中存储的信息。换言之，源极区施加有高电压，控制栅电极和衬底被提供有0V，且将漏极浮置。因此，在源极区和浮置栅极产生了强电场，由此导致F-N隧穿发生。

因为使用导电膜形成浮置栅极，所以在存储操作期间，通过F-N隧穿可以在源极区附近除去几乎所有注入到浮置栅极的电子。

然而，具有堆叠栅电极结构的非易失存储单元可能具有与电子保持相关的问题。换言之，为了使非易失存储单元保持编程的信息，该非易失存储单元必须保持注入到浮置栅电极的电子。然而，如果比如针孔的缺陷存在于隧道氧化物膜，则注入到浮置栅极的电子可以从缺陷逸出。因为浮置栅极由导

电膜形成，所以通过隧道介质膜中的缺陷产生了显著的漏电流。

另外，因为浮置栅极由导电膜形成且电子自由地在其中迁移，所以在擦除操作期间过多的电子可以从浮置栅极释放。

发明内容

根据本发明的实施例的闪存器件的制造方法包括的步骤为：顺序地在半导体衬底上形成隧道氧化物膜、氧化物膜和第一导电层；在第一导电层的晶粒之间渗透第一蚀刻剂以在氧化物膜中形成多个纳米晶点；使用第二蚀刻剂去除第一导电层，其中在去除第一导电层的工艺期间，通过第二蚀刻剂去除了部分的氧化物膜的纳米晶点，由此在氧化物膜中形成多个纳米晶形成孔；用非导电层填充多个孔来形成分别具有隔离形状的多个纳米晶；在包括多个纳米晶的氧化物膜上顺序形成介质层和第二导电层；以及顺序构图第二导电层、介质层、包括纳米晶的氧化物膜和隧道氧化物膜。

附图说明

当结合附图时通过此刻以下的详细说明，本发明的更完全的理解和本发明的许多存在的优点将随着变得被更好理解而更加显见，在附图中相似的参考标记表示相同或相似的元件，其中：

图 1 到 7 是示出根据本发明的实施例的制造闪存器件的方法的剖面图。

具体实施方式

在以下的详细说明中，仅通过举例显示和说明了本发明的特定的示范性实施例。如本领域的技术人员可以认识到，所述的实施例可以以各种不同的方法实现，而不脱离本发明的精神或范围。因此，附图和说明被认为本质上是说明性的而非限制性的。本申请通篇相似的参考标号指示相似的元件。

图 1 到 7 是示出根据本发明的实施例的制造闪存器件的方法的剖面图。

参考图 1，顺序在半导体衬底 10 上形成隧道氧化物膜 12、氧化物膜 14 和具有晶粒 G 的第一导电膜 16。第一导电层 16 可以由多晶硅形成。

参考图 2，在第一导电层 16 上进行使用第一蚀刻剂的回蚀工艺或湿浸工艺，从而第一蚀刻剂在第一导电层 16 的晶粒之间渗透。因此，多个纳米晶点 14P 形成于氧化物膜 14 内。在回蚀工艺或湿浸工艺期间，第一导电层 16

在给定的厚度蚀刻且因此变得平滑。第一蚀刻剂可以为包括 HF 的蚀刻剂。

参考图 3，使用第二蚀刻剂去除第一导电层 16。当去除第一导电层 16 时，第二蚀刻剂继续在第一导电层 16 的晶粒 G 之间渗透。因此，将纳米晶点 14P 的部分扩展，且随后通过第二蚀刻剂去除，直到氧化物膜 14 的顶表面暴露，由此在氧化物膜 14 内形成多个纳米晶形成孔 14H。第二蚀刻剂可以为包括 HF 的蚀刻剂。因为第一和第二蚀刻剂已经被渗透，所以迅速去除纳米晶点 14P，但是第一和第二蚀刻剂还没有渗透的氧化物膜 14 的部分保持不变而没有被去除。

参考图 4，在其中形成孔 14H 的氧化物膜 14 上形成非导电层 18。可以使用比如非掺杂的多晶硅或氮化物的非导电材料形成非导电层 18。

参考图 5，通过化学机械抛光 (CMP) 来去除非导电层 18，直到氧化物膜 14 的顶表面暴露。因此，多个孔 14H 用非导电层 18 填充，形成分别具有隔离形状的多纳米晶 18N。纳米晶 18N 用作浮置栅极。

参考图 6，在包括多个纳米晶 18N 的氧化物膜 14 上顺序形成介质层 20 和第二导电层 22。第二导电层 22 可以使用用于形成控制栅极的材料形成。

参考图 7，顺序构图第二导电层 22、介质层 20、包括纳米晶 18N 的氧化物膜 14 和隧道氧化物膜 22 来形成栅电极图案 GP。进行源极/漏极离子注入工艺来在半导体衬底 10 中形成源极区 24 和漏极区 26。

其后，将描述根据本发明的实施例的非易失存储单元的编程、读和擦除操作。

通过对控制栅电极 22 和源极区 24 施加电压且将漏极区 26 接地，可以进行第一型的编程操作。因此源极区 24 附近产生了热电子。

热电子需要足够的能量来克服隧道氧化物膜 12 的势垒且然后被注入到接近源极区 24 的多个纳米晶 18N。当热电子被注入到这些纳米晶 18N 时，非易失存储单元的阈值电压 (V_{th}) 增加。该阈值电压的增加可以被用于在非易失存储单元中存储信息。因为纳米晶 18N 通过氧化物膜 14 和介质层 20 从彼此分开，所以注入到给定的纳米晶 18N 的电子不能容易地移动到其他纳米晶 18N 中。

在本实施例中，使用非导电材料形成了纳米晶 18N。因此，即使缺陷存在于接近纳米晶 18N 的隧道氧化物膜 12 或介质层 20 中，也可以防止漏电流。

除了上述之外，可以使用第二型的编程操作编程本器件，其涉及将源极

区 24 和漏极区 26 接地，且对于控制栅电极 22 和半导体衬底 10 施加电压，从而引起 F-N 隧穿效应。此刻，电子通过 F-N 隧穿效应被均匀地注入到纳米晶 18N 中。因为纳米晶 18N 设置于氧化物膜 14 中，所以即使缺陷存在于隧道氧化物膜 12 或控制栅电极 22 中，也可以防止漏电流。

通过对控制电极 22 和漏极区 26 施加电压且将源极区 24 接地，可以进行读操作。如果热电子已经被注入到纳米晶 18N 中，施加到控制栅电极 22 的栅电压 (V_g) 可以低于晶体管 (或存储单元) 的阈值电压。如果如此，则沟道电流不流过其中热电子已经被注入到纳米晶 18N 的单元。该状态在本实施例中解释为二进制状态 “0”。

然而，如果单元不具有大量已经被注入到纳米晶 18N 的热电子，则因为单元或晶体管的初始阈值电压保持不变且施加的栅电压 (V_g) 将高于初始的阈值电压，所以导通该单元或晶体管。因此电流流过该单元。该状态在本实施例中解释为二进制状态 “1”。

使用热空穴注入可以进行擦除操作。换言之，将负电压施加到控制栅电极 22 来接近源极区 24 产生热空穴。施加到控制栅电极 22 的电压将热空穴拉过隧道氧化物膜 12 的能量势垒，且导致空穴被注入接近源极区 24 的纳米晶 18N 中。注入到纳米晶 18N 中的热空穴与以前已经注入到纳米晶 18N 中的热电子复合。

纳米晶 18N 从彼此分开且由非导电材料形成，由此最小化过度擦除的可能性。另外，在第一型编程操作期间，热电子被注入接近源极区 24 的纳米晶 18N 中并被保持在那里。因此，在接近源极区 24 的纳米晶 18N 上可以进行使用热空穴注入的擦除操作。

另一方面，在电子通过 F-N 隧穿被均匀地注入到纳米晶 18N 的情况中 (即，第二型的编程操作)，可以使用 F-N 隧穿进行擦除操作。换言之，将负电压施加到控制栅电极 22 且将正电压施加到半导体衬底 10。因此，通过释放在纳米晶 18N 中的电子来擦除注入到纳米晶 18N 中的电子。

如上所述，根据本发明的实施例，采用纳米晶来保持电子。因此，可以避免或最小化由隧道氧化物膜或介质层中的存在的缺陷引起的漏电流。在擦除操作期间还可以最小化过度擦除的发生。

虽然结合目前被认为是示范性实施例说明了本发明，但是可以理解本发明并不限于所披露的实施例，而是相反，旨在覆盖在权利要求的精神和范围内包括的各种修改和等同设置。

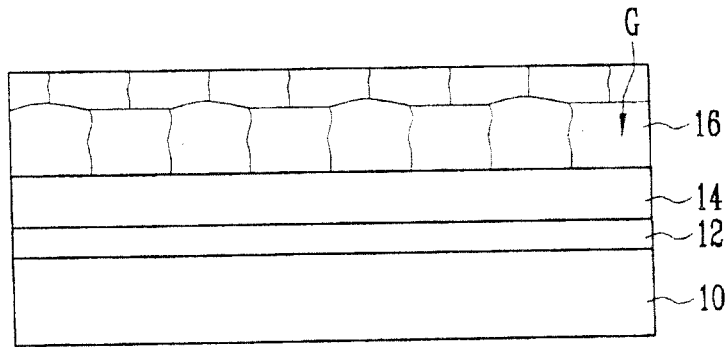


图 1

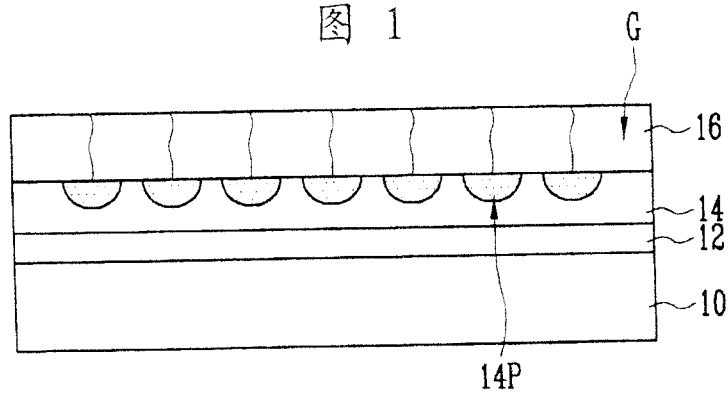


图 2

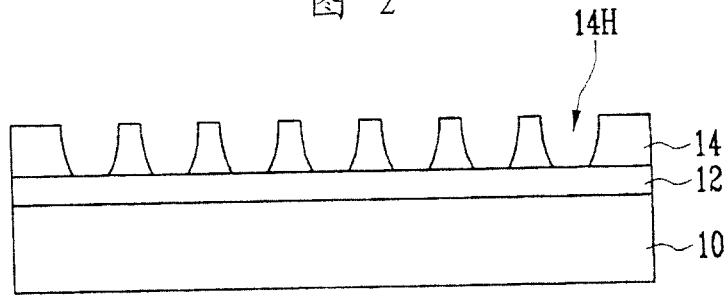


图 3

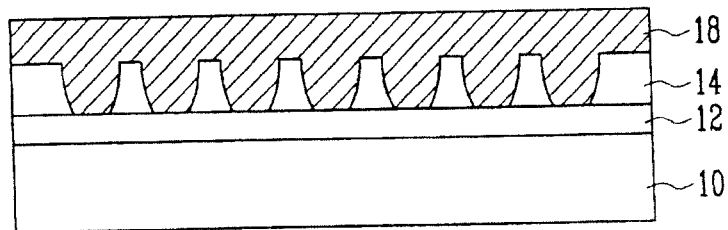


图 4

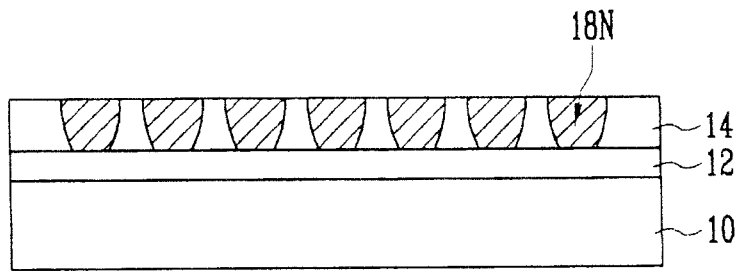


图 5

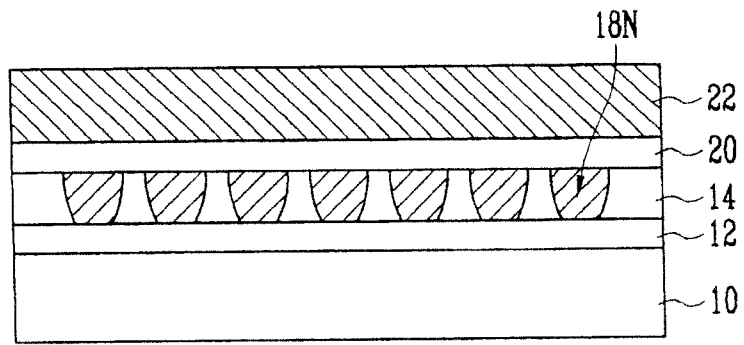


图 6

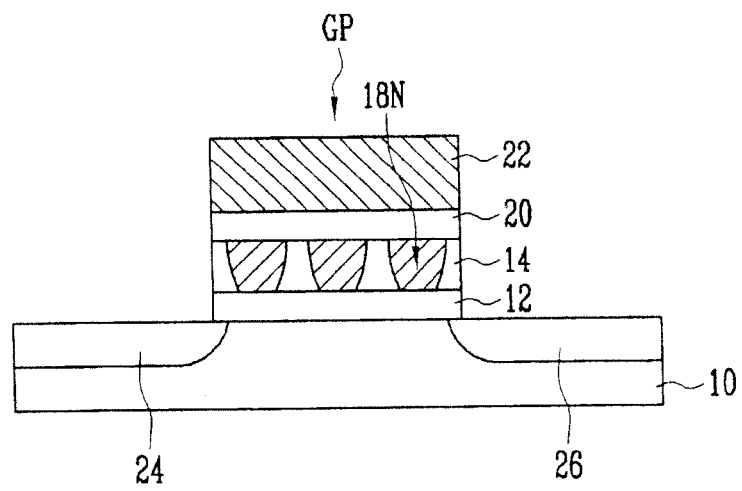


图 7