



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0049719
(43) 공개일자 2011년05월12일

(51) Int. Cl.

G11C 15/00 (2006.01) G11C 7/12 (2006.01)

(21) 출원번호 10-2010-0108720

(22) 출원일자 2010년11월03일

심사청구일자 2010년11월03일

(30) 우선권주장

1020090106180 2009년11월04일 대한민국(KR)

(71) 출원인

경희대학교 산학협력단

경기도 용인시 기흥구 서천동 1 경희대학교 국제 캠퍼스내

(72) 발명자

홍상훈

경기도 성남시 분당구 정자동 두산위브파빌리온 A-1301

한창훈

강원도 원주시 명륜2동 동보노빌리티아파트 204동 1402호

(74) 대리인

서재승

전체 청구항 수 : 총 7 항

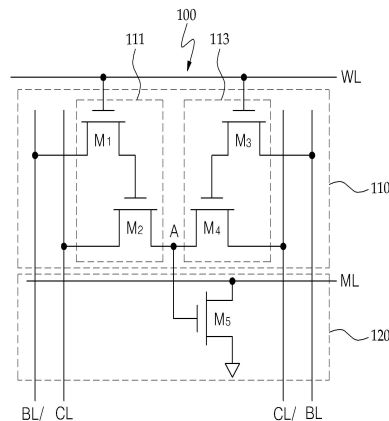
(54) 터너리 내용 주소화 메모리

(57) 요약

본 발명은 터너리 내용 주소화 메모리에 관한 것으로, 보다 구체적으로 터너리 내용 주소화 메모리에 구비되어 있는 전체 트랜지스터의 수를 줄여 터너리 내용 주소화 메모리의 크기를 작게함으로써, 집적도를 높이고 소비 전력을 향상시킬 수 있는 터너리 내용 주소화 메모리에 관한 것이다.

본 발명에 따른 터너리 내용 주소화 메모리는 종래 터너리 내용 주소화 메모리와 비교하여 구성 트랜지스터의 수가 적어 작은 크기로 메모리를 제작할 수 있어서, 메모리 설계에 있어서 가장 중요한 요인 중 하나인 집적도를 향상시킬 수 있으며 소형화되고 경량화된 제품을 설계하는데 도움을 준다. 또한 본 발명에 따른 터너리 내용 주소화 메모리는 적은 수의 트랜지스터를 이용하여 터너리 내용 주소화 메모리의 기능을 수행함으로써 소비 전력을 줄일 수 있으며, 적은 프로세스로 데이터 저장 또는 비교가 가능함으로써 높은 성능을 발휘할 수 있다.

대표도 - 도4



특허청구의 범위

청구항 1

터너리 내용 주소화 메모리(Ternary content addressable memory, TCAM)에 있어서,
 워드라인에 의해 활성화되며 제1 비트라인과 제2 비트라인을 통해 입력되는 저장 데이터를 차단 제어하는 제1 트랜지스터와 제2 트랜지스터;
 상기 제1 트랜지스터의 제어에 따라 제1 저장 데이터를 저장하는 제3 트랜지스터;
 상기 제2 트랜지스터의 제어에 따라 제2 저장 데이터를 저장하는 제4 트랜지스터; 및
 제1 비교라인 및 제2 비교라인을 통해 입력된 상기 제1 비교 데이터와 제2 비교 데이터를 상기 제3 트랜지스터와 제4 트랜지스터에 저장된 저장 데이터와 비교하여 비교값을 출력하는 비교 회로부를 포함하는 것을 특징으로 하는 터너리 내용 주소화 메모리.

청구항 2

제 1 항에 있어서, 상기 비교 회로부는
 비교 신호에 따라 프리차지되는 매치라인; 및
 상기 매치라인이 프리차지된 후, 상기 제1 비교라인 및 제2 비교라인을 통해 입력된 제1 비교 데이터 및 제2 비교 데이터와 상기 저장 데이터에 따라 활성화 제어되어 상기 매치라인으로 비교값을 출력하는 제5 트랜지스터를 포함하는 것을 특징으로 하는 터너리 내용 주소화 메모리.

청구항 3

제 2 항에 있어서, 상기 터너리 내용 주소화 메모리는
 상기 비교 회로부를 통해 상기 저장 데이터와 비교 데이터를 비교하기 전, 상기 제3 트랜지스터와 제4 트랜지스터 사이의 노드 전압의 크기를 0으로 설정하는 전압 설정부를 더 포함하는 것을 특징으로 하는 터너리 내용 주소화 메모리.

청구항 4

제 3 항에 있어서, 상기 전압 설정부는
 상기 저장 데이터를 임시 저장하는 임시 저장부;
 상기 제1 트랜지스터와 제4 트랜지스터를 활성화 제어하는 활성화 제어부;
 상기 제1 트랜지스터와 제2 트랜지스터가 활성화되는 경우, 상기 제1 비교 라인과 상기 제2 비교 라인으로 0의 값을 입력시켜 상기 제3 트랜지스터와 제4 트랜지스터 사이의 노드 전압의 크기를 0으로 설정하는 입력 제어부; 및
 상기 임시 저장부에 저장되어 있는 값을 각각 상기 제3 트랜지스터와 상기 제4 트랜지스터에 다시 저장하는 저장 제어부를 포함하는 것을 특징으로 하는 터너리 내용 주소화 메모리.

청구항 5

제 2 항에 있어서,
 상기 제1 트랜지스터 내지 제5 트랜지스터는 NMOS 트랜지스터인 것을 특징으로 하는 터너리 내용 주소화 메모리.

청구항 6

제 5 항에 있어서,
 상기 제1 트랜지스터의 소스, 드레인 및 게이트는 각각 상기 제1 비트 라인, 제3 트랜지스터의 게이트 및 워드

라인에 연결되어 있으며,

상기 제2 트랜지스터의 소스, 드레인 및 게이트는 각각 상기 제2 비트 라인, 제4 트랜지스터의 게이트 및 워드 라인에 연결되어 있으며,

상기 제3 트랜지스터의 소스와 드레인은 각각 상기 제1 비교라인과 제4 트랜지스터의 드레인에 연결되어 있으며,

상기 제4 트랜지스터의 소스는 상기 제2 비교라인에 연결되어 있으며,

상기 제5 트랜지스터의 소스, 드레인 및 게이트는 각각 접지단자, 상기 매치 라인 및 제3 트랜지스터의 드레인에 연결되어 있는 것을 특징으로 하는 터너리 내용 주소화 메모리.

청구항 7

제 6 항에 있어서,

저장데이터 0, 1, 무정값(don't care)을 상기 제1 트랜지스터와 제2 트랜지스터에 저장하기 위하여 상기 제1 비트 라인과 제2 비트 라인에 각각 0/1, 1/0, 0/0의 값이 입력되며, 0, 1, 무정값의 저장데이터는 상기 제1 비교라인과 제2 비교 라인을 통해 입력된 1/0, 0/1, 0/0의 비교데이터에 각각 매칭되는 것을 특징으로 하는 터너리 내용 주소화 메모리.

명세서

기술분야

[0001] 본 발명은 터너리 내용 주소화 메모리에 관한 것으로, 보다 구체적으로 터너리 내용 주소화 메모리를 구성하는 전체 소자의 수를 줄여 터너리 내용 주소화 메모리의 사이즈를 작게함으로써, 집적도를 높이고 소비 전력을 향상시킬 수 있는 터너리 내용 주소화 메모리에 관한 것이다.

배경기술

[0002] 통상적인 메모리는 데이터가 저장되어 있는 주소를 정확히 알아야만 저장되어 있는 데이터에 접근할 수 있다. 그러나 내용 주소화 메모리 장치(Content Addressable Memory, CAM)는 데이터가 저장되어 있는 정확한 주소를 모르더라도 데이터의 내용을 입력하면 해당 내용의 데이터들이 저장되어 있는 위치의 주소를 찾아주는 기능을 갖는 메모리이다. 따라서 많은 데이터에서 특정 내용을 탐색할 경우 주어진 내용과 일치하는 데이터와 관련된 데이터를 단번에 찾을 수 있는 특유의 빠른 검색 특성 때문에 내용 주소화 메모리를 이용한 IP 주소 룩업 방법들이 널리 사용되고 있으며 데이터 검색 엔진에도 많이 이용되고 있다.

[0003] 이러한 내용 주소화 메모리는 크게 바이너리 내용 주소화 메모리(binary CAM)와 터너리 내용 주소화 메모리(ternary CAM)로 구분할 수 있다. 바이너리 내용 주소화 메모리는 메모리에 0, 1 데이터가 저장되며, 입력되는 데이터와 저장되어 있는 데이터(0, 1)를 비교하여 해당 내용의 데이터가 저장된 위치의 주소를 검색한다. 이에 반해 터너리 내용 주소화 메모리는 메모리에 0, 1 이외에 무정값(don't care)을 저장할 수 있으며, 저장되어 있는 데이터를 검색하는 경우에도 0, 1, 무정값의 조합을 입력하고 입력한 데이터와 저장되어 있는 값(0, 1, don't care)을 비교하여 해당 내용의 데이터가 저장된 위치의 주소를 검색한다.

[0004] 도 1은 터너리 내용 주소화 메모리에 저장되어 있는 데이터를 검색하는 일 예를 설명하기 위한 도면이다. 도 1(a)는 검색하고자 하는 데이터를 도시하고 있으며, 도 1(b)는 터너리 내용 주소화 메모리에 저장되어 있는 데이터를 도시하고 있다. 도 1(a)에 도시되어 있는 것과 같이 검색하고자 하는 데이터는 1, 0, 1, 1, x, x, x이다. 여기서 x는 무정값을 의미한다. 터너리 내용 주소화 메모리는 입력된 데이터와 저장되어 있는 데이터를 동시에 병렬로 비교하며, 입력된 데이터 중 무정값을 제외한 나머지 데이터만 일치하는, 5번째 행에 저장되어 있는 데이터를 일치 데이터로 검색한다. 이와 같이, 터너리 내용 주소화 메모리는 전체 데이터 중 부분적으로 일치하는 내용의 데이터도 검색할 수 있기 때문에, 데이터 저장시 사용 방식에 따라 다양하게 데이터를 저장할 수 있으며 데이터의 검색도 무정값을 이용하여 다양하게 그리고 편리하게 검색할 수 있다는 장점을 가진다

[0005] 도 2는 종래 터너리 내용 주소화 메모리를 설명하기 위한 개략적인 회로도이다.

[0006] 도 2를 참고로 살펴보면, 종래 터너리 내용 주소화 메모리는 0, 1, 무정값(x)의 데이터를 저장하기 위한 제1 저장셀부(10)와 제2 저장셀부(20), 제1 저장셀부(10)에 저장할 데이터를 입력하기 위한 제1 비트 라인쌍(BL1,

BL1/), 제2 저장셀부(20)에 저장할 데이터를 입력하기 위한 제2 비트 라인쌍(BL2, BL2/), 제1 저장셀부(10) 또는 제2 저장셀부(20)의 활성화를 제어하는 워드 라인(WL), 비교 데이터를 입력하기 위한 비교 라인쌍(CL, CL/) 및 비교 라인쌍(CL, CL/)을 통해 입력되는 데이터와 제1 저장셀부(10) 및 제2 저장셀부(20)에 저장된 데이터를 비교하여 터너리 내용 주소화 메모리에 저장된 데이터와 입력된 데이터가 일치하는지 판단하는 비교 회로부(30)를 구비하고 있다.

[0007] 제1 저장셀부(10)는 제1 비트라인쌍(BL1, BL1/)에 드레인이 연결된 제1 NMOS 트랜지스터(M1)와 제2 NMOS 트랜지스터(M2), 순환 고리 형태로 연결되어 제1 비트라인쌍(BL1, BL1/)을 통해 입력된 데이터를 저장하고 있는 한 쌍의 인버터(I1, I2)를 구비하고 있다. 또한 제2 저장셀부(20)는 제2 비트라인쌍(BL2, BL2/)에 드레인이 연결된 제3 NMOS 트랜지스터(M3)와 제4 NMOS 트랜지스터(M4), 순환 고리 형태로 연결되어 제2 비트라인쌍(BL2, BL2/)을 통해 입력된 데이터를 저장하고 있는 한 쌍의 인버터(I3, I4)를 구비하고 있다.

[0008] 한편, 비교 회로부(30)는 한 쌍의 인버터(I1, I2)에 저장된 데이터에 의해 활성화/비활성화되는 제5 NMOS 트랜지스터(M5), 한 쌍의 인버터(I3, I4)에 저장된 데이터에 의해 활성화/비활성화되는 제6 NMOS 트랜지스터(M6), 비교 라인쌍(CL, CL/)에 게이트가 각각 연결되어 있으며 매칭 라인(ML)에 드레인이 연결된 제7 NMOS 트랜지스터(M7)와 제8 NMOS 트랜지스터(M8)를 구비하고 있다. 제7 NMOS 트랜지스터(M7)와 제8 NMOS 트랜지스터(M8)의 소스는 각각 제5 NMOS 트랜지스터(M5)와 제6 NMOS 트랜지스터(M6)의 드레인에 연결되어 있다. 여기서 제5 NMOS 트랜지스터(M5)와 제6 NMOS 트랜지스터(M6)의 소스는 각각 접지되어 있다. 비교 라인쌍(CL, CL/)을 통해 입력된 비교 데이터와 제1 저장셀부(10)와 제2 저장셀부(20)에 입력된 데이터가 일치하는 경우 매칭 라인(ML)은 프리차지된 상태로 유지된다. 반면, 비교 라인쌍(CL, CL/)을 통해 입력된 비교 데이터와 제1 저장셀부(10)와 제2 저장셀부(20)에 입력된 데이터가 상이한 경우 매칭 라인(ML)은 디스차지된다.

[0009] 도 3은 종래 터너리 내용 주소화 메모리에서 0, 1, 무정값을 저장하기 위해 제1 비트 라인쌍(BL1, BL1/)과 제2 비트 라인쌍(BL2, BL2/)에 입력되는 데이터와 터너리 내용 주소화 메모리에 저장된 데이터를 비교 검색하기 위하여 비교 라인쌍(CL, CL/)으로 입력되는 데이터를 도시하고 있다.

[0010] 도 3(a)에 도시되어 있는 것과 같이, 0을 터너리 내용 주소화 메모리에 저장하기 위하여 제1 비트 라인쌍(BL1, BL1/)에 0, 1을 입력하고 제2 비트 라인쌍(BL2, BL2/)에 1, 0을 입력한다. 1을 터너리 내용 주소화 메모리에 저장하기 위하여 제1 비트 라인쌍(BL1, BL1/)에 1, 0을 입력하고 제2 비트 라인쌍(BL2, BL2/)에 0, 1을 입력한다. 무정값(x)을 터너리 내용 주소화 메모리에 저장하기 위하여 제1 비트 라인쌍(BL1, BL1/)에 0, 1을 입력하고 제2 비트 라인쌍(BL2, BL2/)에 0, 1을 입력한다. 한편, 터너리 내용 주소화 메모리에 저장된 데이터가 0인지를 판단하기 위하여 비교 라인쌍(CL, CL/)에 입력되는 데이터는 0, 1이고, 터너리 내용 주소화 메모리에 저장된 데이터가 1인지를 판단하기 위하여 비교 라인쌍(CL, CL/)에 입력되는 데이터는 1, 0이고, 터너리 메모리 셀에 저장된 데이터가 무정값인지를 판단하기 위하여 비교 라인쌍(CL, CL/)에 입력되는 데이터는 0, 0이다.

발명의 내용

해결하려는 과제

[0011] 위에서 살펴본 종래 터너리 내용 주소화 메모리는 제1 저장셀(10)과 제2 저장셀(20)에 개별적으로 각각 데이터를 입력하기 위한 2개의 데이터 라인쌍을 구비하고 있다. 더욱이 제1 저장셀(10)과 제2 저장셀(20)에는 다수의 트랜지스터들, 즉 제1 저장셀(10)에는 제1 비트 라인쌍에 연결된 2개의 NMOS 트랜지스터들(M1, M2) 및 한 쌍의 인버터(I1, I2)를 구성하는 4개의 트랜지스터들(미도시), 총 6개의 트랜지스터를 구비하고 있으며, 제2 저장셀(20)에는 제2 비트 라인쌍에 연결된 2개의 NMOS 트랜지스터들(M3, M4) 및 한 쌍의 인버터(I3, I4)를 구성하는 4개의 트랜지스터들(미도시), 총 6개의 트랜지스터를 구비하고 있다. 따라서 종래 터너리 내용 주소화 메모리에는 총 16개의 트랜지스터와 2개의 데이터 라인쌍을 구비하고 있다.

[0012] 메모리 설계에 있어 가장 중요하게 고려하여야 할 요인으로 메모리의 크기를 작게 하여 집적도를 늘리는 것이며, 또한 고성능 설계로 소비 전력을 줄이는 것이다. 그러나 종래 터너리 내용 주소화 메모리는 비교 회로부(30)를 포함하여 총 16개의 트랜지스터를 기본적으로 사용하고 있으며, 제1 저장셀(10)과 제2 저장셀(20)에 각각 데이터를 입력하기 위하여 2개의 비트 라인쌍을 구비하여야 한다. 따라서 종래 터너리 내용 주소화 메모리는 집적화에 한계를 가지며, 많은 트랜지스터와 2개의 비트 라인쌍을 이용함으로써 소비 전력이 많고 프로세스가 복잡하여 높은 성능을 발휘하지 못한다는 문제점을 가진다.

[0013] 따라서 본 발명은 종래 터너리 내용 주소화 메모리가 가지는 문제점들을 해결하기 위한 것으로, 본 발명이 이루

고자 하는 목적은 터너리 내용 주소화 메모리에 사용되는 소자의 수를 줄여 집적도를 향상시킬 수 있는 터너리 내용 주소화 메모리를 제공하는 것이다.

[0014] 본 발명이 이루고자 하는 다른 목적은 터너리 내용 주소화 메모리를 구성하는 트랜지스터의 수를 줄여 소비 전력을 줄일 수 있는 터너리 내용 주소화 메모리를 제공하는 것이다.

[0015] 본 발명이 이루고자 하는 또 다른 목적은 트랜지스터의 수를 줄이고 비트 라인쌍을 단일화하여 적은 프로세스로 데이터 저장 또는 비교를 가능하게 하여 높은 성능을 발휘할 수 있는 터너리 내용 주소화 메모리를 제공하는 것이다.

과제의 해결 수단

[0016] 위에서 언급한 목적을 달성하기 위하여 본 발명에 따른 터너리 내용 주소화 메모리는 워드라인에 의해 활성화되며 제1 비트라인과 제2 비트라인을 통해 입력되는 저장 데이터를 차단 제어하는 제1 트랜지스터와 제2 트랜지스터와, 제1 트랜지스터의 제어에 따라 제1 저장 데이터를 저장하는 제3 트랜지스터와, 제2 트랜지스터의 제어에 따라 제2 저장 데이터를 저장하는 제4 트랜지스터와, 제1 비교라인 및 제2 비교라인을 통해 입력된 제1 비교 데이터와 제2 비교 데이터를 제3 트랜지스터와 제4 트랜지스터에 저장된 저장 데이터와 비교하여 비교값을 출력하는 비교 회로부를 포함하여 구성되어 있다.

[0017] 여기서 비교 회로부는 비교 신호에 따라 프리차지되는 매치라인과, 매치라인이 프리차지된 후 제1 비교라인 및 제2 비교라인을 통해 입력된 제1 비교 데이터 및 제2 비교 데이터와 저장 데이터에 따라 활성화 제어되어 매치라인으로 비교값을 출력하는 제5 트랜지스터를 포함하는 것을 특징으로 한다.

[0018] 본 발명에 따른 터너리 내용 주소화 메모리는 비교 회로부를 통해 저장 데이터와 비교 데이터를 비교하기 전 제3 트랜지스터와 제4 트랜지스터 사이의 노드 전압의 크기를 0으로 설정하는 전압 설정부를 더 포함하는 것을 특징으로 한다.

[0019] 여기서 전압 설정부는 저장 데이터를 임시 저장하는 임시 저장부와, 제1 트랜지스터와 제4 트랜지스터를 활성화 제어하는 활성화 제어부와, 제1 트랜지스터와 제2 트랜지스터가 활성화되는 경우 제1 비교 라인과 제2 비교 라인으로 0의 값을 입력시켜 제3 트랜지스터와 제4 트랜지스터 사이의 노드 전압의 크기를 0으로 설정하는 입력 제어부와, 임시 저장부에 저장되어 있는 값을 각각 제3 트랜지스터와 제4 트랜지스터에 다시 저장하는 저장 제어부를 포함한다.

[0020] 바람직하게 제1 트랜지스터 내지 제5 트랜지스터는 NMOS 트랜지스터인데, 제1 트랜지스터의 소스, 드레인 및 게이트는 각각 제1 비트 라인, 제3 트랜지스터의 게이트 및 워드라인에 연결되어 있으며, 제2 트랜지스터의 소스, 드레인 및 게이트는 각각 제2 비트 라인, 제4 트랜지스터의 게이트 및 워드라인에 연결되어 있으며, 제3 트랜지스터의 소스와 드레인은 각각 제1 비교라인과 제4 트랜지스터의 드레인에 연결되어 있으며, 제4 트랜지스터의 소스는 제2 비교라인에 연결되어 있으며, 제5 트랜지스터의 소스, 드레인 및 게이트는 각각 접지단자, 매치 라인 및 제3 트랜지스터의 드레인에 연결되어 있다.

발명의 효과

[0021] 본 발명에 따른 터너리 내용 주소화 메모리는 종래 터너리 내용 주소화 메모리와 비교하여 다음과 같은 다양한 효과들을 가진다.

[0022] 첫째, 본 발명에 따른 터너리 내용 주소화 메모리는 종래 터너리 내용 주소화 메모리와 비교하여 구성 트랜지스터의 수가 적어 작은 크기로 메모리를 제작할 수 있어서, 메모리 설계에 있어서 가장 중요한 요인 중 하나인 집적도를 향상시킬 수 있다.

[0023] 둘째, 본 발명에 따른 터너리 내용 주소화 메모리는 집적도를 향상시킴으로써 소형화되고 경량화된 제품을 설계하는데 도움을 준다.

[0024] 셋째, 본 발명에 따른 터너리 내용 주소화 메모리는 적은 수의 트랜지스터를 이용하여 터너리 내용 주소화 메모리의 기능을 수행함으로써, 소비 전력을 줄일 수 있다.

[0025] 넷째, 본 발명에 따른 터너리 내용 주소화 메모리는 트랜지스터의 수를 줄이고 비트 라인쌍을 단일화하여 적은 프로세스로 데이터 저장 또는 비교가 가능함으로써, 높은 성능을 발휘할 수 있다.

도면의 간단한 설명

- [0026] 도 1은 터너리 내용 주소화 메모리에 저장되어 있는 데이터의 일 예와 터너리 내용 주소화 메모리에 저장되어 있는 데이터를 검색하기는 일 예를 설명하기 위한 도면이다.
- 도 2는 종래 터너리 내용 주소화 메모리를 설명하기 위한 개략적인 회로도이다.
- 도 3은 종래 터너리 내용 주소화 메모리에서 0, 1, 무정값을 저장하기 위해 제1 비트 라인쌍(BL1, BL1/)과 제2 비트 라인쌍(BL2, BL2/)에 입력되는 데이터와 터너리 내용 주소화 메모리에 저장된 데이터를 비교 검색하기 위하여 비교 라인쌍(CL, CL/)으로 입력되는 데이터를 도시하고 있다.
- 도 4는 본 발명의 일 실시예에 따른 터너리 내용 주소화 메모리(100)의 회로도를 도시하고 있다.
- 도 5는 본 발명의 일 실시예에 따른 터너리 내용 주소화 메모리에서 0, 1, 무정값을 저장하기 위해 제1 비트 라인(BL)과 제2 비트 라인(BL/)에 입력되는 데이터와 터너리 내용 주소화 메모리에 저장된 데이터를 비교 검색하기 위하여 제1 비교 라인(CL)과 제2 비교 라인(CL/)으로 입력되는 데이터를 도시하고 있다.
- 도 6은 본 발명의 다른 실시예에 따른 터너리 내용 주소화 메모리(200)의 기능 블록도를 도시하고 있다.
- 도 7은 본 발명에 따른 전압 설정부(240)를 보다 구체적으로 도시하고 있는 기능 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0027] 이하 첨부한 도면을 참고로 본 발명에 따른 터너리 내용 주소화 메모리에 대해 보다 구체적으로 살펴본다.
- [0028] 도 4는 본 발명의 일 실시예에 따른 터너리 내용 주소화 메모리(100)의 회로도를 도시하고 있다.
- [0029] 도 4를 참고로 보다 구체적으로 살펴보면, 본 발명에 따른 터너리 내용 주소화 메모리(100)는 0, 1, 무정값(x)의 데이터를 저장하기 위한 저장부(110), 저장할 데이터를 저장부(110)로 제공하기 위한 한 쌍의 비트라인(BL, BL/), 저장부(110)에 저장되어 있는 데이터를 검색하기 위한 비교 데이터를 제공하는 한 쌍의 비교라인(CL, CL/), 비교 라인(CL, CL/)으로 제공된 비교 데이터와 저장부(110)에 저장되어 있는 저장 데이터를 비교하여 터너리 내용 주소화 메모리에 저장된 데이터를 판단하는 비교 회로부(120)를 구비하고 있다.
- [0030] 저장부(110)는 제1 저장부(111)와 제2 저장부(113)로 구성되어 있는데, 제1 저장부(111)에 저장할 데이터는 제2 비트 라인(BL/)을 통해 제1 저장부(111)로 제공되며, 제2 저장부(113)에 저장할 데이터는 제1 비트 라인(BL)을 통해 제2 저장부(113)로 제공된다. 제1 저장부(111) 또는 제2 저장부(113)의 활성화는 워드라인(WL)을 통해 입력되는 활성화 신호에 의해 제어된다.
- [0031] 제1 저장부(111)는 제1 트랜지스터(M1)와 제2 트랜지스터(M2)를 구비하고 있으며 제2 저장부(113)는 제3 트랜지스터(M3)와 제4 트랜지스터(M4)를 구비하고 있다. 제1 저장부(111)에 구비되어 있는 제1 트랜지스터(M1)의 소스, 드레인 및 게이트는 각각 제2 비트라인(BL/), 제2 트랜지스터(M2)의 게이트, 워드 라인(WL)에 연결되어 있으며 제2 트랜지스터(M2)의 소스와 드레인은 각각 제1 비교 라인(CL)과 제4 트랜지스터(M4)의 드레인에 연결되어 있다. 한편, 제2 저장부(113)에 구비되어 있는 제3 트랜지스터(M3)의 소스, 드레인 및 게이트는 각각 제1 비트라인(BL), 제4 트랜지스터(M4)의 게이트, 워드 라인(WL)에 연결되어 있으며 제4 트랜지스터(M4)의 소스는 제2 비교 라인(CL/)에 연결되어 있다.
- [0032] 한편, 비교 회로부(120)는 매칭 라인(ML)과 제5 트랜지스터(M5)를 구비하여 구성되어 있다. 제2 트랜지스터(M2)의 드레인과 제4 트랜지스터(M4)의 드레인은 서로 연결되어 있으며, 제5 트랜지스터(M5)의 게이트는 제2 트랜지스터(M2)의 드레인과 제4 트랜지스터(M4)의 드레인의 연결 노드(A)에 연결되어 있다. 제5 트랜지스터(M5)의 드레인은 매칭 라인(ML)과 연결되어 있으며, 제5 트랜지스터(M5)의 소스는 접지단자에 연결되어 접지되어 있다. 비교 회로부(120)는 저장부(110)에 저장된 저장 데이터와 비교 라인(CL, CL/)을 통해 입력된 비교 데이터를 비교하여 비교 결과값을 매칭 라인(ML)으로 출력한다.
- [0033] 바람직하게, 제1 트랜지스터(M1) 내지 제 5 트랜지스터(M5)는 NMOS 트랜지스터이다.
- [0034] 도 5는 본 발명의 일 실시예에 따른 터너리 내용 주소화 메모리에서 0, 1, 무정값을 저장하기 위해 제1 비트 라인(BL)과 제2 비트 라인(BL/)에 입력되는 데이터와 터너리 메모리 셀에 저장된 데이터를 비교 검색하기 위하여 제1 비교 라인(CL)과 제2 비교 라인(CL/)으로 입력되는 데이터를 도시하고 있다.
- [0035] 도 5(a)에 도시되어 있는 것과 같이, 0을 터너리 내용 주소화 메모리에 저장하기 위하여 제1 비트 라인(BL)에 0

을 입력하고 제2 비트 라인(BL2)에 1을 입력한다. 1을 터너리 내용 주소화 메모리에 저장하기 위하여 제1 비트 라인(BL)에 1을 입력하고 제2 비트 라인(BL/)에 0을 입력한다. 부정값(x)을 터너리 내용 주소화 메모리 셀에 저장하기 위하여 제1 비트 라인(BL)에 0을 입력하고 제2 비트 라인(BL/)에 0을 입력한다. 한편, 터너리 내용 주소화 메모리에 저장된 데이터가 0인지를 판단하기 위하여 제1 비교 라인(CL)에 1을 입력하고 제2 비교 라인(CL/)에 0을 입력하며, 터너리 내용 주소화 메모리에 저장된 데이터가 1인지를 판단하기 위하여 제1 비교 라인(CL)에 0을 입력하고 제2 비교 라인(CL/)에 1을 입력하며, 터너리 내용 주소화 메모리에 저장된 데이터가 부정값인지를 판단하기 위하여 제1 비교 라인(CL)에 0을 입력하고 제2 비교 라인(CL/)에 0을 입력한다.

[0036] 도 4와 도 5를 참고로 본 발명에 따른 터너리 내용 주소화 메모리에 데이터를 저장하는 동작과 저장된 데이터를 검색하는 동작을 보다 구체적으로 살펴본다.

[0037] <저장 동작>

[0038] 터너리 내용 주소화 메모리(100)에 0을 저장하고자 하는 경우 워드 라인(WL)에 하이 신호를 입력하여 제1 NMOS 트랜지스터(M1)와 제3 NMOS 트랜지스터(M3)를 활성화시킨다. 제1 비트 라인(BL)과 제2 비트 라인(BL/)에 각각 0과 1의 데이터를 입력하여 제1 저장셀부(110)와 제2 저장셀부(120)에 각각 0과 1을 저장시킨다. 저장이 완료되면 워드 라인(WL)에 로우 신호를 유지시켜 제1 NMOS 트랜지스터(M1)와 제3 NMOS 트랜지스터(M3)를 비활성화시킨다.

[0039] 이와 동일하게 터너리 내용 주소화 메모리(100)에 1을 저장하고자 하는 경우 워드 라인(WL)에 하이 신호를 입력하여 제1 NMOS 트랜지스터(M1)와 제3 NMOS 트랜지스터(M3)를 활성화시킨다. 제1 비트 라인(BL)과 제2 비트 라인(BL/)에 각각 1과 0의 데이터를 입력하여 제1 저장셀부(110)와 제2 저장셀부(120)에 각각 1과 0을 저장시킨다. 저장이 완료되면 워드 라인(WL)에 로우 신호를 유지시켜 제1 NMOS 트랜지스터(M1)와 제3 NMOS 트랜지스터(M3)를 비활성화시킨다.

[0040] 한편, 터너리 내용 주소화 메모리(100)에 부정값(x)을 저장하고자 하는 경우 워드 라인(WL)에 하이 신호를 입력하여 제1 NMOS 트랜지스터(M1)와 제3 NMOS 트랜지스터(M3)를 활성화시킨다. 제1 비트 라인(BL)과 제2 비트 라인(BL/)에 각각 0과 0의 데이터를 입력하여 제1 저장셀부(110)와 제2 저장셀부(120)에 각각 0과 0을 저장시킨다. 저장이 완료되면 워드 라인(WL)에 로우 신호를 유지시켜 제1 NMOS 트랜지스터(M1)와 제3 NMOS 트랜지스터(M3)를 비활성화시킨다.

[0041] <검색 동작>

[0042] 터너리 내용 주소화 메모리(100)에 0이 저장되어 있는 경우, 터너리 내용 주소화 메모리(100)에 저장된 데이터를 검색하기 위하여 제1 비교 라인(CL)과 제2 비교 라인(CL/)에 각각 1과 0의 비교 데이터를 입력한다. 이때, 제2 NMOS 트랜지스터(M2)는 비활성화되고 제4 NMOS 트랜지스터(M4)는 활성화된다. 따라서 제2 비교 라인(BL/)으로 입력된 비교 데이터(0)은 노드(A)를 따라 제5 NMOS 트랜지스터(M5)의 게이트로 입력된다. 제5 NMOS 트랜지스터(M5) 게이트로 입력된 비교 데이터는 로우 신호이기 때문에, 제5 NMOS 트랜지스터(M5)는 비활성화되며 매칭 라인(ML)은 프리차지된 상태를 유지하여 하이 신호의 비교 결과값을 출력한다. 즉, 하이 신호의 비교 결과값은 저장된 데이터가 0임을 나타낸다.

[0043] 한편, 터너리 내용 주소화 메모리(100)에 1이 저장되어 있는 경우, 터너리 내용 주소화 메모리(100)에 저장된 데이터를 검색하기 위하여 제1 비교 라인(CL)과 제2 비교 라인(CL/)에 각각 1과 0의 비교 데이터를 입력한다. 이때, 제3 NMOS 트랜지스터(M2)는 활성화되고 제4 NMOS 트랜지스터(M4)는 비활성화된다. 따라서 제1 비교 라인(BL)으로 입력된 비교 데이터(1)은 노드(A)를 따라 제5 NMOS 트랜지스터(M5)의 게이트로 입력된다. 제5 NMOS 트랜지스터(M5) 게이트로 입력된 비교 데이터는 하이 신호이기 때문에, 제5 NMOS 트랜지스터(M5)는 활성화되며 매칭 라인(ML)은 디스차지되어 로우 신호의 비교 결과값을 출력한다. 즉, 입력된 비교 신호와 비교 결과값에 기초하여 터너리 내용 주소화 메모리에 저장된 데이터가 0이 아님을 나타낸다.

[0044] 다시 터너리 내용 주소화 메모리(100)에 저장된 데이터를 검색하기 위하여 제1 비교 라인(CL)과 제2 비교 라인(CL/)에 각각 0과 1의 비교 데이터를 입력한다. 이 때, 제2 NMOS 트랜지스터(M2)는 활성화되고 제4 NMOS 트랜지스터(M4)는 비활성화된다. 따라서 제1 비교 라인(BL)으로 입력된 비교 데이터(0)은 노드(A)를 따라 제5 NMOS 트랜지스터(M5)의 게이트로 입력된다. 제5 NMOS 트랜지스터(M5) 게이트로 입력된 비교 데이터는 로우 신호이기 때문에, 제5 NMOS 트랜지스터(M5)는 비활성화되며 매칭 라인(ML)은 프리차지된 상태를 유지하여 로우 신호의 하이 신호의 비교 결과값을 출력한다. 즉, 입력된 비교 신호와 비교 결과값에 기초하여 터너리 내용 주소화 메모

리 셀에 저장된 데이터는 1임을 알 수 있다.

[0045] 이와 동일하게, 터너리 내용 주소화 메모리(100)에 무정값(x)이 저장되어 있는 경우, 제2 NMOS 트랜지스터(M2)는 비활성화되어 있고 제4 NMOS 트랜지스터(M4)도 비활성화되어 있다. 제1 비교 라인(CL)과 제2 비교 라인(CL/)로 어떠한 비교 데이터가 입력되는지에 상관없이 제1 비교 라인(CL)과 제2 비교 라인(CL/)으로 입력된 데이터는 어느 것도 노드(A)를 따라 제5 NMOS 트랜지스터(M5)의 게이트로 입력되지 못한다. 따라서 제5 NMOS 트랜지스터(M5)는 비활성화되며 매칭 라인(ML)은 프리차지된 상태를 유지하여 하이 신호의 비교 결과값을 출력한다. 즉, 입력된 비교 데이터에 상관없이 저장된 데이터와 비교 데이터가 일치하다는 비교 결과값을 출력한다.

[0046] 도 6은 본 발명의 다른 실시예에 따른 터너리 내용 주소화 메모리(200)의 기능 블록도를 도시하고 있다.

[0047] 도 6에 도시되어 있는 제1 저장셀부(210)과 제2 저장셀부(220) 및 비교 회로부(230)의 구성은 도 4에 도시되어 있는 제1 저장셀부(110)과 제2 저장셀부(120) 및 비교 회로부(130)와 동일하며, 제1 비트 라인(BL)과 제2 비트 라인(BL/) 및 워드 라인(WL)의 동작과 기능도 도 4에서 설명한 비트 라인 또는 워드 라인과 동일하다. 따라서 이하에서는 도 4와 상이한 전압 설정부(240)에 대해 구체적으로 설명한다.

[0048] 앞서 도 4를 참고로 살펴본 바와 같이, 무정값(x)이 터너리 내용 주소화 메모리에 저장되는 경우, 제1 저장셀부(210)과 제2 저장셀부(220)에는 각각 0, 0의 값이 저장되며 비교 회로부(230)의 제3 NMOS 트랜지스터(M3)와 제4 NMOS 트랜지스터(M4)는 모두 비활성화된다. 따라서 제1 비교 라인(CL)과 제2 비교 라인(CL/)로 입력된 비교 데이터 중 어떠한 데이터도 노드(A)로 입력되지 못한다. 즉, 제5 NMOS 트랜지스터(M5)의 게이트가 연결된 노드(A)는 플로팅(floating) 상태로 된다. 따라서 저장된 데이터와 입력된 데이터를 비교 검색하는 과정을 진행하기에 앞서, 반드시 노드(A)의 전압을 0으로 설정해 주어야 정확하게 저장된 데이터와 입력된 데이터를 비교 검색할 수 있다. 전압 설정부(240)는 비교 검색하는 과정을 진행하기에 앞서 노드(A)의 전압을 0으로 설정 제어한다.

[0049] 도 7은 본 발명에 따른 전압 설정부(240)를 보다 구체적으로 도시하고 있는 기능 블록도이다.

[0050] 도 7을 참고로 살펴보면, 저장 제어부(243)는 제1 저장셀부(210)와 제2 저장셀부(220)에 저장되어 있는 데이터를 판독하고, 판독한 데이터를 임시 저장부(241)에 저장시킨다. 활성 제어부(245)는 워드 라인에 하이 신호를 인가하여 제1 저장셀부(210)과 제2 저장셀부(220)를 활성화시키기 위한 워드 라인 제어 신호와 제1 비트 라인(BL)과 제2 비트 라인(BL/)에 1의 데이터를 입력시키기 위한 비트 라인 제어 신호를 생성하여 워드 라인 제어부(미도시)와 비트라인 제어부(미도시)도 제공한다. 워드 라인 제어 신호와 비트 라인 제어 신호에 따라 제1 저장셀부(210)과 제2 저장셀부(220)에 각각 1의 데이터가 저장되며, 따라서 비교 회로부(230)의 제3 NMOS 트랜지스터(M3)와 제4 NMOS 트랜지스터(M4)는 모두 활성화된다.

[0051] 입력 제어부(247)는 제1 비교 라인(CL)과 제2 비교 라인(CL/)에 각각 0의 데이터를 입력시키기 위한 비교 라인 제어 신호를 생성하여 비교 라인 제어부(미도시)로 제공한다. 제3 NMOS 트랜지스터(M3)와 제4 NMOS 트랜지스터(M4)는 활성화된 상태이므로, 비교 라인 제어 신호에 따라 노드(A)에는 0의 전압으로 설정된다. 노드(A)를 0으로 설정한 후, 저장 제어부(243)는 임시 저장부(241)에 저장되어 있던 데이터를 다시 제1 저장셀부(210)과 제2 저장셀부(220)에 저장 제어한다.

[0052] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 위에서 설명한 본 발명의 다양한 실시예는 본 발명의 권리범위를 정함에 있어 하나의 참고가 될 뿐이며, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

[0053] 100, 200: 터너리 내용 주소화 메모리

110, 120, 210, 220: 저장셀부

130, 230: 비교 회로부

240: 전압 설정부

도면

도면1

1	0	1	1	X	X	X
---	---	---	---	---	---	---

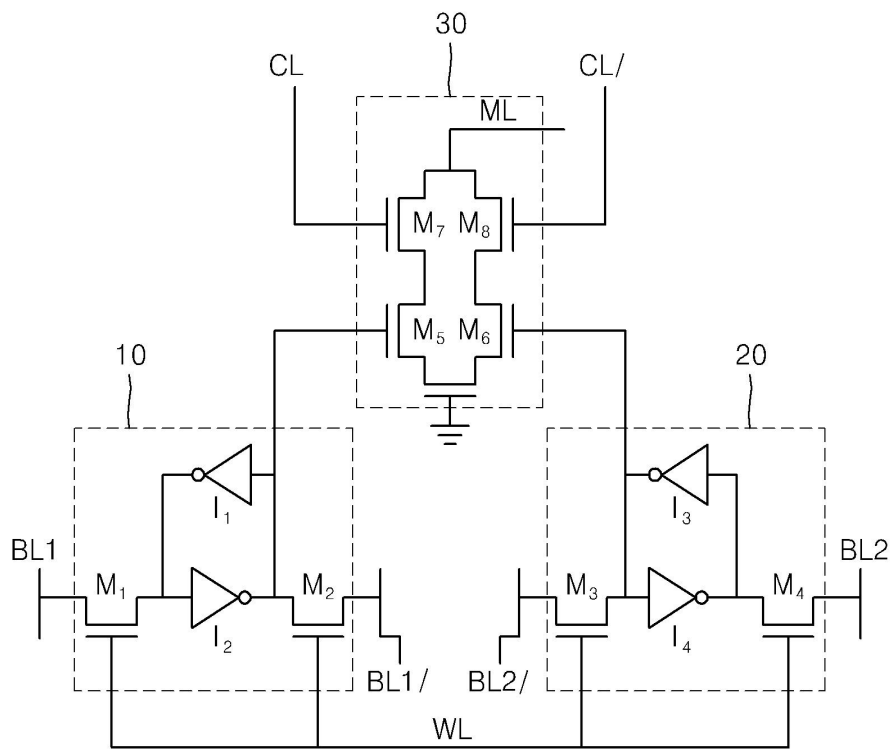
(a)

1	0	1	0	X	0	1
1	0	1	0	0	1	0
1	X	0	1	0	0	1
1	1	1	1	1	0	0
1	0	1	1	0	0	1
1	0	0	1	1	X	0

일치

(b)

도면2



도면3

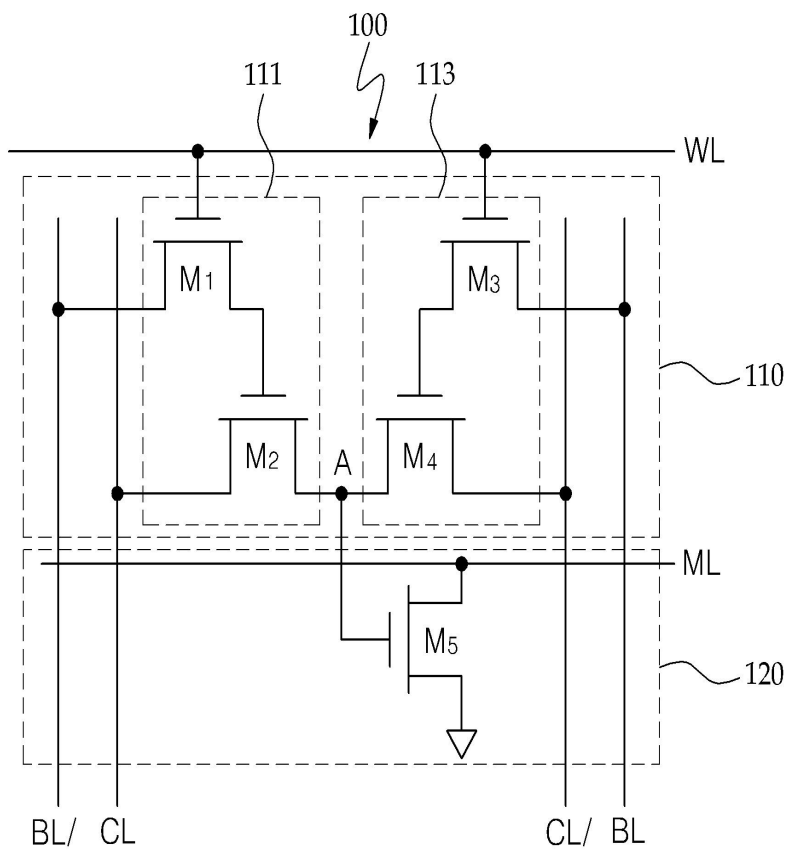
BL1	BL1/	BL2	BL2/	LOGIC
0	1	1	0	0
1	0	0	1	1
0	1	0	1	X

(a)

CL	CL/	LOGIC
0	1	0
1	0	1
0	0	X

(b)

도면4



도면5

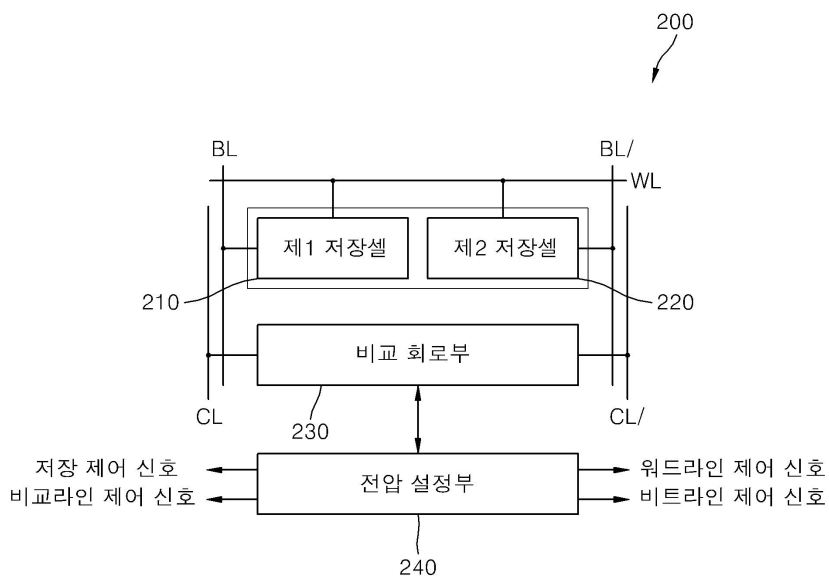
BL	BL/	LOGIC
0	1	0
1	0	1
0	0	X

(a)

CL	CL/	LOGIC
1	0	0
0	1	1
0	0	X

(b)

도면6



도면7

