

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成17年9月22日(2005.9.22)

【公開番号】特開2003-347423(P2003-347423A)

【公開日】平成15年12月5日(2003.12.5)

【出願番号】特願2002-154589(P2002-154589)

【国際特許分類第7版】

H 01 L 21/8238

H 01 L 21/318

H 01 L 27/092

H 01 L 29/417

【F I】

H 01 L 27/08 3 2 1 D

H 01 L 21/318 C

H 01 L 29/50 M

【手続補正書】

【提出日】平成17年4月19日(2005.4.19)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】半導体集積回路装置の製造方法

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

以下の工程を有する半導体集積回路装置の製造方法：

(a) 半導体基板の正面に形成した第1p型ウエル、第2p型ウエル、第1n型ウエルおよび第2n型ウエルのそれぞれの表面に第1絶縁膜を形成した後、窒素を含む雰囲気中で前記半導体基板を熱処理することによって、前記それぞれのウエルと前記第1絶縁膜との界面に第1の窒素濃度を有する第1窒化領域を形成する工程、

(b) 前記第1p型ウエルに形成された前記第1絶縁膜および前記第1窒化領域と、前記第1n型ウエルに形成された前記第1絶縁膜および前記第1窒化領域をそれぞれ除去し、前記第2p型ウエルおよび前記第2n型ウエルのそれぞれに前記第1絶縁膜および前記第1窒化領域を残す工程、

(c) 前記半導体基板を熱酸化することによって、前記第1p型ウエルおよび前記第1n型ウエルのそれぞれの表面に第1ゲート絶縁膜を形成し、前記第2p型ウエルおよび前記第2n型ウエルのそれぞれに表面に、前記第1絶縁膜をその一部に含み、前記第1ゲート絶縁膜よりも膜厚が厚い第2ゲート絶縁膜を形成する工程、

(d) 窒素を含む雰囲気中で前記半導体基板を熱処理することによって、前記第1p型ウエルと前記第1ゲート絶縁膜との界面、および前記第1n型ウエルと前記第1ゲート絶縁膜との界面に、第2の窒素濃度を有する第2窒化領域を形成し、前記第2p型ウエルと前記第2ゲート絶縁膜との界面、および前記第2n型ウエルと前記第2ゲート絶縁膜との界面に、前記第1窒化領域の窒素をその一部に含み、前記第2の窒素濃度よりも高い第3の

窒素濃度を有する第3窒化領域を形成する工程、

(e) 前記半導体基板上にシリコン膜を堆積した後、前記第1n型ウエルおよび前記第2n型ウエルのそれぞれの上部に第1フォトレジスト膜を形成し、前記第1p型ウエルおよび前記第2p型ウエルのそれぞれの上部の前記シリコン膜にn型不純物をイオン注入することによって、n型シリコン膜を形成する工程、

(f) 前記第1n型ウエルおよび前記第2n型ウエルのそれぞれの上部に前記第1フォトレジスト膜を残し、前記n型シリコン膜を通じて前記第1p型ウエルおよび前記第2p型ウエルのそれぞれに窒素をイオン注入することによって、

前記第1p型ウエルと前記第1ゲート絶縁膜との界面に、前記第2窒化領域の窒素をその一部に含み、前記第3の窒素濃度よりも高い第4の窒素濃度を有する第4窒化領域を形成し、

前記第2p型ウエルと前記第2ゲート絶縁膜との界面に、前記第3窒化領域の窒素をその一部に含み、前記第4の窒素濃度よりも高い第5の窒素濃度を有する第5窒化領域を形成する工程、

(g) 前記第1p型ウエルおよび前記第2p型ウエルのそれぞれの上部に第2フォトレジスト膜を形成し、前記第1n型ウエルおよび前記第2n型ウエルのそれぞれの上部の前記シリコン膜にp型不純物をイオン注入してp型シリコン膜に変える工程、

(h) 前記n型シリコン膜および前記p型シリコン膜をそれぞれパターニングすることにより、前記第1p型ウエルおよび前記第2p型ウエルのそれぞれの上部に前記n型シリコン膜からなるn型導体片を形成し、前記第1n型ウエルおよび前記第2n型ウエルのそれぞれの上部に前記p型シリコン膜からなるp型導体片を形成する工程、

(i) 前記(h)工程の後、前記第1p型ウエルおよび前記第2p型ウエルのそれぞれにn型半導体領域からなるソース、ドレインを形成し、前記第1n型ウエルおよび前記第2n型ウエルのそれぞれにp型半導体領域からなるソース、ドレインを形成することによって、

前記第1n型ウエルに、前記p型半導体領域からなるソース、ドレインと、前記第1ゲート絶縁膜と、前記p型導体片を含むゲート電極と、前記第2窒化領域とを有する第1pチャネル型MISFETを形成し、

前記第2n型ウエルに、前記p型半導体領域からなるソース、ドレインと、前記第2ゲート絶縁膜と、前記p型導体片を含むゲート電極と、前記第3窒化領域とを有する第2pチャネル型MISFETを形成し、

前記第1p型ウエルに、前記n型半導体領域からなるソース、ドレインと、前記第1ゲート絶縁膜と、前記n型導体片を含むゲート電極と、前記第4窒化領域とを有する第1nチャネル型MISFETを形成し、

前記第2p型ウエルに、前記n型半導体領域からなるソース、ドレインと、前記第2ゲート絶縁膜と、前記n型導体片を含むゲート電極と、前記第5窒化領域とを有する第2nチャネル型MISFETを形成する工程。

【請求項2】

以下の工程を有する半導体集積回路装置の製造方法：

(a) 半導体基板の正面に第1p型ウエル、第2p型ウエル、第1n型ウエルおよび第2n型ウエルを形成した後、前記第1p型ウエルおよび前記第1n型ウエルのそれぞれの表面に第1ゲート絶縁膜を形成し、前記第2p型ウエルおよび前記第2n型ウエルのそれぞれの表面に、前記第1ゲート絶縁膜よりも膜厚が厚い第2ゲート絶縁膜を形成する工程、

(b) 窒素を含む雰囲気中で前記半導体基板を熱処理することによって、前記第2p型ウエルと前記第2ゲート絶縁膜との界面、および前記第2n型ウエルと前記第2ゲート絶縁膜との界面に第1の窒素濃度を有する第1窒化領域を形成し、前記第1p型ウエルと前記第1ゲート絶縁膜との界面、および前記第1n型ウエルと前記第1ゲート絶縁膜との界面に、前記第1の窒素濃度よりも高い第2の窒素濃度を有する第2窒化領域を形成する工程、

(c) 前記半導体基板上にシリコン膜を堆積した後、前記第1n型ウエルおよび前記第2

n型ウエルのそれぞれの上部に第1フォトトレジスト膜を形成し、前記第1p型ウエルおよび前記第2p型ウエルのそれぞれの上部の前記シリコン膜にn型不純物をイオン注入することによって、n型シリコン膜を形成する工程、

(d) 前記第1n型ウエルおよび前記第2n型ウエルのそれぞれの上部に前記第1フォトトレジスト膜を残し、前記n型シリコン膜を通じて前記第1p型ウエルおよび前記第2p型ウエルに窒素をイオン注入することによって、

前記第2p型ウエルと前記第2ゲート絶縁膜との界面に、前記第1窒化領域の窒素をその一部に含み、前記第2の窒素濃度よりも高い第3の窒素濃度を有する第3窒化領域を形成し、

前記第1p型ウエルと前記第1ゲート絶縁膜との界面に、前記第2窒化領域の窒素をその一部に含み、前記第3の窒素濃度よりも高い第4の窒素濃度を有する第4窒化領域を形成する工程、

(e) 前記第1p型ウエルおよび前記第2p型ウエルのそれぞれの上部に第2フォトトレジスト膜を形成し、前記第1n型ウエルおよび前記第2n型ウエルのそれぞれの上部の前記シリコン膜にp型不純物をイオン注入することによって、p型シリコン膜を形成する工程、

(f) 前記n型シリコン膜および前記p型シリコン膜をそれぞれパターニングすることによって、前記第1p型ウエルおよび前記第2p型ウエルのそれぞれの上部に前記n型シリコン膜からなるn型導体片を形成し、前記第1n型ウエルおよび前記第2n型ウエルのそれぞれの上部に前記p型シリコン膜からなるp型導体片を形成する工程、

(g) 前記(f)工程の後、前記第1p型ウエル、前記第1n型ウエルおよび前記第2n型ウエルのそれぞれの上部に第3フォトトレジスト膜を形成し、前記第2p型ウエルにn型不純物をイオン注入することによって、前記第2p型ウエルにソース、ドレインの一部を構成するn型半導体領域を形成する工程、

(h) 前記第1p型ウエル、前記第1n型ウエルおよび前記第2n型ウエルのそれぞれの上部に前記第3フォトトレジスト膜を残し、前記第2p型ウエルに窒素をイオン注入することによって、前記第2p型ウエルと前記第2ゲート絶縁膜との界面に、前記第3窒化領域の窒素をその一部に含み、前記第4の窒素濃度よりも高い第5の窒素濃度を有する第5窒化領域を形成する工程、

(i) 前記(h)工程の後、前記第1p型ウエルおよび前記第2p型ウエルのそれぞれにn型半導体領域からなるソース、ドレインを形成し、前記第1n型ウエルおよび前記第2n型ウエルのそれぞれにp型半導体領域からなるソース、ドレインを形成することによって、

前記第1n型ウエルに、前記p型半導体領域からなるソース、ドレインと、前記第1ゲート絶縁膜と、前記p型導体片を含むゲート電極と、前記第2窒化領域とを有する第1pチャネル型MISFETを形成し、

前記第2n型ウエルに、前記p型半導体領域からなるソース、ドレインと、前記第2ゲート絶縁膜と、前記p型導体片を含むゲート電極と、前記第1窒化領域とを有する第2pチャネル型MISFETを形成し、

前記第1p型ウエルに、前記n型半導体領域からなるソース、ドレインと、前記第1ゲート絶縁膜と、前記n型導体片を含むゲート電極と、前記第4窒化領域とを有する第1nチャネル型MISFETを形成し、

前記第2p型ウエルに、前記n型半導体領域からなるソース、ドレインと、前記第2ゲート絶縁膜と、前記n型導体片を含むゲート電極と、前記第5窒化領域とを有する第2nチャネル型MISFETを形成する工程。

【請求項3】

以下の工程を有する半導体集積回路装置の製造方法：

(a) 半導体基板の正面に第1p型ウエル、第2p型ウエル、第1n型ウエルおよび第2n型ウエルを形成した後、前記第1p型ウエルおよび前記第1n型ウエルのそれぞれの表面に第1ゲート絶縁膜を形成し、前記第2p型ウエルおよび前記第2n型ウエルのそれぞ

れに表面に、前記第1ゲート絶縁膜よりも膜厚が厚い第2ゲート絶縁膜を形成する工程、(b)窒素を含む雰囲気中で前記半導体基板を熱処理することによって、前記第2p型ウエルと前記第2ゲート絶縁膜との界面、および前記第2n型ウエルと前記第2ゲート絶縁膜との界面に、第1の窒素濃度を有する第1窒化領域を形成し、前記第1p型ウエルと前記第1ゲート絶縁膜との界面、および前記第1n型ウエルと前記第1ゲート絶縁膜との界面に、前記第1の窒素濃度よりも高い第2の窒素濃度を有する第2窒化領域を形成する工程、

(c)前記第1p型ウエルおよび前記第2p型ウエルのそれぞれの上部にn型シリコン膜を形成し、前記第1n型ウエルおよび前記第2n型ウエルのそれぞれの上部にp型シリコン膜を形成する工程、

(d)前記n型シリコン膜および前記p型シリコン膜をそれぞれパターニングすることによって、前記第1p型ウエルおよび前記第2p型ウエルのそれぞれの上部に前記n型シリコン膜からなるn型導体片を形成し、前記第1n型ウエルおよび前記第2n型ウエルのそれぞれの上部に前記p型シリコン膜からなるp型導体片を形成する工程、

(e)前記(d)工程の後、前記第1p型ウエル、前記第1n型ウエルおよび前記第2n型ウエルのそれぞれの上部に第1フォトレジスト膜を形成し、前記第2p型ウエルにn型不純物をイオン注入することによって、ソース、ドレインの一部を構成するn型半導体領域を形成する工程、

(f)前記第1p型ウエル、前記第1n型ウエルおよび前記第2n型ウエルのそれぞれの上部に前記第1フォトレジスト膜を残し、前記第2p型ウエルに窒素をイオン注入することによって、前記第2p型ウエルと前記第2ゲート絶縁膜との界面に、前記第1窒化領域の窒素をその一部に含み、前記第2の窒素濃度よりも高い第3の窒素濃度を有する第3窒化領域を形成する工程、

(g)前記第2p型ウエル、前記第1n型ウエルおよび前記第2n型ウエルのそれぞれの上部に第2フォトレジスト膜を形成し、前記第1p型ウエルにn型不純物をイオン注入することによって、ソース、ドレインの一部を構成するn型半導体領域を形成する工程、

(h)前記第2p型ウエル、前記第1n型ウエルおよび前記第2n型ウエルのそれぞれの上部に前記第2フォトレジスト膜を残し、前記第1p型ウエルに窒素をイオン注入することによって、前記第1p型ウエルと前記第1ゲート絶縁膜との界面に、前記第2窒化領域の窒素をその一部に含み、前記第2の窒素濃度よりも高く、かつ前記第3の窒素濃度に等しいか、またはそれよりも低い第4の窒素濃度を有する第4窒化領域を形成する工程、

(i)前記(h)工程の後、前記第1p型ウエルおよび前記第2p型ウエルのそれぞれにn型半導体領域からなるソース、ドレインを形成し、前記第1n型ウエルおよび前記第2n型ウエルのそれぞれにp型半導体領域からなるソース、ドレインを形成することによって、

前記第1n型ウエルに、前記p型半導体領域からなるソース、ドレインと、前記第1ゲート絶縁膜と、前記p型導体片を含むゲート電極と、前記第2窒化領域とを有する第1pチャネル型MISFETを形成し、

前記第2n型ウエルに、前記p型半導体領域からなるソース、ドレインと、前記第2ゲート絶縁膜と、前記p型導体片を含むゲート電極と、前記第1窒化領域とを有する第2pチャネル型MISFETを形成し、

前記第1p型ウエルに、前記n型半導体領域からなるソース、ドレインと、前記第1ゲート絶縁膜と、前記n型導体片を含むゲート電極と、前記第4窒化領域とを有する第1nチャネル型MISFETを形成し、

前記第2p型ウエルに、前記n型半導体領域からなるソース、ドレインと、前記第2ゲート絶縁膜と、前記n型導体片を含むゲート電極と、前記第3窒化領域とを有する第2nチャネル型MISFETを形成する工程。

【請求項4】

以下の工程を有する半導体集積回路装置の製造方法：

(a)半導体基板の主面の第1領域および第2領域に第1ゲート絶縁膜を形成し、前記半

導体基板の正面の第3領域および第4領域に、前記第1ゲート絶縁膜よりも膜厚が厚い第2ゲート絶縁膜を形成する工程、

(b) 窒素を含む雰囲気中で前記半導体基板を熱処理することによって、前記第3領域の前記半導体基板と前記第2ゲート絶縁膜との界面、および前記第4領域の前記半導体基板と前記第2ゲート絶縁膜との界面に、第1の窒素濃度を有する第1窒化領域を形成し、前記第1領域の前記半導体基板と前記第1ゲート絶縁膜との界面、および前記第2領域の前記半導体基板と前記第1ゲート絶縁膜との界面に、前記第1の窒素濃度よりも高い第2の窒素濃度を有する第2窒化領域を形成する工程、

(c) 前記半導体基板上にシリコン膜を堆積した後、前記第2領域および前記第4領域の前記シリコン膜上に第1フォトレジスト膜を形成し、前記第1領域および前記第3領域の前記シリコン膜にn型不純物をイオン注入することによって、n型シリコン膜を形成する工程、

(d) 前記第2領域および前記第4領域の前記シリコン膜上に前記第1フォトレジスト膜を残し、前記n型シリコン膜を通じて前記半導体基板にp型不純物をイオン注入することによって、前記半導体基板の前記第1領域に第1p型ウエルを形成し、前記第3領域に第2p型ウエルを形成する工程、

(e) 前記第2領域および前記第4領域の前記シリコン膜上に前記第1フォトレジスト膜を残し、前記n型シリコン膜を通じて前記第1p型ウエルおよび前記第2p型ウエルのそれぞれに窒素をイオン注入することによって、

前記第2p型ウエルと前記第2ゲート絶縁膜との界面に、前記第1窒化領域の窒素をその一部に含む第3の窒素濃度を有する第3窒化領域を形成し、

前記第1p型ウエルと前記第1ゲート絶縁膜との界面に、前記第2窒化領域の窒素をその一部に含み、前記第2の窒素濃度よりも高い第4の窒素濃度を有する第4窒化領域を形成する工程、

(f) 前記第2領域および前記第4領域の前記シリコン膜と、前記第1領域の前記n型シリコン膜のそれぞれの上部に第2フォトレジスト膜を形成し、前記n型シリコン膜を通じて前記第2p型ウエルにn型不純物をイオン注入することによって、前記第2p型ウエルに形成されるnチャネル型MISFETのしきい値電圧を最適化する工程、

(g) 前記第2領域および前記第4領域の前記シリコン膜と、前記第1領域の前記n型シリコン膜のそれぞれの上部に前記第2フォトレジスト膜を残し、前記n型シリコン膜を通じて前記第2p型ウエルに窒素をイオン注入することによって、前記第2p型ウエルと前記第2ゲート絶縁膜との界面に、前記第3窒化領域の窒素をその一部に含み、前記第4の窒素濃度と等しいか、またはそれよりも高い第5の窒素濃度を有する第5窒化領域を形成する工程、

(h) 前記n型シリコン膜上に第3フォトレジスト膜を形成し、前記第2領域および前記第4領域の前記シリコン膜にp型不純物をイオン注入することによって、p型シリコン膜を形成する工程、

(i) 前記n型シリコン膜上に前記第3フォトレジスト膜を残し、前記p型シリコン膜を通じて前記半導体基板にn型不純物をイオン注入することによって、前記半導体基板の前記第2領域に第1n型ウエルを形成し、前記第4領域に第2n型ウエルを形成する工程、

(j) 前記n型シリコン膜および前記p型シリコン膜をそれぞれパターニングすることによって、前記第1p型ウエルおよび前記第2p型ウエルのそれぞれの上部に前記n型シリコン膜からなるn型導体片を形成し、前記第1n型ウエルおよび前記第2n型ウエルのそれぞれの上部に前記p型シリコン膜からなるp型導体片を形成する工程、

(k) 前記(j)工程の後、前記第1p型ウエルおよび前記第2p型ウエルのそれぞれにn型半導体領域からなるソース、ドレインを形成し、前記第1n型ウエルおよび前記第2n型ウエルのそれぞれにp型半導体領域からなるソース、ドレインを形成することによって、

前記第1n型ウエルに、前記p型半導体領域からなるソース、ドレインと、前記第1ゲート絶縁膜と、前記p型導体片を含むゲート電極と、前記第2窒化領域とを有する第1p

チャネル型MISFETを形成し、

前記第2n型ウエルに、前記p型半導体領域からなるソース、ドレインと、前記第2ゲート絶縁膜と、前記p型導体片を含むゲート電極と、前記第1窒化領域とを有する第2pチャネル型MISFETを形成し、

前記第1p型ウエルに、前記n型半導体領域からなるソース、ドレインと、前記第1ゲート絶縁膜と、前記n型導体片を含むゲート電極と、前記第4窒化領域とを有する第1nチャネル型MISFETを形成し、

前記第2p型ウエルに、前記n型半導体領域からなるソース、ドレインと、前記第2ゲート絶縁膜と、前記n型導体片を含むゲート電極と、前記第5窒化領域とを有する第2nチャネル型MISFETを形成する工程。

【請求項5】

以下の工程を有する半導体集積回路装置の製造方法：

(a) 半導体基板の正面の第1領域に第1ゲート絶縁膜を形成し、前記半導体基板の正面の第2領域に、前記第1ゲート絶縁膜よりも膜厚が厚い第2ゲート絶縁膜を形成する工程、

(b) 窒素を含む雰囲気中で前記半導体基板を熱処理することによって、前記第2領域の前記半導体基板と前記第2ゲート絶縁膜との界面に、第1の窒素濃度を有する第1窒化領域を形成し、前記第1領域の前記半導体基板と前記第1ゲート絶縁膜との界面に、前記第1の窒素濃度よりも高い第2の窒素濃度を有する第2窒化領域を形成する工程、

(c) 前記(b)工程の後、前記第1および第2ゲート絶縁膜の上部に導体膜を形成し、前記導体膜を通じて前記第1および第2領域の半導体基板に、nチャネル型MISFETのしきい値電圧を制御するためのn型不純物をイオン注入する工程、

(d) 前記第1領域の導体膜上にフォトレジスト膜を形成し、前記第2領域の導体膜を通じて前記第2領域の半導体基板にn型不純物をイオン注入することによって、前記第2領域の半導体基板に形成されるnチャネル型MISFETのしきい値電圧を最適化する工程、

(e) 前記第1領域の導体膜上に前記フォトレジスト膜を残し、前記第2領域の導体膜を通じて前記第2領域の半導体基板に窒素をイオン注入することによって、前記第2領域の半導体基板と前記第2ゲート絶縁膜との界面に、前記第1窒化領域の窒素をその一部に含み、前記第2の窒素濃度と等しいか、またはそれよりも高い第3の窒素濃度を有する第3窒化領域を形成する工程、

(f) 前記導体膜をパターニングすることによって、前記第1および第2ゲート絶縁膜のそれぞれの上部に導体片を形成する工程、

(g) 前記(f)工程の後、前記第1および第2領域の半導体基板のそれぞれにn型半導体領域からなるソース、ドレインを形成することによって、

前記第1領域の半導体基板に、前記n型半導体領域からなるソース、ドレインと、前記第1ゲート絶縁膜と、前記導体片を含むゲート電極と、前記第2窒化領域とを有する第1nチャネル型MISFETを形成し、

前記第2領域の半導体基板に、前記n型半導体領域からなるソース、ドレインと、前記第2ゲート絶縁膜と、前記導体片を含むゲート電極と、前記第3窒化領域とを有する第2nチャネル型MISFETを形成する工程。