

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2019 年 1 月 31 日 (31.01.2019)



(10) 国际公布号
WO 2019/019278 A1

(51) 国际专利分类号:
H01L 27/12 (2006.01) **H01L 21/77** (2017.01)

(21) 国际申请号: PCT/CN2017/100718

(22) 国际申请日: 2017 年 9 月 6 日 (06.09.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201710606999.8 2017 年 7 月 24 日 (24.07.2017) CN

(71) 申请人: 武汉华星光电技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。

(72) 发明人: 张占东 (ZHANG, Zhandong); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。

(74) 代理人: 深圳市铭粤知识产权代理有限公司 (MING & YUE INTELLECTUAL PROPERTY LAW FIRM); 中国广东省深圳市南山区南山街道前海路泛海城市广场 2 栋 604 室, Guangdong 518066 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: ARRAY SUBSTRATE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 阵列基板及其制作方法

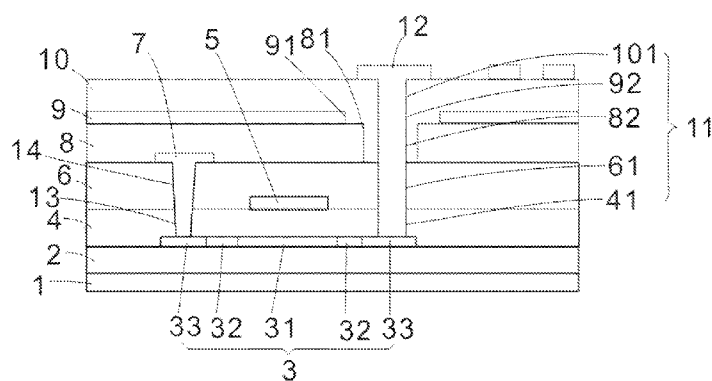


图 6

(57) Abstract: An array substrate, comprising a substrate (1), a buffer layer (2), an active layer (3), a gate electrode insulation layer (4), a gate electrode (5) and an interlayer insulation layer (6) arranged sequentially on the substrate, and a source electrode (7), a planarisation layer (8), a common electrode (9), and a passivation layer (10) in contact with the active layer by means of a first through hole (13) of the interlayer insulation layer and by means of a second through hole (14) of the gate electrode insulation layer, the common electrode being provided with a fourth through hole (91) at the position of the active layer, and the planarisation layer being provided with a third through hole (81) at the position of the fourth through hole, the passivation layer being provided with a fifth through hole (11) penetrating through the fourth through hole, the third through hole, the planarisation layer, the interlayer insulation layer, and the gate electrode insulation layer also being provided with a pixel electrode (12), the pixel electrode being in contact with the active layer by means of the fifth through hole. Also provided is a method for manufacturing the array substrate. Compared to the prior art, the present invention effectively prevents the electrostatic discharge caused by transferring to the active layer the static electricity generated when manufacturing the interlayer insulation layer to the passivation layer, avoiding the problem of product performance failure due to the active layer being fried, and further enhancing the quality of the product.

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

(57) 摘要: 一种阵列基板, 包括基板 (1)、依次设置于基板上的缓冲层 (2)、有源层 (3)、栅极绝缘层 (4)、栅极 (5)、层间绝缘层 (6)、经层间绝缘层的第一过孔 (13) 以及栅极绝缘层的第二过孔 (14) 与有源层接触的源极 (7)、平坦层 (8)、公共电极 (9)、钝化层 (10), 公共电极上位于有源层处设有第四过孔 (91), 平坦层上位于第四过孔处设有第三过孔 (81), 在钝化层上设有贯通第四过孔、第三过孔、平坦层、层间绝缘层、栅极绝缘层的第五过孔 (11), 在钝化层上还设置有像素电极 (12), 像素电极经第五过孔与有源层接触。还提供了一种阵列基板的制作方法。与现有技术相比, 有效防止在层间绝缘层到钝化层制作中所产生的静电传输至有源层造成静电释放, 避免有源层被炸伤, 导致产品性能失效的问题, 进一步提升产品的品质。

阵列基板及其制作方法

技术领域

本发明涉及一种显示面板技术，特别是一种低温多晶硅的阵列基板及其制作方法。

背景技术

在低温多晶硅液晶显示面板（LTPS TFT（thin film transistor） LCD（liquid crystal display））在传统的薄膜晶体管阵列基板的制作工艺流程中，首先于基板上依次制作缓冲层、有源层、栅极绝缘层、栅极、然后制作层间绝缘层并进行蚀刻至有源层的源漏极端的过孔，过孔均将有源层的部分裸露，然后制作源漏极、制作平坦层、公共电极、钝化层以及像素电极，像素电极与漏极接触；在传统工艺中，用于像素电极与有源层接触的过孔从层间绝缘层开始即成形，在层间绝缘层（ILD）刻蚀后用于与像素电极接触的有源层（poly）为裸露状态；在后面的制程中，如源漏极（SD）、平坦层（PLN）、公共电极（Com ITO）、钝化层（PV CVD）、像素电极（Pixel ITO），会将产生的静电及易传递至有源层（多晶硅 poly Si），从而导致位于层间绝缘层过孔与栅极处的有源层发生静电释放（ESD、Electro-Static discharge）炸伤，造成制程异常，影响产品品质。

发明内容

为克服现有技术的不足，本发明提供一种阵列基板及其制作方法，防止制作中产生的静电传输至有源层造成静电释放，避免产品性能失效，提升产品品质。

本发明提供了一种阵列基板，包括基板、依次设置于基板上的缓冲层、有源层、栅极绝缘层、栅极、层间绝缘层、经层间绝缘层的第一过孔以及栅极绝缘层的第二过孔与有源层接触的源极、平坦层、公共电极、钝化层，所述公共电极上位于有源层处设有第四过孔，平坦层上位于第四过孔处设有第三过孔，在钝化层上设有贯通第四过孔、第三过孔、平坦层、层间绝缘层、栅极绝缘层的第五过孔，在钝化层上还设置有像素电极，所述像素电极经第五过孔与有源层接触。

进一步地，所述第三过孔与第四过孔设置在同一轴线上。

进一步地，所述第五过孔由设于栅极绝缘层上的第六过孔、设于层间绝缘层上的第七过孔、设于第三过孔中的第八过孔、设于第四过孔中的第九过孔以及设于钝化层上的第十过孔构成，所述第六过孔、第七过孔、第八过孔、第九过孔以及第十过孔设置在同一轴线上。

进一步地，所述第五过孔与第三过孔以及第四过孔设置在同一轴线上。

进一步地，所述第六过孔、第七过孔、第八过孔、第九过孔以及第十过孔的孔径相等且小于第四过孔的孔径。

本发明还提供了一种阵列基板的制作方法，包括如下步骤：

提供一基板；

在基板上制作缓冲层；

在缓冲层上制作有源层；

在缓冲层以及缓冲层上制作栅极绝缘层；

在栅极绝缘层上位于有源层处制作栅极；

在栅极以及栅极绝缘层上制作层间绝缘层；

在层间绝缘层上以及栅极绝缘层位于有源层的一端制作有第一过孔、第二过孔；

在层间绝缘层上制作源极，源极经第一过孔、第二过孔与有源层接触；

在源极上以及层间绝缘层上制作平坦层，在平坦层上位于有源层另一端相对的位置处制作第三过孔；

在平坦层上制作公共电极并在公共电极上位于第三过孔处制作第四过孔；

在公共电极上制作钝化层，所述钝化层填充第三过孔、第四过孔；

在钝化层上位于第四过孔处制作贯通第四过孔、第三过孔、层间绝缘层、栅极绝缘层的第五过孔；

在钝化层上制作像素电极，像素电极经第五过孔与有源层的另一端接触。

进一步地，所述第三过孔与第四过孔设置在同一轴线上。

进一步地，所述第五过孔由设于栅极绝缘层上的第六过孔、设于层间绝缘层上的第七过孔、设于第三过孔中的第八过孔、设于第四过孔中的第九过孔以及设于钝化层上的第十过孔构成，所述第六过孔、第七过孔、第八过孔、第九过孔以及第十过孔设置在同一轴线上。

进一步地，所述第五过孔与第三过孔以及第四过孔设置在同一轴线上。

进一步地，所述第六过孔、第七过孔、第八过孔、第九过孔以及第十过孔的孔径相等且小于第四过孔的孔径。

本发明与现有技术相比，通过在制作用于与有源层接触的源漏极时仅制作源极，而用于连接像素电极与有源层的漏极不制作，使得有源层用于连接像素电极的一端从层间绝缘层至钝化层的制作中均被保护起来，从而有效防止在层间绝缘层到钝化层制作中所产生的静电传输至有源层造成静电释放，避免有源层被炸伤，导致产品性能失效的问题，进一步提升产品的品质。

附图说明

图 1 是本发明制作层间绝缘层的结构示意图；

图 2 是本发明在层间绝缘层上制作过孔的结构示意图；

图 3 是本发明制作源极的结构示意图；

图 4 是本发明制作平坦层、公共电极以及钝化层的结构示意图；

图 5 是本发明制作第五过孔的结构示意图；

图 6 是本发明制作像素电极的结构示意图。

具体实施方式

下面结合附图和实施例对本发明作进一步详细说明。

如图 6 所示，本发明的阵列基板包括基板 1、依次设置于基板 1 上的缓冲层 2、有源层 3、栅极绝缘层 4、栅极 5、层间绝缘层 6、经层间绝缘层 6 的第一过孔 13 以及栅极绝缘层 4 的第二过孔 14 与有源层 3 接触的源极 7、平坦层 8、公共电极 9、钝化层 10；所述公共电极 9 上位于有源层 3 处设有第四过孔 91，平坦层 8 上位于第四过孔 91 处设有第三过孔 81，在钝化层 10 上设有贯通第四过孔 91、第三过孔 81、平坦层 8、层间绝缘层 6、栅极绝缘层 4 的第五过孔 11，在钝化层 10 上还设置有像素电极 12，所述像素电极 12 经第五过孔 11 与有源层 3 接触。

有源层 3 包括未掺杂层 31、分别设置于未掺杂层 31 两侧的重掺杂层 33 及设置于重掺杂层 33 和未掺杂层 31 之间的轻掺杂层 32。这里，轻掺杂层 32 为 N 型轻掺杂层，重掺杂层 33 为 N 型重掺杂层，但本发明并不限制于此，例如轻掺杂层 32 也可以为 P 型轻掺杂层，重掺杂层 33 也可以为 P 型重掺杂层，源极 7 以及像素电极 12 分别与重掺杂层 33 接触，第一过孔 13 和第二过孔 14 设于其中一个重掺杂层 33 处，第三过孔 81、第四过孔 91 及第五过孔 11 设于另一个重掺杂层 33 处，所述有源层由低温多晶硅（Poly-Si）构成。

所述第一过孔 13 的孔径大于第二过孔 14 的孔径，并且设置在同一轴线上，第一过孔 13 和第二过孔 14 均为倒梯形孔。

所述第三过孔 91 与第四过孔 81 设置在同一轴线上并且第三过孔 91 的孔径大于第四过孔 81 的孔径。

本发明中，第五过孔 11 由设于栅极绝缘层 4 上的第六过孔 41、设于层间绝缘层 6 上的第七过孔 61、设于第三过孔 81 中的第八过孔 82、设于第四过孔 91 中的第九过孔 92 以及设于钝化层 10 上的第十过孔 101 构成，所述第六过孔 41、第七过孔 61、第八过孔 82、第九过孔 92 以及第十过孔 101 设置在同一轴线上；其中，所述第五过孔 11 与第三过孔 91 以及第四过孔 81 设置在同一轴线上；第六过孔 41、第七过孔 61、第八过孔 82、第九过孔 92 以及第十过孔 101 的孔径相等且小于第四过孔 81 的孔径。

本发明的阵列基板的制作方法包括如下步骤：

步骤一、提供一基板 1；

步骤二、在基板 1 上制作缓冲层 2，具体地，缓冲层 2 可采用化学气相沉积 CVD 进行制作，缓冲层 2 可以是 $\text{SiN}_x/\text{SiO}_x$ 结构，但本发明并不限制于此，例如缓冲层 2 也可以是单层的 SiN_x 结构或 SiO_x 结构。

步骤三、在缓冲层 2 上制作有源层 3，具体地，利用等离子体增强化学气相沉积法（PECVD）在缓冲层 2 上制作形成非晶硅层；接着，以利用准分子镭射使所述非晶硅层再结晶，从而生成低温多晶硅（Poly-Si）的有源层 3。有源层 3 包括未掺杂层 31、分别设置于未掺杂层 31 两侧的重掺杂层 33 及设置于重掺杂层 33 和未掺杂层 31 之间的轻掺杂层 32。这里，轻掺杂层 32 为 N 型轻掺杂层，重掺杂层 33 为 N 型重掺杂层，但本发明并不限制于此，例如轻掺杂层 32 也可以为 P 型轻掺杂层，重掺杂层 33 也可以为 P 型重掺杂层；

步骤四、在缓冲层 2 以及缓冲层上制作栅极绝缘层 4，具体地，栅极绝缘层 4 可以是 $\text{SiN}_x/\text{SiO}_x$ 结构，但本发明并不限制于此，例如栅极绝缘层 4 也可以是单层的 SiN_x 结构或 SiO_x 结构，本发明中栅极绝缘层 4 可采用化学气相沉积 CVD 制备得到，在此不做具体；

步骤五、在栅极绝缘层 4 上位于有源层 3 处制作栅极 5，具体地，栅极 5 正对未掺杂层 31，栅极 5 可以是钼铝钼（MoAlMo）结构或钛铝钛（TiAlTi）结构，也可以是单层的钼结构或者单层的铝结构，但本发明并不限制于此；本发明中栅极 5 可采用物理气相沉积工艺形成栅极层后通过图形化工艺制作得到，但在此不做具体；

步骤六、如图 1 所示，在栅极 5 以及栅极绝缘层 4 上制作层间绝缘层 6，具体地，层间绝缘层 6 可以是 $\text{SiN}_x/\text{SiO}_x$ 结构，但本发明并不限制于此，例如层间绝缘层 6 也可以是单层的 SiN_x 结构或 SiO_x 结构，本发明中层间绝缘层 6 可采用化学气相沉积 CVD 制备得到，在此不做具体；

步骤七、如图 2 所示，在层间绝缘层 6 上以及栅极绝缘层 4 位于有源层 3 的一端制作有第一过孔 13、第二过孔 14，具体地，第一过孔 13 以及第二过孔 14 设于其中一重掺杂层 33 处，并将该重掺杂层 33 裸露，第一过孔 13 以及第二过孔 14 可采用蚀刻工艺制备得到，在此不做具体限定；

步骤八、如图 3 所示，在层间绝缘层 6 上制作源极 7，源极 7 经第一过孔

13、第二过孔 14 与有源层 3 接触，具体地，源极 7 可采用钼铝钼（MoAlMo）结构或钛铝钛（TiAlTi）结构，也可以是单层的钼结构或者单层的铝结构，但本发明并不限制于此；所述源极 7 经第一过孔 13、第二过孔 14 与重掺杂层 33 接触，第一过孔 13 的孔径大于第二过孔 14 的孔径，并且设置在同一轴线上，第一过孔 13 和第二过孔 14 均为倒梯形孔，所述源极 7 可采用物理气相沉积制作得到源极层后通过图形化工艺制备得到，在此不做具体限定；

步骤九、如图 4 所示，在源极 7 上以及层间绝缘层 6 上制作平坦层 8，在平坦层 8 上位于有源层 3 另一端相对的位置处制作第三过孔 81，具体地，第三过孔 81 设置在另一个重掺杂层 33 上方；

步骤十、如图 4 所示，在平坦层 8 上制作公共电极 9 并在公共电极 9 上位于第三过孔 81 处制作第四过孔 91，具体地，第四过孔 91 的孔径大于第三过孔 81 的孔径且两者设置在同一轴线上；公共电极 9 通过在物理气相沉积在平坦层 8 上形成透明导电膜后通过蚀刻工艺制备得到，在此不做具体限定；

步骤十一、如图 4 所示，在公共电极 9 上制作钝化层 10，所述钝化层 10 填充第三过孔 81、第四过孔 91，具体地，钝化层 10 可以是 SiN_x 结构，钝化层 10 可通过化学气相沉积 CVD 制备得到，在此不作具体限定；

步骤十二、如图 5 所示，在钝化层 10 上位于第四过孔 91 处制作贯通第四过孔 91、第三过孔 81、层间绝缘层 6、栅极绝缘层 4 的第五过孔 11，所述第五过孔 11 与第三过孔 91 以及第四过孔 81 设置在同一轴线上；具体地，第五过孔 11 将另一个重掺杂层 33 裸露，所述第五过孔 11 由设于栅极绝缘层 4 上的第六过孔 41、设于层间绝缘层 6 上的第七过孔 61、设于第三过孔 81 中的第八过孔 82、设于第四过孔 91 中的第九过孔 92 以及设于钝化层 10 上的第十过孔 101 构成，所述第六过孔 41、第七过孔 61、第八过孔 82、第九过孔 92 以及第十过孔 101 设置在同一轴线上，第六过孔 41、第七过孔 61、第八过孔 82、第九过孔 92 以及第十过孔 101 的孔径相等且小于第四过孔 81 的孔径，上述过孔可通过蚀刻工艺制备得到，在此不做具体限定；

步骤十三、如图 6 所示，在钝化层 10 上制作像素电极 12，像素电极 12 经第五过孔 11 与有源层 4 的另一端接触，具体地，像素电极 12 直接与另一个重掺杂层 33 接触，像素电极 12 可通过在钝化层 10 上以物理气相沉积 PVD 制

备方法在钝化层 10 上形成透明导电膜后通过蚀刻工艺制备得到，在此不做限定。

本发明与传统的 LTPS 工艺结构相比，在层间绝缘层上仅在其中一重掺杂层开设过孔用于源极与有源层的连接，另一个用于与像素电极接触的重掺杂层不开孔，从而在层间绝缘层至钝化层制程均被保护，有效防止层间绝缘层至钝化层制程的静电传输至有源层造成静电释放从而导致将有源层炸伤，这样能够避免产品性能失效，提升产品品质。

虽然已经参照特定实施例示出并描述了本发明，但是本领域的技术人员将理解：在不脱离由权利要求及其等同物限定的本发明的精神和范围的情况下，可在此进行形式和细节上的各种变化。

权利要求书

1、一种阵列基板，其中：包括基板、依次设置于基板上的缓冲层、有源层、栅极绝缘层、栅极、层间绝缘层、经层间绝缘层的第一过孔以及栅极绝缘层的第二过孔与有源层接触的源极、平坦层、公共电极、钝化层，所述公共电极上位于有源层处设有第四过孔，平坦层上位于第四过孔处设有第三过孔，在钝化层上设有贯通第四过孔、第三过孔、平坦层、层间绝缘层、栅极绝缘层的第五过孔，在钝化层上还设置有像素电极，所述像素电极经第五过孔与有源层接触。

2、根据权利要求 1 所述的阵列基板，其中：所述第三过孔与第四过孔设置在同一轴线上。

3、根据权利要求 1 所述的阵列基板，其中：所述第五过孔由设于栅极绝缘层上的第六过孔、设于层间绝缘层上的第七过孔、设于第三过孔中的第八过孔、设于第四过孔中的第九过孔以及设于钝化层上的第十过孔构成，所述第六过孔、第七过孔、第八过孔、第九过孔以及第十过孔设置在同一轴线上。

4、根据权利要求 2 所述的阵列基板，其中：所述第五过孔由设于栅极绝缘层上的第六过孔、设于层间绝缘层上的第七过孔、设于第三过孔中的第八过孔、设于第四过孔中的第九过孔以及设于钝化层上的第十过孔构成，所述第六过孔、第七过孔、第八过孔、第九过孔以及第十过孔设置在同一轴线上。

5、根据权利要求 3 所述的阵列基板，其中：所述第五过孔与第三过孔以及第四过孔设置在同一轴线上。

6、根据权利要求 4 所述的阵列基板，其中：所述第五过孔与第三过孔(91)以及第四过孔设置在同一轴线上。

7、根据权利要求 5 所述的阵列基板，其中：所述第六过孔、第七过孔、第八过孔、第九过孔以及第十过孔的孔径相等且小于第四过孔的孔径。

8、根据权利要求 6 所述的阵列基板，其中：所述第六过孔、第七过孔、第八过孔、第九过孔以及第十过孔的孔径相等且小于第四过孔的孔径。

9、一种阵列基板的制作方法，其中：包括如下步骤：

提供一基板；

在基板上制作缓冲层；

在缓冲层上制作有源层；

在缓冲层以及缓冲层上制作栅极绝缘层；

在栅极绝缘层上位于有源层处制作栅极；

在栅极以及栅极绝缘层上制作层间绝缘层；

在层间绝缘层上以及栅极绝缘层位于有源层的一端制作有第一过孔、第二过孔；

在层间绝缘层上制作源极，源极经第一过孔、第二过孔与有源层接触；

在源极上以及层间绝缘层上制作平坦层，在平坦层上位于有源层另一端相对的位置处制作第三过孔；

在平坦层上制作公共电极并在公共电极上位于第三过孔处制作第四过孔；

在公共电极上制作钝化层，所述钝化层填充第三过孔、第四过孔；

在钝化层上位于第四过孔处制作贯通第四过孔、第三过孔、层间绝缘层、栅极绝缘层的第五过孔；

在钝化层上制作像素电极，像素电极经第五过孔与有源层的另一端接触。

10、根据权利要求9所述的阵列基板的制作方法，其中：所述第三过孔与第四过孔设置在同一轴线上。

11、根据权利要求9所述的阵列基板的制作方法，其中：所述第五过孔由设于栅极绝缘层上的第六过孔、设于层间绝缘层上的第七过孔、设于第三过孔中的第八过孔、设于第四过孔中的第九过孔以及设于钝化层上的第十过孔构成，所述第六过孔、第七过孔、第八过孔、第九过孔以及第十过孔设置在同一

轴线上。

12、根据权利要求 10 所述的阵列基板的制作方法，其中：所述第五过孔由设于栅极绝缘层上的第六过孔、设于层间绝缘层上的第七过孔、设于第三过孔中的第八过孔、设于第四过孔中的第九过孔以及设于钝化层上的第十过孔构成，所述第六过孔、第七过孔、第八过孔、第九过孔以及第十过孔设置在同一轴线上。

13、根据权利要求 11 所述的阵列基板的制作方法，其中：所述第五过孔与第三过孔以及第四过孔设置在同一轴线上。

14、根据权利要求 12 所述的阵列基板的制作方法，其中：所述第五过孔与第三过孔以及第四过孔设置在同一轴线上。

15、根据权利要求 13 所述的阵列基板的制作方法，其中：所述第六过孔、第七过孔、第八过孔、第九过孔以及第十过孔的孔径相等且小于第四过孔的孔径。

16、根据权利要求 14 所述的阵列基板的制作方法，其中：所述第六过孔、第七过孔、第八过孔、第九过孔以及第十过孔的孔径相等且小于第四过孔的孔径。

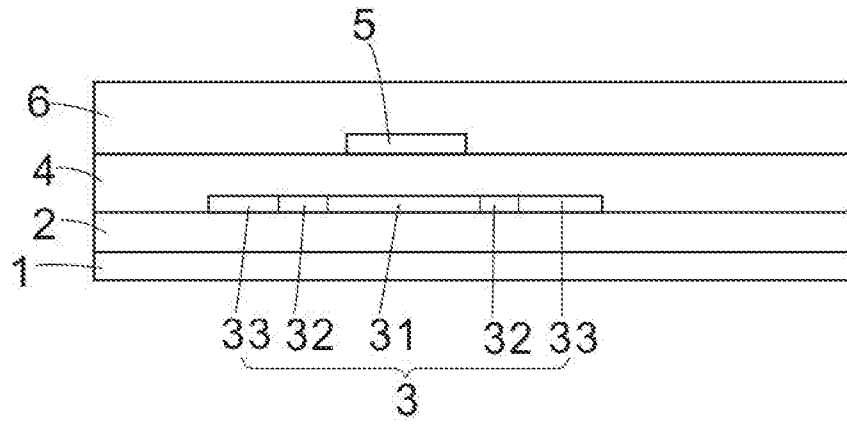


图 1

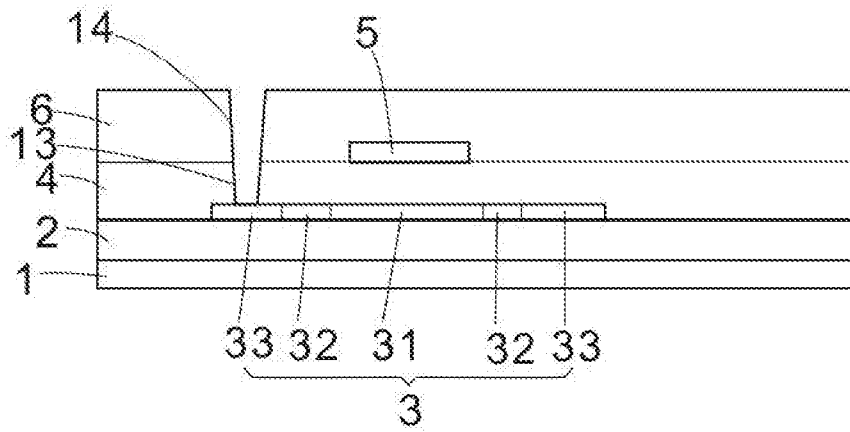


图 2

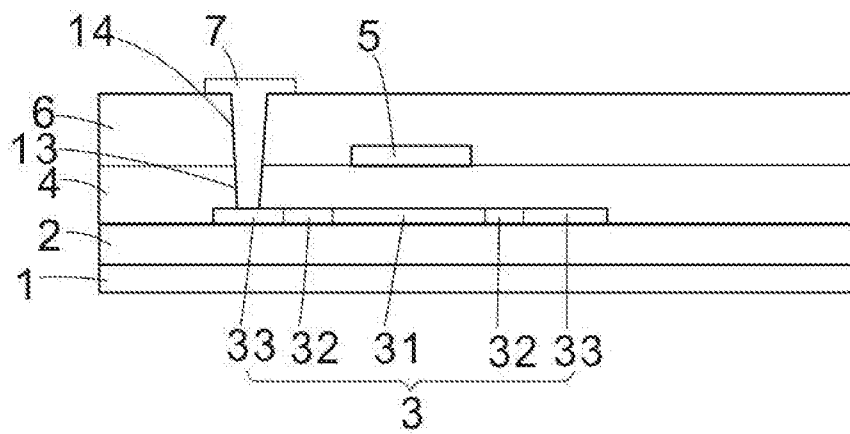


图 3

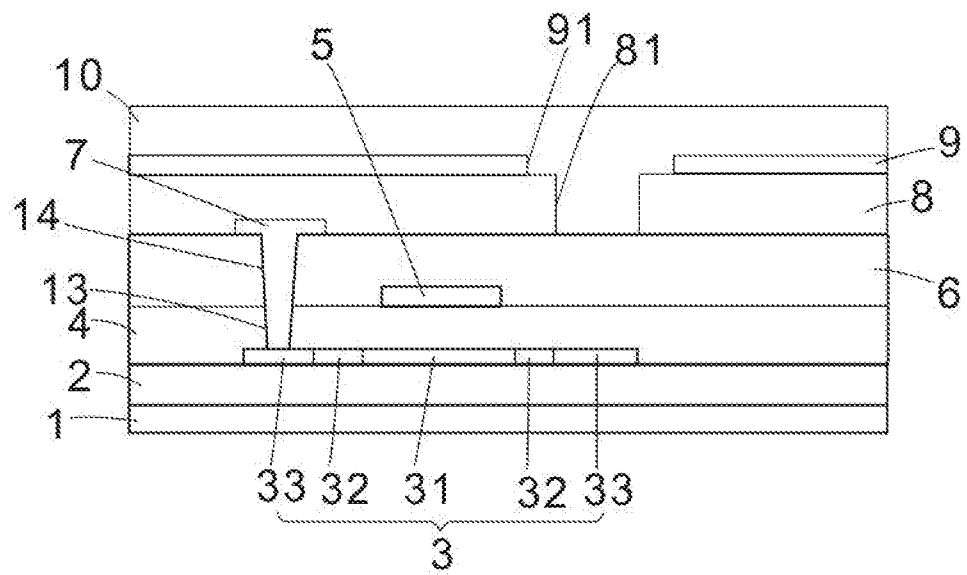


图 4

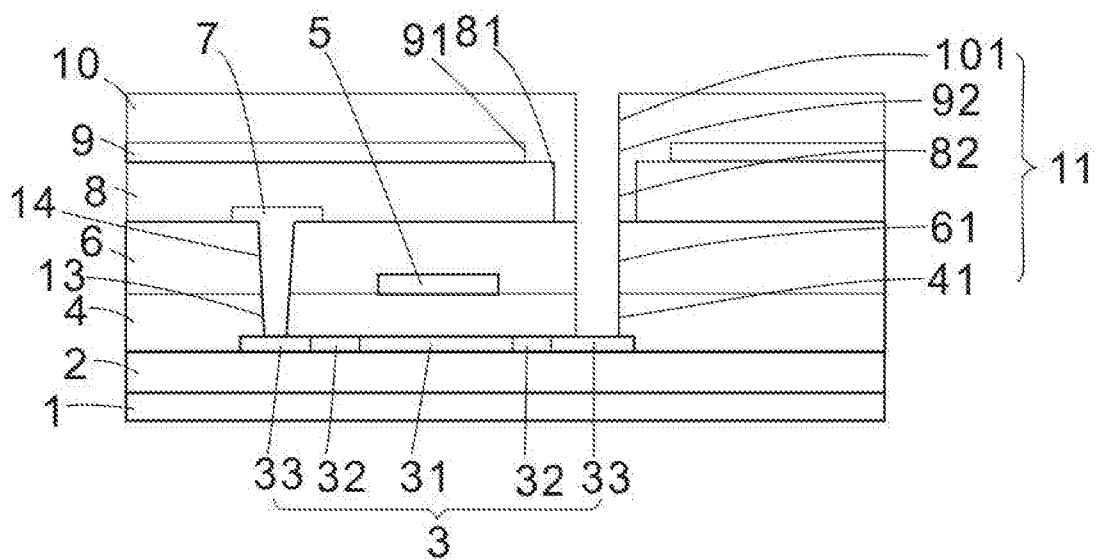


图 5

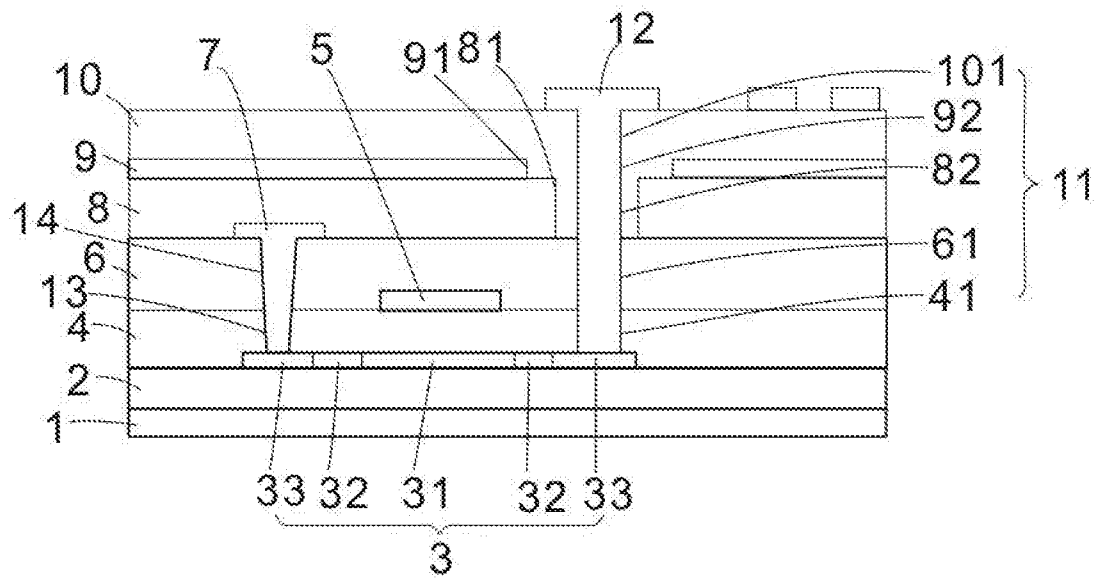


图 6

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/100718

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/12 (2006.01) i; H01L 21/77 (2017.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L; H05B 33

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, CNKI, VEN: 阵列基板, 有机, 电致发光, 场致发光, 源, 漏, 汲, 电极, 像素电极, 有源层, 半导体层, 过孔, 接触孔, TFT, array substrate, organic, electroluminescence, source, drain, electrode, pixel electrode, active layer, semiconductor layer, via hole, contact hole, opening

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 106847743 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 13 June 2017 (13.06.2017), description, paragraphs 0008-0010 and 0054-0098, and figures 1-18	1-16
A	CN 105140244 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 09 December 2015 (09.12.2015), entire document	1-16
A	CN 106158882 A (XIAMEN TIANMA MICROELECTRONICS CO., LTD. et al.), 23 November 2016 (23.11.2016), entire document	1-16

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 08 December 2017	Date of mailing of the international search report 04 January 2018
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer XU, Ying Telephone No. (86-10) 62412106

International application No.
PCT/CN2017/100718

Form PCT/ISA/210 (patent family annex) (July 2009)

国际检索报告

国际申请号

PCT/CN2017/100718

A. 主题的分类 H01L 27/12(2006.01)i; H01L 21/77(2017.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类														
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L; H05B 33 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNABS, CNTXT, CNKI, VEN: 阵列基板, 有机, 电致发光, 场致发光, 源, 漏, 汲, 电极, 像素电极, 有源层, 半导体层, 过孔, 接触孔, TFT, array substrate, organic, electroluminescence, source, drain, electrode, pixel electrode, active layer, semiconductor layer, via hole, contact hole, opening														
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 106847743 A (武汉华星光电技术有限公司) 2017年 6月 13日 (2017 - 06 - 13) 说明书第0008-0010、0054-0098段, 图1-18</td> <td>1-16</td> </tr> <tr> <td>A</td> <td>CN 105140244 A (武汉华星光电技术有限公司) 2015年 12月 9日 (2015 - 12 - 09) 全文</td> <td>1-16</td> </tr> <tr> <td>A</td> <td>CN 106158882 A (厦门天马微电子有限公司 等) 2016年 11月 23日 (2016 - 11 - 23) 全文</td> <td>1-16</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 106847743 A (武汉华星光电技术有限公司) 2017年 6月 13日 (2017 - 06 - 13) 说明书第0008-0010、0054-0098段, 图1-18	1-16	A	CN 105140244 A (武汉华星光电技术有限公司) 2015年 12月 9日 (2015 - 12 - 09) 全文	1-16	A	CN 106158882 A (厦门天马微电子有限公司 等) 2016年 11月 23日 (2016 - 11 - 23) 全文	1-16
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求												
X	CN 106847743 A (武汉华星光电技术有限公司) 2017年 6月 13日 (2017 - 06 - 13) 说明书第0008-0010、0054-0098段, 图1-18	1-16												
A	CN 105140244 A (武汉华星光电技术有限公司) 2015年 12月 9日 (2015 - 12 - 09) 全文	1-16												
A	CN 106158882 A (厦门天马微电子有限公司 等) 2016年 11月 23日 (2016 - 11 - 23) 全文	1-16												
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。														
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件														
国际检索实际完成的日期 2017年 12月 8日		国际检索报告邮寄日期 2018年 1月 4日												
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		授权官员 徐颖 电话号码 (86-10)62412106												

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/100718

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	106847743	A	2017年 6月 13日	无			
CN	105140244	A	2015年 12月 9日	WO	2017049805	A1	2017年 3月 30日
				US	2017235171	A1	2017年 8月 17日
CN	106158882	A	2016年 11月 23日	无			