

# 發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97117431

※申請日期：97年05月12日

※IPC分類：<sup>H04N 5/33</sup>H04N 5/33 (2006.01)  
<sup>H01L 27/46</sup>H01L 27/46 (2006.01)

## 一、發明名稱：

(中) 攝像裝置及攝像資料補正方法

(英) Image pickup apparatus and method of correcting captured image data

## 二、申請人：(共 1 人)

1. 姓名：(中) 新力股份有限公司  
(英) SONY CORPORATION

代表人：(中) 1. 中鉢良治  
(英) 1. CHUBACHI, RYOJI

地址：(中) 日本國東京都港區港南一丁目七番一號  
(英) 1-7-1 Konan, Minato-ku, Tokyo, Japan

國籍：(中英) 日本 JAPAN

## 三、發明人：(共 1 人)

1. 姓名：(中) 木下雅也  
(英) KINOSHITA, MASAYA

國籍：(中) 日本  
(英) JAPAN

## 四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利  主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2007/05/15 ; 2007-128852  有主張優先權

# 發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97117431

※申請日期：97年05月12日

※IPC分類：<sup>H04N 5/33</sup>H04N 5/33 (2006.01)  
<sup>H01L 27/46</sup>H01L 27/46 (2006.01)

## 一、發明名稱：

(中) 攝像裝置及攝像資料補正方法

(英) Image pickup apparatus and method of correcting captured image data

## 二、申請人：(共 1 人)

1. 姓名：(中) 新力股份有限公司  
(英) SONY CORPORATION

代表人：(中) 1. 中鉢良治  
(英) 1. CHUBACHI, RYOJI

地址：(中) 日本國東京都港區港南一丁目七番一號  
(英) 1-7-1 Konan, Minato-ku, Tokyo, Japan

國籍：(中英) 日本 JAPAN

## 三、發明人：(共 1 人)

1. 姓名：(中) 木下雅也  
(英) KINOSHITA, MASAYA

國籍：(中) 日本  
(英) JAPAN

## 四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利  主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2007/05/15 ; 2007-128852  有主張優先權

## 九、發明說明

### 【發明所屬之技術領域】

本發明係有關於，例如具備 CMOS 影像感測器等之固體攝像元件的攝像裝置、及來自該當攝像裝置的攝像資料之補正方法。

### 【先前技術】

近年來，對於視訊攝影機或數位靜態相機上所使用的 CCD(Charge Coupled Device) 影像感測器或 CMOS(Complementary Metal Oxide Semiconductor) 影像感測器等固體攝像元件，除了要求更進一步高像素數化，同時還要求小型化。若想保持小型化同時邁向高像素數化，理所當然地，每一像素的面積就必須縮小，因此會有像素感度減少之疑慮。

為了解決該問題，先前係藉由在電路、配線佈局上的設計或是製造製程的進化等，使得於固體攝像元件的像素構成(包含光二極體、增幅電晶體或重置電晶體等的周邊電路所成)中的光二極體部的佔有比率儘可能地加大，以謀求高像素數化與小型化同時成立。

然而，近年來對固體攝像元件的高像素數化與小型化之要求逐漸嚴苛，同時，在低照度下的高畫質化也受到矚目，光是用上記的解決方式，要提供能獲得滿足畫質之像素感度固體攝像元件，事實上是不可能的。

於是，作為避免固體攝像元件上的此一問題之技術有

，將構成像素所需之必要電路的一部分，例如增幅用電晶體或重置用電晶體，讓水平方向及/或垂直方向上相鄰或接近的複數像素間所共用，減少每 1 像素的電路(含配線)，其減少部分換來的是分配給受光用光二極體的面積增大，以提高像素感度的技術，正受到矚目(以下將此技術稱之為像素共有技術)。

例如專利文獻 1(日本專利第 3838665 號公報)中係揭露了，將用來從像素讀出像素資料所必須的增幅用電晶體及重置用電晶體，被相鄰的 2 個像素所共用，將該當增幅用電晶體及重置用電晶體所連接的 2 個像素在時間上錯開而加以選擇，以從各個像素讀出像素資料，藉此以削減每 1 像素的電晶體數，換來光二極體面積的增加，以實現提升像素感度提升的像素共有技術。

可是，未採用像素共有技術的一般固體攝像元件，通常所有像素是被整齊劃一地構成。亦即，一般的固體攝像元件的像素構成，係無論從畫面的哪個位置的像素來看，皆為相同。因此，在一般的固體攝像元件中，每個像素的光二極體，在半導體構造上的周邊環境，是所有像素均為相同，除了製造上的參差之主因外，基本上，光學特性可說是全像素皆為共通。

然而，以上記專利文獻 1 為首，在有適用「像素共有技術」的固體攝像元件中，因為在相鄰或鄰近之複數像素間共用著電路，所以若將共有電路的複數像素視為一個單位，則該當單位係全都是相同的構成，但是就該當單位內

的各像素而言，因為處於該當單位內的像素排列位置，所以在半導體構造上的周邊環境，是不同的。因此，使用像素共有技術的固體攝像元件中，電路佈局是隨著共有電路的複數像素之排列圖案，而被形成為重複的圖案。

亦即，若把共有著電路的複數像素視為一單位，在固體攝像元件上，該當單位是在水平方向及垂直方向上被複數個反覆排列，但於這些複數個單位中，單位內的複數像素之排列圖案上位於相同位置的像素，由於其光二極體在半導體構造上的周邊環境配置是相同的，因此光學特性也是一致。

可是，共有著電路的複數之像素單位內，在該當像素之排列圖案上位於不同位置的像素間，亦即，前記單位內的隣接像素或鄰近像素間，由於電路、佈局的不同，因此像素的光二極體在半導體構造上之周邊環境配置也會不同，這些像素的像素特性無可避免地各自帶有差異。

因此適用了「像素共有技術」的固體攝像元件上，即使拍攝了全畫面均勻的被攝體，也由於前記單位內的隣接像素間，像素資料輸出值不同，所以最終輸出影像的品質會是顯著降低，會發生如此問題。

為了避免以上這類像素共有技術所帶來的上記問題，先前係有：

- A. 藉由像素佈局的巧妙設計，儘可能地減輕光學的不均勻性
- B. 藉由一種即使發生光學的不均勻性也不會對輸出影像

造成影響的組合，來使像素共有這類對固體攝像裝置側的像素構造做巧妙設計的技術，已有專利文獻 2(日本特開 2004-172950 號公報)、專利文獻 3(日本特開 205-110104 號公報)、專利文獻 4(日本特開 2006-73733 號公報)、專利文獻 5(日本特開 2006-157953 號公報)等多數揭露。

上記專利文獻，係整理如下。

〔專利文獻 1〕日本專利第 3838665 號公報

〔專利文獻 2〕日本特開 2004-172950 號公報

〔專利文獻 3〕日本特開 205-110104 號公報

〔專利文獻 4〕日本特開 2006-73733 號公報

〔專利文獻 5〕日本特開 2006-157953 號公報

## 【發明內容】

〔發明所欲解決之課題〕

如前述，上記專利文獻 2~5 等所揭露的技術，無一不是對固體攝像元件側的像素構造做巧妙安排的技術。

然而，上記 A 的像素構造之設計上，即使可以減輕共有著電路的複數像素(以下將共有著電路的複數像素稱作共有像素)的光學的不均勻性，但是仍無法將其完全消除。

又，無論上記 A 方法或上記 B 方法，在像素構造、佈局，或是像素資料的讀出構成都會帶來很大的限制，進而導致，對適用了該當 A 或 B 方法的固體攝像元件的輸出進

行處理的攝像裝置全體而言，也帶來了很大的限制，存在如此問題。

本發明係有鑑於上記問題點而研發，目的在於提供一種，不是對固體攝像元件側的像素構造做複雜設計，而是對來自固體攝像元件的攝像影像資料施行補正，以減輕共有像素的像素特性之不均勻性的攝像裝置。

〔用以解決課題之手段〕

為了解決上記課題，本發明的攝像裝置，其特徵為，具備：

固體攝像元件，其係被構成為，將被排列成 2 維陣列狀的複數像素，以像素的排列圖案呈同一之所定複數個像素分別視為 1 組，對於構成各 1 組之前記所定複數個像素在像素構成上所必須之電路是被共有；和

補正值生成手段，係針對構成前記各 1 組之前記所定複數個像素位置之像素的像素資料之每一者，將起因於前記排列圖案內的各像素位置之差異的像素特性之不均勻性加以補正所需的補正值，對前記排列圖案內的每一像素位置，進行生成；和

補正手段，係將來自前記固體攝像元件的像素資料之每一者的前記不均勻性，基於前記補正值生成手段所生成的、針對構成前記各 1 組的前記所定複數個像素於前記排列圖案內所對應之像素位置的前記像素資料的前記補正值，加以補正。

上述構成的本發明之攝像裝置中，係將像素排列圖案為相同的每所定複數個像素視為 1 組，將其視為共有像素。然後，本發明之攝像裝置的補正值生成手段，係針對共有像素，將其排列圖案內的起因於各像素位置差異的像素特性之不均勻性加以補正所需的補正值，就其排列圖案內的每一像素位置，加以生成。

然後，補正手段，係將來自固體攝像元件之像素資料的像素特性之不均勻性，使用補正值生成手段所生成的、於排列圖案內針對對應之像素位置的像素資料的補正值，來加以補正。藉此，構成共有像素的複數個像素的每一者，其隨著排列圖案之像素位置而導致的像素特性之不均勻性，就可獲得補正，而被減輕。

〔發明效果〕

若依據本發明，則可將像素排列圖案為相同的每所定複數個像素視為 1 組，將其視為共有像素的固體攝像元件，針對其所送來的攝像資料，減輕共有像素的像素特性之不均勻性。

【實施方式】

以下，一面參照圖，一面說明本發明之攝像裝置的實施形態。

圖 1 係本實施形態之攝像裝置 10 的要部構成例的區塊圖，具備有：具備攝像透鏡的光學系 1、作為固體攝像

元件之例子的 CMOS 影像感測器 2、類比訊號處理部 3、數位訊號處理部 4、相機控制微電腦 5、手晃感測器 6、透鏡驅動用驅動部 7、人性化介面微電腦 8、使用者介面 9。

光學系 1，係爲了補正手晃，而具備有用來調整攝像透鏡位置的致動器。該致動器，係受到來自透鏡驅動用驅動部 7 的透鏡驅動訊號所驅動控制。

CMOS 影像感測器 2，係在水平方向及垂直方向上排列有多數個像素而成，並且適用了像素共有技術，又，爲了獲得彩色影像，在光入射側配置有彩色濾光片。

圖 2 係該 CMOS 影像感測器 2 的像素排列與彩色濾光片之例子。圖 2(A)係圖示了所謂貝爾排列，矩形的像素  $P_s$  係在水平方向及垂直方向被多數個排列，並且在間隔 1 個水平方向之像素的行上，紅 R 與綠 G 的彩色濾光片是被交互地對向於像素而配置，在剩下的間隔 1 個水平方向之像素的行上，藍 B 與綠 G 的彩色濾光片是被交互地對向於像素而配置，且配置紅 R 和藍 B 彩色濾光片的像素，係被配置成不會被垂直方向之 1 列像素所含有。

圖 2(B)及(C)，係將稜形形狀的像素  $P_d$ ，在水平方向及垂直方向上排列多數個。此係可使外觀上的像素間距，於水平方向及垂直方向上，較圖 2(A)的貝爾排列看起來更爲縮短的像素配置例子。只不過，如圖示，彩色濾光片的配置，在圖 2(B)與圖 2(C)中係爲互異。

亦即，在圖 2(B)的像素排列例中，在間隔 1 個水平方向之像素的行上，紅 R 與藍 B 的彩色濾光片是交互地對向

於像素，並且，紅 R 與藍 B 的彩色濾光片在垂直方向上也是交互地對向於像素而配置，同時，剩餘的間隔 1 個水平方向之像素的行上，只有綠 G 的彩色濾光片是對向於像素的方式而配置。

然後，圖 2(C)的像素排列例，係在間隔 1 個水平方向之像素的行上，紅 R 與綠 G 的彩色濾光片被交互地對向於像素而配置的行、和藍 B 與綠 G 的彩色濾光片被交互地對向於像素而配置的行，是間隔 1 行地存在，同時，剩餘的間隔 1 個水平方向之像素的行上，只有綠 G 的彩色濾光片是對向於像素的方式而配置，並且，配置紅 R 和藍 B 彩色濾光片的像素，係被配置成不會被垂直方向之 1 列像素所含有。

以上雖然是所謂單板的固體攝像元件之構成為例，但如圖 2(D)及圖 2(E)所示，亦可針對紅 R、綠 G、藍 B 之每一者，分別設置 1 個固體攝像元件  $I_r$ 、 $I_g$ 、 $I_b$  而設計成 3 板構造。圖 2(D)係和圖 2(A)同樣地，採用了矩形的像素係在水平方向及垂直方向被多數個排列之固體攝像元件時的情形；而圖 2(E)係和圖 2(B)、(C)同樣地，採用了稜形的像素係在水平方向及垂直方向被多數個排列之固體攝像元件時的情形。

此例的 CMOS 影像感測器 2，係可設計成圖 2(A)~(E)的任一種構成，但在實施形態中，為了便於說明，是舉例為圖 2(A)的貝爾排列之情形。

然後，在本實施形態中，來自 CMOS 影像感測器 2 的

輸出，假設例如為 1 通道。從該 CMOS 影像感測器讀出 1 通道之方法，係假設如圖 3 所示的形態來進行。亦即，如圖 3 所示，針對 CMOS 影像感測器的多數像素  $P_s$ ，每次 1 行地，從左起依序在一個通道上將像素資料並列地讀出，橫跨 1 個畫面而在橫向上掃描前進，當 1 水平掃描線份全部讀取完畢後就移往下一行，同樣地一面在橫向上掃描一面讀取 1 整個畫面。

亦即，此時，來自 CMOS 影像感測器 2 的輸出像素序列，就等於是將像素排列予以橫向掃描之順序本身。

一般而言，CMOS 影像感測器係不是上述的僅進行 1 通道讀出，而是也適合於多通道的平行讀出，但在本發明中，本質上，並不會受到這些讀出方式的差異所影響。然後，於本實施形態中，雖然為了說明上的方便起見，針對讀出是舉例如圖 3 所示的讀出序列為例子來說明，但當然，本發明的適用，並非侷限於該讀出形式，只要將以下說明的實施形態，適宜地適用在其他讀出形式上即可。

本實施形態的 CMOS 影像感測器 2，係為適用了前述像素共有技術的像素構造。圖 4(A)、圖 4(B)及圖 4(C)，係圖示了共有像素之排列圖案的 3 個例子。

於圖 4(A)、圖 4(B)及圖 4(C)之各圖中，上段係圖示了 CMOS 影像感測器 2 上的共有像素之排列圖案，在圖上以粗線連結的複數個像素係為共有像素。

於圖 4(A)、圖 4(B)及圖 4(C)之各圖中，中段係圖示了共有像素之像素排列圖案內的每一像素位置的識別元(

稱作共有像素 ID(Identification))。

又，於圖 4(A)、圖 4(B)及圖 4(C)之各圖中，下段係將來自 CMOS 影像感測器 2 的輸出像素序列，以共有像素 ID 加以表示。此下段的共有像素 ID 之輸出序列，係為僅著眼於共有像素之排列圖案時的情形，關於對應於各像素的彩色濾光片的差異，在此係不考慮。此外，該當下段之記載中，1H、2H、3H、．．．中的 H，係代表水平方向，亦即水平掃描線。

圖 4(A)的例子，係垂直方向之 2 個像素被設計成共有像素時的情形。亦即，在此例中，彼此相鄰的 2 水平掃描線的上下 2 像素，係為共有像素。因此，共有像素 ID，係如中段所示，「0」與「1」係每一水平掃描線地交互出現。然後，以共有像素 ID 所表示的像素輸出序列，係如下段所示，在某一水平掃描線上，對於所有像素輸出係皆輸出「0」的像素，然後在下一水平掃描線上，對於所有像素輸出係皆輸出「1」的像素。

在圖 4(B)的例子中也是垂直方向的 2 個像素被設計成共有像素時的情形，但此例中係被設計成，水平方向的每 1 像素，其共有像素，係在垂直方向上錯開 1 像素份的像素位置。因此，共有像素 ID，係如中段所示，於各水平掃描線中，每一像素是「0」與「1」交互出現，且在相鄰的水平掃描線上，「0」與「1」交互出現順序係相反。然後，以共有像素 ID 所表示的像素輸出序列，也係如下段所示，於各水平掃描線中，每一像素是「0」與「1」交互

出現，且在相鄰的水平掃描線上，「0」與「1」交互出現順序係相反。

圖 4(C)的例子，係垂直方向之 4 個鋸齒狀配置位置的像素被設計成共有像素時的情形。因此，共有像素 ID，係如中段所示，「0」、「1」、「2」、「3」係每 4 水平掃描線地出現。然後，以共有像素 ID 所表示的像素輸出序列也是如下段所示，「0」、「1」、「2」、「3」係每 4 水平掃描線地出現。

本實施形態的 CMOS 影像感測器 2 中的共有像素排列圖案，係無論圖 4(A)、(B)、(C)之任一者皆可，在本實施形態中，CMOS 影像感測器 2，係具備例如圖 4(A)的共有像素排列圖案的共有像素。

然後，入射至光學系 1 的光，係在如上述構成的 CMOS 影像感測器 2 中，經過光電轉換後，成為電氣訊號亦即攝像影像資料，而被輸出。CMOS 影像感測器 2，係藉由來自相機控制微電腦 5 的控制訊號，進行讀出開始/停止控制及讀出位置控制等。

來自該 CMOS 影像感測器 2 的於本例中的 1 通道之輸出影像資料，係被供給至類比訊號處理部 3，經過取樣保持、自動增益控制等處理後，被進行 A/D(類比-數位)轉換，輸入至數位訊號處理部 4。

此外，在此例中雖然說明了，來自 CMOS 影像感測器 2 的類比，是於類比訊號處理部 3 中進行取樣保持、自動增益控制、A/D 轉換之構成，但亦可在 CMOS 影像感測器

2 的內部就包含有類比訊號處理部 3 之構成。

數位訊號處理部 4，係對於從類比訊號處理部 3 所供給來的攝像影像資料 RAW(未處理資料)，依照相機控制微電腦 5 的指示，進行各種訊號處理。在該數位訊號處理部 4 上所進行的各種訊號處理，係包含：白平衡處理或  $\gamma$  處理、色差訊號處理等所謂的相機訊號處理、或相機控制用的檢波資料(表示畫面內的攝像影像資訊的資料，例如亮度或對比、色飽和等)的計算處理。

數位訊號處理部 4，係如後述，具備基準時序訊號產生器，從該基準時序訊號產生器，產生出各種時序訊號。該時序訊號中，係含有關於攝像影像資料的水平同步訊號 HD 及垂直同步訊號 VD；數位訊號處理部 4，係將這些水平同步訊號 HD、垂直同步訊號 VD 及其他必要的時序訊號，供給至 CMOS 影像感測器 2。此外，雖然圖示省略，但來自數位訊號處理部 4 之基準時序訊號產生器的時序訊號，係也會被供給至相機控制微電腦 5。

CMOS 影像感測器 2，係藉由前述圖 3 的讀出形式而從各像素中讀出像素資料，但具備著其所需的讀出部及讀出時序訊號產生器。然後，CMOS 影像感測器 2 的讀出時序產生器，係生成同步於從數位訊號處理部 4 所收取之前記水平同步訊號 HD 及垂直同步訊號 VD 的讀出時序訊號，基於來自相機控制微電腦 5 的控制訊號，從 CMOS 影像感測器 2 讀出像素資料。

又，CMOS 影像感測器 2，係基於來自數位訊號處理

部 4 的時序訊號、和來自相機控制微電腦 5 的控制訊號，可不只從有效像素領域，還可從該當有效像素領域外側的邊框領域之像素，讀出像素資料。該邊框領域，係為不讓來自被攝體之光線入射而被遮光的遮光領域。因此，來自該邊框領域之像素的像素資料，係相當於黑位準。

然後，在本實施形態中，數位訊號處理部 4，係更具備作為用來補正共有像素之不均勻性所需構成的共有像素別黑位準檢波部及共有像素別黑位準補正部，但關於這些處理部的細節，將於後述。

相機控制微電腦 5，係藉由從數位訊號處理部 4 所送來的檢波資料或從手晃感測器 6 所送來的攝像裝置 10 的手晃資訊，掌握現在的攝像影像之狀態，隨應於經由人性化介面微電腦 8 所送來的各種設定模式，進行控制。亦即，相機控制微電腦 5，係將讀出領域指定資料供給至 CMOS 影像感測器 2，將攝像影像控制用資料供給至數位訊號處理部 4，將透鏡控制資料供給至透鏡驅動用驅動部 7，將自動增益控制用之增益控制資料供給至類比訊號處理部 3。

CMOS 影像感測器 2，係將 CMOS 影像感測器 2 之攝像領域當中，被讀出領域指定資料所指定的任意領域(亦包含指定其為有效領域還是邊框領域(遮光領域))的訊號，藉由讀出時序訊號而依序讀出，輸出至類比訊號處理部 3。

又，數位訊號處理部 4、透鏡驅動用驅動部 7、類比

訊號處理部 3，係隨應於從相機控制微電腦 5 所送來之控制值而進行處理，實現所望的訊號處理、時序產生、透鏡驅動、增益處理。

使用者介面 9，係具備用來接受使用者之操作輸入用的按鍵操作部，和用來報知攝像裝置 10 之模式或相機資訊的顯示器。針對使用者所進行的選單操作等，係透過使用者介面 9 而受人性化介面微電腦 8 所控制。

人性化介面微電腦 8，係將使用者目前是在選擇哪種攝影模式，或者希望進行何種控制等，基於透過使用者介面 9 的使用者操作指示輸入而加以測知，對相機控制微電腦 5，將偵測輸出當成使用者指示資訊而發送。

同時，相機控制微電腦 5，係將所得到的相機控制資訊(被攝體距離或 F 值、快門速度、倍率等)，發送至人性化介面微電腦 8，透過使用者介面 9 的顯示器，將目前的相機資訊，告知使用者。這些區塊的細節，由於和本發明無直接關連因此這裡省略說明。

[ 數位訊號處理部 4 的詳細構成例之說明 ]

圖 5 係圖示數位訊號處理部 4 之詳細構成例。於此例中，數位訊號處理部 4，係具備：共有像素別黑位準偵測部 41、共有像素別黑位準補正部 42、相機訊號處理部 43、基準時序訊號產生器 44、通訊介面 45。

基準時序訊號產生器 44，係產生前述的水平同步訊號 HD 及垂直同步訊號 VD，然後供給至 CMOS 影像感測器 2

，並且，將以像素時序為基準的基準時序訊號 TG，供給至共有像素別黑位準偵測部 41 及共有像素別黑位準補正部 42。基準時序訊號產生器 44，係還將各種時序訊號，供給至相機訊號處理部 43。然後，雖然省略圖示，但基準時序訊號產生器 44，係也會將各種時序訊號，供給至相機控制微電腦 5。

通訊介面 45，係將從相機訊號處理部 43 所得之各種檢波值 DET，供給至相機控制微電腦 5。相機控制微電腦 5，係如前述，基於所收取到的各種檢波值，生成例如自動增益控制訊號等之控制訊號，然後分別供給至對應的處理部。

又，通訊介面 45，係將來自相機控制微電腦 5 的相機訊號處理控制用參數 Pm 加以收取，將必要的控制訊號，供給至共有像素別黑位準偵測部 41、共有像素別黑位準補正部 42 及相機訊號處理部 43。

共有像素別黑位準偵測部 41，係接受來自類比訊號處理部 3 的攝像影像資料 RAW，對構成共有像素的每一像素，偵測出每一掃描線或每一畫面的平均黑位準，藉此以偵測出黑位準。該黑位準的偵測，在本例中係如圖 6 所示，是使用存在於 CMOS 影像感測器 2 之有效像素領域外側的邊框領域 OPB(Optical Black：用來定出黑位準而被配置)之領域的資訊，來進行之。

於此例中，CMOS 影像感測器 2 的全畫面領域的上下左右所設置邊框領域的 OPB 領域當中，僅將存在於水平

方向的左右兩端中的 OPB 領域，當成黑位準偵測框 FL。此外，在圖 6 中，在紙面的考量上，水平方向的右端的 OPB 領域係不被圖示。如前述，CMOS 影像感測器 2，係基於來自數位訊號處理部 4 的時序訊號及來自相機控制微電腦 5 的控制訊號，而輸出不只來自有效像素領域的像素資料，還會輸出來自 OPB 領域的像素資料。相機控制微電腦 5，係根據來自數位訊號處理部 4 的時序訊號，以辨識出從 CMOS 影像感測器 2 輸出像素資料的領域，是 OPB 領域還是有效像素領域。

對於共有像素別黑位準偵測部 41，係有用來表示從類比訊號處理部 3 所送來的攝像影像資料是屬於邊框領域的黑位準偵測框 FL 者、還是含有有效像素領域之黑位準偵測框 FL 以外者的領域指示資訊 Sf1，從相機控制微電腦 5 透過通訊介面 45 而送達。

又，如後述，爲了偵測出構成共有像素的像素的每一者的黑位準，對於共有像素別黑位準偵測部 41，係從相機控制微電腦 5 透過通訊介面 45，供給著用前述圖 4 所說明過的關於共有像素 ID 的資訊、亦即共有像素 ID 設定資訊 Sid。然後，如後述，從相機控制微電腦 5，係有積分器設定資訊 Wk，透過通訊介面 45 而被供給至共有像素別積分處理部 414。

然後，共有像素別黑位準偵測部 41，係使從類比訊號處理部 3 所送來的攝像影像資料 RAW，延遲了共有像素別黑位準的偵測處理所需時間份，供給至共有像素別黑位準

補正部 42，並且將已測出之共有像素別黑位準資訊 BLc，配合著攝像影像資料 RAW 的時序而供給至共有像素別黑位準補正部 42。

共有像素別黑位準補正部 42，係藉由後述的構成，針對主線訊號的攝像影像資料 RAW，按照每一掃描線且構成共有像素的像素別(共有像素 ID 別)，藉由共有像素別黑位準偵測部 41 加以測出然後使用共有像素別黑位準資訊 BLc 進行補正。

在本例中，共有像素別黑位準補正部 42，係將攝像影像資料 RAW，就每一掃描線且構成共有像素之像素別(共有像素 ID 別)，進行從攝像影像資料 RAW 中減算掉共有像素別黑位準資訊 BLc 之構成共有像素的像素別(共有像素 ID 別)之平均黑位準的處理(相當於構成共有像素的像素別(共有像素 ID 別)的數位叢聚處理)。

爲了進行構成共有像素的像素別(共有像素 ID 別)之處理，對共有像素別黑位準補正部 42，係從相機控制微電腦 5 透過通訊介面 45，供給著共有像素 ID 設定資訊 Sid。

然後，共有像素別黑位準補正部 42，係將補正處理後的攝像影像資料，供給至相機訊號處理部 43。

在相機訊號處理部 43 中，係隨應於來自相機控制微電腦 5 的透過通訊介面 45 之控制指示，進行降低雜訊/補正缺陷/去馬賽克/白平衡/解析度轉換這類由公知技術所構成的各種相機訊號處理，將作為輸出資料的亮度資料 Y 及

色彩資料 C，供給至後段的視訊系處理區塊(圖示省略)。關於該相機訊號處理部 43 的詳細內容，由於和本發明並無直接關連，故此處省略說明。

< 共有像素別黑位準偵測部 41 之說明 >

圖 7 係共有像素別黑位準偵測部 41 的詳細構成例的區塊圖。本例的共有像素別黑位準偵測部 41，係具備：對作為主線訊號的攝像影像資料 RAW 所設置的延遲調整部 411 及 412、時序生成部 413、共有像素別積分處理部 414、通訊介面 415。

延遲調整部 411 及 412，係將該共有像素別黑位準偵測部 41 上的處理延遲時間，賦予給輸入攝像影像資料 RAW，以使其和該共有像素別黑位準偵測部 41 所生成的共有像素別黑位準資訊 BLc 的輸出時序吻合。

共有像素別積分處理部 414，係具備：對應於構成共有像素的  $n$  個 ( $n$  為 2 以上的整數) 之像素的每一者、亦即共有像素 ID 之每一者所設置的  $n$  個積分器 INT1~INTn 所成之積分電路 4142、和用來使來自延遲調整部 411 之輸入攝像影像資料 RAW 選擇輸入至  $n$  個積分器 INT1~INTn 之任一者的選擇電路 4141。選擇電路 4141 的選擇控制訊號 SEL1 係從時序生成部 413 所供給。又，積分器 INT1~INTn 的每一者，係有用來控制該當積分器 INT1~INTn 之任一者的積分動作執行期間用的啓用訊號 EN1~ENn，分別從時序生成部 413 供給。

時序生成部 413，係基於來自基準時序訊號產生器 44 的基準時序訊號 TG、從相機控制微電腦 5 透過通訊介面 415 所給予的領域指示資訊 Sfl 及共有像素 ID 設定資訊 Sid，於黑位準偵測框 FL(參照圖 6)領域中，如圖 4 的下段所示，隨應於構成共有像素之像素(以共有像素 ID 所表示之像素)的每一者在攝像影像資料 RAW 中出現的時序，生成選擇訊號 SEL1 及啓用訊號 EN1~ENn，供給至共有像素別積分處理部 414。

在本例中，選擇電路 4141，係於黑位準偵測框 FL 之領域中，藉由選擇控制訊號 SEL1，隨應於共有像素 ID 而被選擇控制，例如，當共有像素 ID=「0」時係將來自延遲調整部 411 的攝像影像資料 RAW 供給至積分器 INT1，當共有像素 ID=「1」時係將來自延遲調整部 411 的攝像影像資料供給至積分器 INT2...以此類推地進行選擇控制。

然後，積分器 INT1~INTn 之每一者，係於黑位準偵測框 FL 之領域中，被所對應之啓用訊號 EN1~ENn 所啓動控制，例如，當共有像素 ID=「0」時係積分器 INT1 可進行積分處理，當共有像素 ID=「1」時係積分器 INT2 可進行積分處理。

積分器 INT1~INTn 的每一者，係具備例如圖 8 所示的構成。圖 8 係 n 個積分器 INT1~INTn 當中的一個 INTi(i=1, 2, ..., n)之構成例為代表之圖示，此例係為 IIR(Infinite Impulse Response)數位濾波器之構成的積

分器之例子。此外，圖 4(A)及(B)的情況下係為  $n=2$ ，又，圖 4(C)的情況下係為  $n=4$ 。

於此例的積分器  $INT_i$  中，從選擇電路 4141 所供給的主線訊號亦即攝像影像資料 RAW，係被供給至乘算電路 101，於該乘算電路 101 中，乘算一定數  $K(K < 1)$ 。此時，被供給至乘算電路 101 的攝像影像資料，係為黑位準偵測框 FL 的像素資料，且為來自共有像素當中具有對應於該當積分器  $INT_i$  相同共有像素 ID 的像素所來的像素資料(黑位準)。被乘算過來自該乘算電路 101 之定數  $K$  的黑位準資料係被供給至加算電路 102。

又，設有用來記憶積分結果(黑位準平均值)的記憶體 103，從該記憶體 103 所讀出的目前為止之積分結果，會被供給至乘算電路 104，於乘算電路 104 中乘算一定數  $(K-1)$ 。然後，來自該乘算電路 104 的已被乘算定數  $(K-1)$  之黑位準資料，係被供給至加算電路 102，其加算結果會被供給至開關電路 105 的一方之輸入端。

又，從記憶體 103 所讀出之積分結果亦即黑位準平均值，係被供給至開關電路 105 的另一方之輸入端。

然後，在本例中，積分器  $INT_i$  所對應的啓用訊號  $EN_i$ ，係被供給至開關電路 105 及記憶體 103，共有像素當中的具有相同於該當積分器所對應之共有像素 ID 的像素，被輸入至該當積分器  $INT_i$  時，開關電路 105 係將來自加算電路 102 的加算結果，當成輸出而加以選擇。然後，記憶體 103 被以相同時序而設成寫入啓用的結果，記憶體

103 的積分結果(黑位準平均值)就會被更新成，反映出新輸入的具有相同共有像素 ID 之像素的像素資料(黑位準)。

然後，具有與該當積分器  $INT_i$  所對應之相同共有像素 ID 的像素，係在輸入至該當積分器  $INT_i$  時以外，開關電路 105 係將來自記憶體 103 的積分結果(黑位準平均值)，當成輸出而加以選擇。該開關電路 105 的輸出，係為針對共有像素當中、具有相同共有像素 ID 之像素之像素資料的黑位準輸出  $BL_i$ 。於此例中，由於是對每一黑位準偵測框 FL，更新記憶體 103 中所記憶的積分值(黑位準平均值)，因此記憶體 103 的積分值，係以水平週期而被更新。

藉由構成積分電路 4142 的複數個積分器  $INT_1 \sim INT_n$  的黑位準輸出  $BL_1 \sim BL_n$ ，形成了共有像素別黑位準資訊  $BL_c$ 。

此外，在此例中，積分器  $INT_1 \sim INT_n$ ，係隨應於來自相機控制微電腦 5 的積分器設定資訊  $W_k$ ，來變更前記 K 的值來切換積分時定數等，以控制積分動作。

被輸入至該共有像素別黑位準偵測部 41 的作為主線訊號的攝像影像資料 RAW，係藉由延遲調整部 411 及 412，調整時序使其延遲上述處理所需部分，然後直接輸出給後段的共有像素別黑位準補正部 42。

固體攝像元件中，係如圖 6 所示，因為通常配置有用來偵測黑位準的 OPB 領域，所以例如圖 6 所示只要設定

黑位準偵測框 FL，則共有像素別黑位準偵測部 41 係可在每一水平掃描線，將 OPB 領域中的黑位準平均值，以共有像素 ID 別而加以算出，然後積存在記憶體，與主線訊號吻合時序而輸出給後段的處理部，進行如此處理動作。

< 共有像素別黑位準補正部 42 之說明 >

圖 9 係共有像素別黑位準補正部 42 的詳細構成例的區塊圖。本例的共有像素別黑位準補正部 42，係具備：對來自共有像素別黑位準偵測部 41 的作為主線訊號的攝像影像資料 RAW 及共有像素別黑位準資訊 BLc 所設置的延遲調整部 421、共有像素別叢聚處理部 422、時序生成部 423、通訊介面 424。

延遲調整部 421，係將時序生成部 423 所需的處理時間延遲部分，賦予給輸入攝像影像資料 RAW 及共有像素別黑位準資訊 BLc，使其吻合於處理時序。

共有像素別叢聚處理部 422，係具備：構成數位叢聚處理部的減算器 4221、選擇電路 4222。然後對減算器 4221 係供給著來自延遲調整部 421 的屬於主線訊號的輸入攝像影像資料 RAW；對選擇電路 4222 係供給著來自延遲調整部 421 的共有像素別黑位準資訊 BLc。

選擇電路 4222，係藉由被供給至其的選擇控制訊號 SEL2 而被選擇控制，構成共有像素之像素之每一者(亦即以共有像素 ID 所表示之輸出像素序列中的相同共有像素 ID)，係同步於被供給至減算器 4221 之主線訊號亦即攝像

影像資料 RAW 中所出現的時序，將共有像素別黑位準資訊  $BLc$  當中的對應之像素(亦即對應之相同共有像素 ID)的黑位準平均值  $BLi$  加以選擇，供給至減算器 4221。

選擇電路 4222 的選擇控制訊號 SEL2 係從時序生成部 423 所供給。時序生成部 423，係基於從基準時序訊號產生器 44 所給予的基準時序訊號 TG、和從相機控制微電腦 5 透過通訊介面 424 所給予的共有像素 ID 設定資訊 Sid，來生成選擇控制訊號 SEL2。

在本例中，時序生成部 423，係如圖 4 的下段所示，構成共有像素之像素(以共有像素 ID 所表示之像素)之每一者，係同步於作為主線訊號之攝像影像資料 RAW 中所出現的時序(共有像素 ID 序列)，使對應之共有像素 ID 的黑位準平均值  $BLi$  會被選擇電路 4222 所選擇，而生成選擇控制訊號 SEL2，然後供給至選擇電路 4222。

因此，減算器 4221，係從主線訊號的各像素資料，扣除已被選擇電路 4222 所選擇之相應於共有像素 ID 序列的黑位準平均值  $BLi$ ，就構成共有像素的每一項素、亦即共有像素 ID 別，進行數位叢聚處理。然後，將叢聚處理後的攝像影像資料，輸出至後段的相機訊號處理部 43。

如以上，若依據本實施形態，則因為偵測出構成共有像素的像素的每一者有所互異的黑位準(平均黑位準)，根據該測出的平均黑位準，對構成共有像素之像素的每一者進行數位叢聚處理，因此，即使採用共有像素構成的影像感測器，也能改善共有像素別的黑位準不均勻性。

以上說明之實施形態中的處理，相當於將所謂每一掃描線的數位叢聚處理，對構成共有像素之每一像素別(共有像素 ID 別)分別進行。

如此，在本實施形態中，雖然是對每一掃描線進行黑位準的偵測及補正，但尤其當 OPB 領域較少時等情況、每一掃描線的黑位準積分量並不充分的情況下，在共有像素別黑位準偵測部 41 中，就沒有必要一定得就每一掃描線重置積分值，亦可跨越複數掃描線間而繼承積分結果(例如以 IIR 來構成積分器等)。

但是，就共有像素 ID 別來進行處理，就共有像素 ID 別來進行叢聚處理，這點是重點。又，在本實施形態中，由於是就每一掃描線來進行黑位準偵測及補正，因此就共有像素別在垂直方向上具有共通之遮蔽(shading)者，也能對應。

此外，如圖 4 的下段所示，共有像素 ID 所示之像素輸出序列，由於係隨著固體攝像元件的共有像素之排列圖案而改變，因此會隨著所使用的固體攝像元件而改變。因此，選擇訊號 SEL1、SEL2 之生成，係可隨著來自相機控制微電腦 5 的設定而自由地產生，如此構成較為理想。

#### [ 第 2 實施形態 ]

上述第 1 實施形態中，雖然是對每一掃描線進行黑位準的偵測及補正，但若就構成共有像素的像素之每一者來看，當固體攝像元件的特性是在垂直方向上的黑位準沒有

變動時，則爲了更加提高平均化處理的效果，使用較多像素數來算出平均黑位準較佳。

因此，在此第 2 實施形態中係構成爲，不是將來自共有像素別黑位準偵測部 41 的共有像素別黑位準資訊  $BL_c$  對每一掃描線進行輸出，而是對 1 畫面輸出 1 次。

於此第 2 實施形態中，係將共有像素別黑位準偵測部 41 之構成積分電路 4142 的  $n$  個積分器  $INT_1 \sim INT_n$  之每一者，設計成例如圖 10 所示。

亦即，於此第 2 實施形態中係構成爲，設置有用來將開關電路 105 之輸出予以鎖存保持的鎖存電路 106，而於此鎖存電路 106 上，藉由垂直週期的鎖存訊號  $V_s$ ，將開關電路 105 的輸出加以鎖存。

在此例中係構成爲，會一路將黑位準積分至黑位準偵測框 FL 的最下方右端爲止，將其記憶在記憶體 103 的階段時，將該當記憶體 103 的記憶值(黑位準平均值)鎖存在鎖存電路 106 中，並將該鎖存的資料，當成針對所對應之共有像素 ID 的黑位準輸出  $BL_i$ ，而加以輸出。

亦即是設計成，跨越 1 畫面，針對相同共有像素 ID 的像素別，算出黑位準(黑位準平均值)，在下個畫面的數位叢聚處理中，適用該訊號。其他的構成，係和上述第 1 實施形態相同。

在本例的情況下，所測出的黑位準、和所適用的攝像影像訊號之間，雖然存在有 1 垂直期間的誤差，但一般而言此一誤差並不會造成問題。

此外，於此第 2 實施形態中，係由於從偵測黑位準、到將該偵測值適用於黑位準補正為止係有餘裕產生，因此亦可構成爲，將共有像素別黑位準訊號，先一度當成檢波值而輸出給相機控制微電腦 5，在相機控制微電腦 5 側進行適當加工然後才供給至共有像素別黑位準補正部 42。此時，雖然從黑位準偵測至黑位準補正適用爲止，會產生 1 垂直期間以上的誤差，但該延遲只要是在數垂直期間程度的極短時間內，則一般而言，該誤差完全不會造成問題。

〔第 3 實施形態〕

上述第 1 及第 2 實施形態中係說明了，作爲共有像素的像素特性之不均勻性，是偵測出共有像素 ID 爲互異之像素間所產生的黑位準之不均勻性，並加以補正之構成。共有像素 ID 互異之像素間的像素特性之不均勻性，係不只有黑位準的不均勻性。

例如，共有像素 ID 互異之每一像素，由於像素的光二極體之開口方向不同，因此像素的「感度」或是像素輸出的「線性」這些觀點上，也會存在共有像素 ID 互異之像素間的特性互異之問題。第 3 實施形態，係爲解決該問題的形態。

圖 11 係爲第 3 實施形態中的數位訊號處理部 4 之構成例之圖示。

於此圖 11 的例子中，上述實施形態的共有像素別黑位準偵測部 41，係置換成偵測對象不限於黑位準的共有像

素別位準偵測部 46 這一點，和在共有像素別黑位準補正部 42 與相機訊號處理部 43 之間，新增加了由共有像素別線性補正部 47、共有像素別線性補正表記憶體 48 所成之處理部這一點，是與上述第 1 及第 2 實施形態不同。

首先，共有像素別位準偵測部 46，其硬體構成，基本上係和上述第 1 實施形態或第 2 實施形態完全相同。只不過，本第 3 實施形態中的共有像素別位準偵測部 46，係和上述第 1 實施形態及第 2 實施形態同樣地，具有偵測並生成共有像素別黑位準偵測輸出  $BLc$  之構成(機能)以外，還具備偵測並生成共有像素別白位準偵測輸出  $WHc$  之構成(機能)。

亦即，實際上，如圖 12 所示，在偵測共有像素別黑位準資訊  $BLc$  時，係將偵測框設定成 OPB 領域的黑位準偵測框  $FLb$ ，但在偵測共有像素別白位準時，係將偵測框設定成有效領域的白位準偵測框  $FLw$ (於圖 12 中，係在有效領域內以粗虛線圍繞表示)。然後，在偵測並生成共有像素別白位準偵測輸出  $WHc$  時，係令其拍攝前面為白色牆壁或板子等整個畫面全體均質之被攝體。此外，只要是整個畫面全體均質之被攝體，則即使不是白色者亦可。

此時，僅藉由將偵測框在黑位準偵測框  $FLb$  和白位準偵測框  $FLw$  間做改變，就可將像素訊號以共有像素 ID 別進行平均化而輸出之構成，係和第 1 實施形態中所說明之構成相同。亦即，共有像素別位準偵測部的電路構成，無論黑偵測還是白偵測均完全相同，因此基於後述理由而為

了縮減電路規模而僅具有 1 個系統，只要改變偵測框，就可區分使用黑位準偵測和白位準偵測。

然後，在本第 3 實施形態中，例如，工廠出貨時的掃描線調整等，以輝度箱 (pattern box) 等來拍攝整個畫面全體均質之被攝體，就可獲得共有像素 ID 別的平均訊號位準 (相當於共有像素別白位準資訊 WHc)。在此狀態下，若控制光學系 1 中所含之光圈或 ND 濾波器等以調整輸入光量，則隨應於該輸入光 (輸入訊號位準) 的每一共有像素 ID 的輸出，就可告知給相機控制微電腦 5。

同樣地，取得不同的 L 個 (L 係 2 以上的整數) 之輸入訊號位準下的共有像素 ID 別之平均訊號位準資料 (L 個資料)。如此一來，如圖 13(A) 所示，若令橫軸為輸入位準、縱軸為輸出位準時，就可依共有像素 ID 別來取得感度曲線。

如此，根據工廠出貨時所進行而取得的資料，在相機控制微電腦 5 中算出輸出訊號位準的比，就可如圖 13(B) 所示，依共有像素 ID 別，算出對不同之 L 個輸入位準的線性補正表資料 Lct。

在此例中，線性補正表資料 Lct，係因為是共有像素 ID 別，所以對應於共有像素 ID 的每一者，算出 Lct1 ~ Lctn 的 n 個資料。然後，如前述，共有像素 ID 別的線性補正表資料 Lct1 ~ Lctn 之每一者，係為對互異之 L 個輸入位準的補正值資料所成。

然後，在此第 3 實施形態中，係將如此算出的共有像

素 ID 別之線性補正表資料  $Lct$ (由  $Lct1 \sim Lctn$  之  $n$  個所成)，當成預設資料，預先記憶在例如由 EEPROM(Electronic Erasable Programmable ROM)所構成的共有像素別線性補正表記憶體 48 中。

此外，在上述的說明中，雖然是在工廠出貨時，取得隨應於各種輸入光(對應於作為攝像影像資料的輸入訊號位準)的共有像素 ID 別之補正表資料，並預先記憶至共有像素別線性補正表記憶體 48，但亦可設置，使用者在實際攝影前，以攝像裝置 10 拍攝白色牆壁或板子，相機控制微電腦則根據此時所得的共有像素別白位準資訊  $WHc$ ，取得對應於此時輸入光的共有像素 ID 別之線性補正表資料  $Lct$ ，將其記憶至共有像素別線性補正表記憶體 48 的此種模式。

圖 14 係為共有像素別線性補正部 47 之構成例的圖示。本例的共有像素別線性補正部 47，係具備：對作為主線訊號的攝像影像資料 RAW 所設置的延遲調整部 471 及 472、乘算處理部 473、時序生成部 474、共有像素別線性補正係數算出部 475、通訊介面 476。

延遲調整部 471 及 472，係令作為主線訊號的攝像影像資料 RAW 延遲，然後供給至乘算處理部 473。延遲調整部 471 及 472，係於此共有像素別線性補正部 47 中，用來調整乘算處理部 473 上針對攝像影像資料 RAW 進行補正處理之時序。

共有像素別線性補正係數算出部 475，在此例中係構

成如圖 15 所示。亦即，共有像素別線性補正係數算出部 475，係具備：延遲調整部 4571、共有像素別補正訊號選擇電路 4752、補正值選擇電路 4753、線性內插電路 4754、輸入訊號位準偵測部 4755。

延遲調整部 4571，係用來調整主線訊號之攝像影像資料、與線性補正訊號之時序。

對於共有像素別補正訊號選擇電路 4752 係輸入有，來自共有像素別線性補正表記憶體 48 的共有像素 ID 別的  $n$  個線性補正表資料  $Lct1 \sim Lctn$ 。

然後，對該共有像素別補正訊號選擇電路 4752 係供給著，來自時序生成部 474 的選擇控制訊號 SEL3。時序生成部 474，係基於從基準時序訊號產生器 44 所給予的基準時序訊號 TG、和從相機控制微電腦 5 透過通訊介面 476 所給予的共有像素 ID 設定資訊 Sid，來生成選擇控制訊號 SEL3。

在本例中，時序生成部 474，係如圖 4 的下段所示，構成共有像素之像素(以共有像素 ID 所表示之像素)之每一者，係同步於作為主線訊號之攝像影像資料 RAW 中所出現的時序(共有像素 ID 序列)，使對應之共有像素 ID 的線性補正表資料  $Lcti$ ( $i$  係為  $1 \sim n$  之任意整數)會被共有像素別補正訊號選擇電路 4752 所選擇，而生成選擇控制訊號 SEL3，然後供給至該當共有像素別補正訊號選擇電路 4752。

此外，共有像素 ID 的序列，由於是隨著所使用的固

體攝像元件而改變，因此令其會隨著來自相機控制微電腦 5 的共有像素 ID 設定資訊而自由地產生之構成，較為理想。

然後，在共有像素別補正訊號選擇電路 4752 中，從來自共有像素別線性補正表記憶體的  $n$  個線性補正表資料  $Lct1 \sim Lctn$  當中，根據選擇控制訊號 SEL3，選擇出應補正主線訊號的線性補正表資料  $Lcti$  的  $L$  個資料。亦即，在共有像素別補正訊號選擇電路 4752 中，會選擇隨應於共有像素 ID 的感度曲線。然後，已被選擇的共有像素 ID 別的線性補正表資料  $Lcti$ ，係從共有像素別補正訊號選擇電路 4752 被供給至補正值選擇電路 4753。

另一方面，透過延遲調整部 4751 的身為主線訊號的攝像影像資料，係被供給至輸入訊號位準偵測部 4755，偵測出此時點上的輸入訊號位準。然後，已被輸入訊號位準偵測部 4755 所測出的輸入訊號位準，係被供給至補正值選擇電路 4753。

在補正值選擇電路 4753 中，係參照從輸入訊號位準偵測部 4755 所輸入來的主線訊號之輸入訊號位準，從線性補正表資料  $Lcti$  的  $L$  個補正資料中，選擇出最接近輸入訊號位準的 2 點的補正資料  $Sa$ 、 $Sb$ ，將該當所選擇之 2 點的補正資料  $Sa$ 、 $Sb$ ，輸出至線性內插電路 4754。

在線性內插電路 4754 中，係根據來自補正值選擇電路 4753 的 2 點之補正資料  $Sa$ 、 $Sb$ ，及從輸入訊號位準偵測部 4755 所取得的主線訊號之位準，將適合於主線訊號

之位準的補正係數，以線性內插法加以算出，所算出的補正係數係被供給至乘算處理部 473。

在乘算處理部 473 中，對來來自延遲調整部 472 的作為主線訊號的攝像影像資料，乘算一來自共有像素別線性補正係數算出部 475 的上述補正係數，以進行線性補正。藉此，於共有像素中，共有像素 ID 互異之像素間的感度誤差被補正過的攝像影像資料 RAWc，係可成為共有像素別線性補正部 47 之輸出而獲得，並供給至後段的相機訊號處理部 43。

如以上，若依據上述實施形態，則對於為了提升像素感度而在相鄰或鄰近像素間共用電晶體等像素構成必要電路的固體攝像元件，可以非常簡易之構成，將起因於固體攝像元件所帶有之共有像素排列圖案的相鄰或鄰近像素之電路佈局不均勻性所造成的黑位準不均勻性、感度不均勻性，加以補正。

[ 其他實施形態及變形例 ]

於以上的實施形態中，關於對固體攝像元件配置的彩色濾光片、讀出通道、像素的共有方法，雖然限定了例子而加以說明，但當然，本發明係並非侷限於這些限定，在不脫離本發明之主旨以外的範圍內，可做廣泛適用。

例如，在考慮對固體攝像元件配設的彩色濾光片時，圖 4(A)、(B)、(C)所示的共有像素之排列圖案的 3 個例子中的共有像素 ID、及以共有像素 ID 表示之輸出像素序列

，係成爲如圖 16 所示。

亦即，圖 16(A)、(B)、(C)之各個上段所示的共有像素之排列圖案的 3 個例子中的共有像素 ID，係如中段所示，而以共有像素 ID 所表示之輸出像素序列，係分別如下段所示。

然後，在此情況下，隨應於圖 16 的中段所示的共有像素 ID，偵測並生成黑位準補正值及線性補正值，同步於圖 16 的下段所示之共有像素 ID 序列，執行補正處理。

此外，在上述的實施形態之說明中，固體攝像元件雖然是假設爲 CMOS 影像感測器，但亦可爲 CCD 影像感測器。

又，線性補正表資料，係亦可不是針對 1 畫面份而共通地記憶每個共有像素 ID 的補正資料，而是可例如畫面的正中央領域、周圍領域的此種方式，對每一領域，記憶每個共有像素 ID 的補正資料，藉由該當記憶之補正資料，來將各自對應領域所送來的像素資料，依共有像素 ID 別而加以補正。又，亦可對每一像素，記憶線性補正資料。

又，每一共有像素 ID 的黑位準平均值，也是可同樣地例如按照畫面的正中央領域、周圍領域的此種方式，對每一領域，具備偵測保持手段，藉由各自被偵測保持的黑位準平均值，將對應領域的像素資料的黑位準，依共有像素 ID 別而加以補正。

【圖式簡單說明】

〔圖 1〕本發明之攝像裝置的實施形態之硬體構成例之圖示。

〔圖 2〕本發明之攝像裝置的實施形態中所用之固體攝像元件的像素排列及彩色濾光片配置之例子的說明圖。

〔圖 3〕本發明之攝像裝置的實施形態中所用之固體攝像元件所送來之攝像影像資料的讀出方法之例子的說明圖。

〔圖 4〕本發明之攝像裝置的實施形態中所用之固體攝像元件上的共有像素之排列圖案及共有像素 ID 的說明圖。

〔圖 5〕本發明之攝像裝置的第 1 實施形態之要部的硬體構成例之圖示。

〔圖 6〕本發明之攝像裝置的第 1 實施形態的說明用圖。

〔圖 7〕圖 5 之硬體構成例中的一部份區塊的硬體構成例之圖示。

〔圖 8〕圖 7 之硬體構成例中的一部份區塊的硬體構成例之圖示。

〔圖 9〕圖 5 之硬體構成例中的其他一部份區塊的硬體構成例之圖示。

〔圖 10〕本發明之攝像裝置的第 2 實施形態的要部之說明用區塊圖。

〔圖 11〕本發明之攝像裝置的第 3 實施形態的要部的

硬體構成例之說明用區塊圖。

〔圖 12〕本發明之攝像裝置的第 3 實施形態的說明用圖。

〔圖 13〕本發明之攝像裝置的第 3 實施形態的說明用圖。

〔圖 14〕圖 11 之硬體構成例中的一部份區塊的硬體構成例之圖示。

〔圖 15〕圖 11 之硬體構成例中的其他一部份區塊的硬體構成例之圖示。

〔圖 16〕本發明之攝像裝置的其他實施形態中所用之固體攝像元件上的共有像素之排列圖案及共有像素 ID 的說明圖。

#### 【主要元件符號說明】

1：光學系，2：CMOS 影像感測器，3：類比訊號處理部，4：數位訊號處理部，5：相機控制微電腦，6：手晃感測器，7：透鏡驅動用驅動部，8：人性化介面微電腦，9：使用者介面，10：攝像裝置，41：共有像素別黑位準偵測部，42：共有像素別黑位準補正部，43：相機訊號處理部，44：基準時序訊號產生器，45：通訊介面，411：延遲調整部，412：延遲調整部，413：時序生成部，414：共有像素別積分處理部，415：通訊介面，4141：選擇電路，4142：積分電路，421：延遲調整部，422：共有像素別叢聚處理部，423：時序生成部，

424：通訊介面，4221：減算器，4222：選擇電路，  
46：共有像素別位準偵測部，47：共有像素別線性補正部，  
48：共有像素別線性補正表記憶體，471：延遲調整部，  
472：延遲調整部，473：乘算處理部，474：時序生成部，  
475：共有像素別線性補正係數算出部，476：通訊介面，  
4751：延遲調整部，4752：共有像素別補正訊號選擇電路，  
4753：補正值選擇電路，4754：線性內插電路，  
4755：輸入訊號位準偵測部，101：乘算電路，102：加算電路，  
103：記憶體，104：乘算電路，105：開關電路，106：鎖存電路，  
RAW：攝像影像資料，Pd, Ps：像素，Ir, Ig, Ib：固體攝像元件，  
TG：基準時序訊號，BLc：共有像素別黑位準資訊，Sid：共有像素 ID 設定資訊，  
Sfl：領域指示資訊，Wk：積分器設定資訊，Pm：相機訊號處理控制用參數，  
DET：各種檢波值，FL：黑位準偵測框，INTi：積分器，BLi：黑位準輸出，  
ENi：啓用訊號，FLb：黑位準偵測框，FLw：白位準偵測框，SELi：選擇控制訊號，  
Lcti：線性補正表資料，Sa, Sb：補正資料，WHc：共有像素別白位準偵測輸出，  
RAWc：感度誤差被補正過的攝像影像資料，HD：水平同步訊號，VD：垂直同步訊號。

## 五、中文發明摘要

發明之名稱：攝像裝置及攝像資料補正方法

〔課題〕針對適用了像素共有技術的固體攝像元件所送來的攝像影像資料，減輕共有像素的像素特性之不均勻性。

〔解決手段〕具備固體攝像元件，其係被構成爲，將被排列成 2 維陣列狀的複數像素，對於像素的排列圖案呈同一之所定複數個像素分別視爲 1 組的共有像素，共用著像素構成上必須之電路。補正值生成手段 41，係針對構成共有像素之像素的像素資料的每一者，將起因於排列圖案內的各像素位置之差異的像素特性之不均勻性加以補正所需的補正值，對排列圖案內的每一像素位置，加以生成。補正手段 42，係將來自固體攝像元件的像素資料之每一者的不均勻性，基於構成各 1 組之所定複數個像素的於前記排列圖案內所對應之像素位置之像素資料的補正值，加以補正。

## 六、英文發明摘要

發明之名稱：

IMAGE PICKUP APPARATUS AND METHOD OF CORRECTING CAPTURED IMAGE DATA

An image pickup apparatus includes a solid-state image pickup device including a plurality of pixels arranged in a two-dimensional array, a circuit necessary for the pixel structure being shared between the pixels of a predetermined number having the same arrangement pattern; correction value generating means for generating a correction value for the pixel data read out from the pixel position of each pixel having the same arrangement pattern, the correction value being used for correcting the nonuniformity in pixel characteristics caused by a difference in position between the pixels in the arrangement pattern; and correcting means for correcting each pixel data read out from the solid-state image pickup device on the basis of the correction value for the corresponding pixel data, generated by the correction value generating means.

## 十、申請專利範圍

1.一種攝像裝置，其特徵為，具備：

固體攝像元件，其係被構成為，將被排列成 2 維陣列狀的複數像素，以像素的排列圖案呈同一之所定複數個像素分別視為 1 組，對於構成各 1 組之前記所定複數個像素在像素構成上所必須之電路是被共有；和

補正值生成手段，係針對構成前記各 1 組之前記所定複數個像素位置之像素的像素資料之每一者，將起因於前記排列圖案內的各像素位置之差異的像素特性之不均勻性加以補正所需的補正值，對前記排列圖案內的每一像素位置，進行生成；和

補正手段，係將來自前記固體攝像元件的像素資料之每一者，基於前記補正值生成手段所生成的、針對構成前記各 1 組之前記所定複數個像素於前記排列圖案內所對應之像素位置的前記像素資料的前記補正值，加以補正。

2.如申請專利範圍第 1 項所記載之攝像裝置，其中，前記像素特性的不均勻性，係為像素資料的黑位準之不均勻性。

3.如申請專利範圍第 2 項所記載之攝像裝置，其中，前記補正值生成手段，係藉由於前記固體攝像元件的用來決定黑位準的領域中，在構成前記各 1 組之前記所定複數個像素上，針對前記排列圖案內的位於同一位置之位置的像素，求取其黑位準的平均，以算出並生成針對構成前記各 1 組之前記所定複數個像素位置之像素的像素資料

之每一者的補正值。

4.如申請專利範圍第 1 項所記載之攝像裝置，其中，前記像素特性的不均勻性，係為像素資料的輸出線性之不均勻性。

5.如申請專利範圍第 4 項所記載之攝像裝置，其中，前記補正值生成手段，係

由記憶手段所構成，其係對前記排列圖案內的每一像素位置，記憶補正值，該補正值係屬於在拍攝全體均質之被攝體時從前記固體攝像元件所得之像素資料為根據而作成的補正值，且為針對構成前記各 1 組之前記所定複數個像素位置之像素的像素資料之每一者，將前記排列圖案內的起因於各像素位置的輸出位準誤差加以補正所需。

6.一種攝像裝置，其特徵為，具備：

固體攝像元件，其係被構成為，被排列成 2 維陣列狀的複數像素，是以像素的排列圖案呈同一之所定複數個像素而分別被視為 1 組，對於構成各 1 組之前記所定複數個像素在像素構成上所必須之電路是被共有；和

黑位準生成手段，係使用前記固體攝像元件的、從用來決定黑位準之領域之像素而來的像素資料，針對構成前記各 1 組之前記所定複數個像素位置之像素的像素資料之每一者，將前記排列圖案內的起因於各像素位置而互異的黑位準，對前記排列圖案內的每一像素位置，進行生成；和

一手段，係將來自前記固體攝像元件的像素資料之每

一者，基於前記黑位準生成手段所生成的、針對構成前記各 1 組之前記所定複數個像素於前記排列圖案內所對應之像素位置之前記像素資料所生成的前記黑位準，進行叢聚 (Clump) 處理。

7. 如申請專利範圍第 6 項所記載之攝像裝置，其中，前記黑位準生成手段，係

針對前記固體攝像元件的用來決定黑位準之領域中的構成前記各 1 組之前記所定複數個像素之每一者，算出於前記排列圖案內的各自對應之像素位置的像素資料的黑位準之平均值，並且，前記平均值，係就每一掃描線進行更新，以生成前記排列圖案內的每一像素位置上的黑位準。

8. 如申請專利範圍第 6 項所記載之攝像裝置，其中，前記黑位準生成手段，係

針對前記固體攝像元件的用來決定黑位準之領域中的構成前記各 1 組之前記所定複數個像素之每一者，算出於前記排列圖案內的各自對應之像素位置的像素資料的黑位準之平均值，並且，前記平均值，係就每 1 畫面份進行更新，以生成前記排列圖案內的每一像素位置上的黑位準。

9. 一種攝像裝置，其特徵為，具備：

固體攝像元件，其係被構成為，將被排列成 2 維陣列狀的複數像素，以像素的排列圖案呈同一之所定複數個像素分別視為 1 組，對於構成各 1 組之前記所定複數個像素在像素構成上所必須之電路是被共有；和

記憶手段，其係對前記排列圖案內的每一像素位置，

記憶補正值，該補正值係為使用在拍攝全體均質之被攝體時從前記固體攝像元件所得之像素資料而作成的補正值，且為針對構成前記各 1 組之前記所定複數個像素位置之像素的像素資料之每一者，將前記排列圖案內的起因於各像素位置的輸出位準誤差加以補正所需；和

補正手段，係將來自前記固體攝像元件的像素資料之每一者，基於來自前記記憶手段的、針對構成前記各 1 組的前記所定複數個像素於前記排列圖案內所對應之像素位置的前記像素資料的前記補正值，加以補正。

10.一種攝像資料補正方法，係屬於將來自以下固體攝像元件的像素資料加以補正的攝像資料補正方法，該固體攝像元件係被構成為，將被排列成 2 維陣列狀的複數像素，以像素的排列圖案呈同一之所定複數個像素分別視為 1 組，對於構成各 1 組之前記所定複數個像素在像素構成上所必須之電路是被共有；其特徵為，具備

補正值生成工程，係針對構成前記各 1 組之前記所定複數個像素位置之像素的像素資料之每一者，將起因於前記排列圖案內的各像素位置之差異的像素特性之不均勻性加以補正所需的補正值，對前記排列圖案內的每一像素位置，進行生成；和

補正工程，係將來自前記固體攝像元件的像素資料之每一者，基於前記補正值生成工程所生成的、針對構成前記各 1 組的前記所定複數個像素於前記排列圖案內所對應之像素位置的前記像素資料的前記補正值，加以補正。

圖1 10

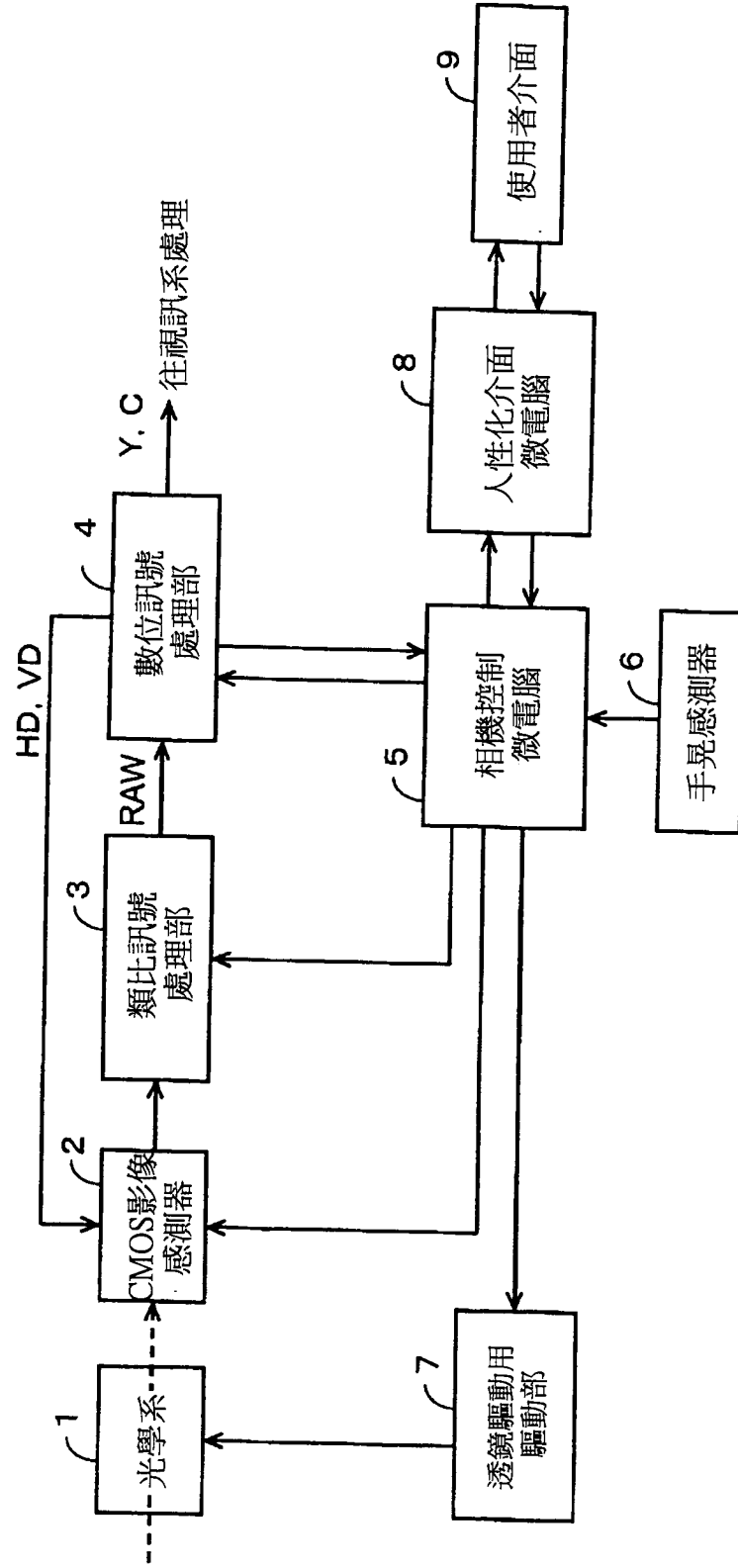


圖2

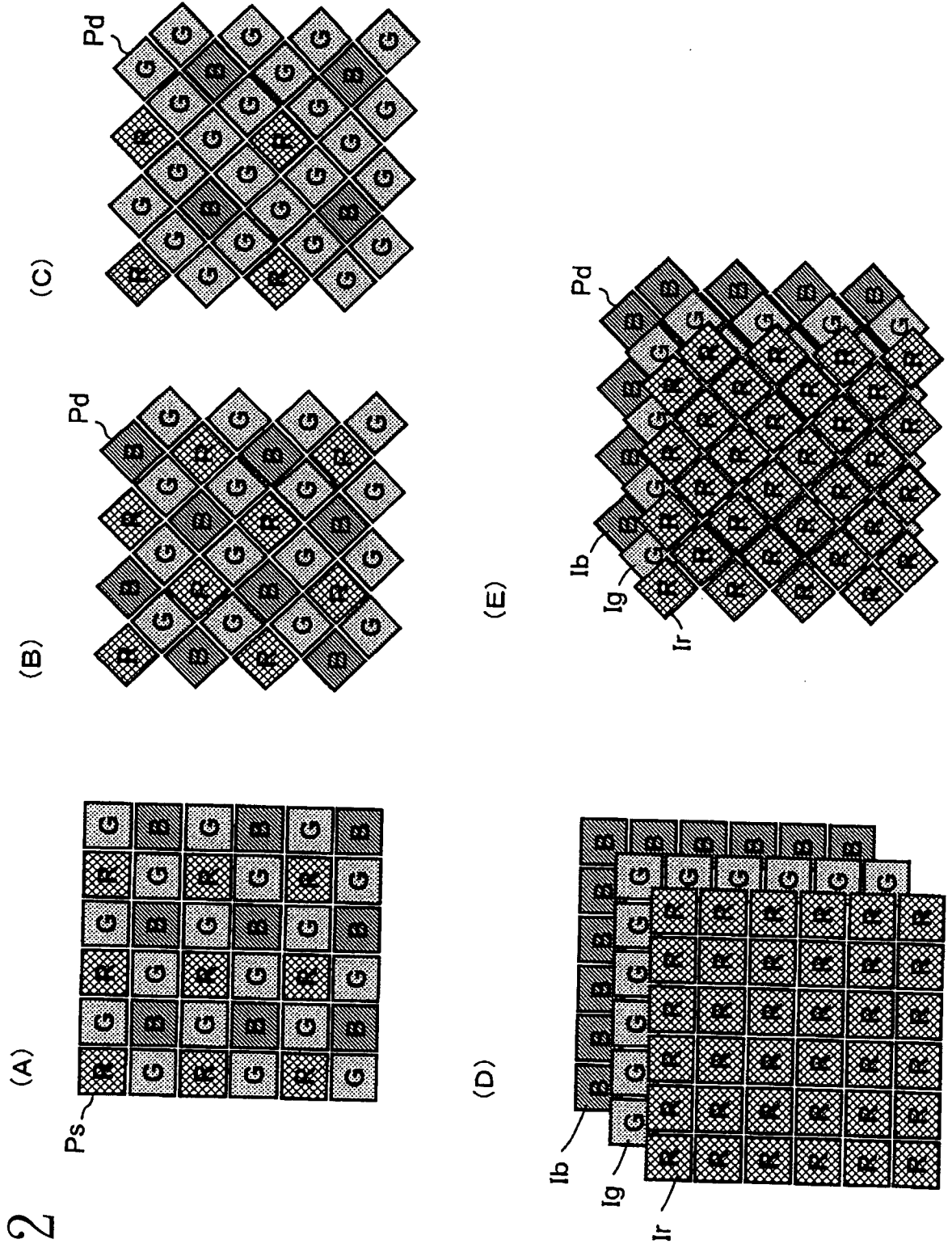


圖 3

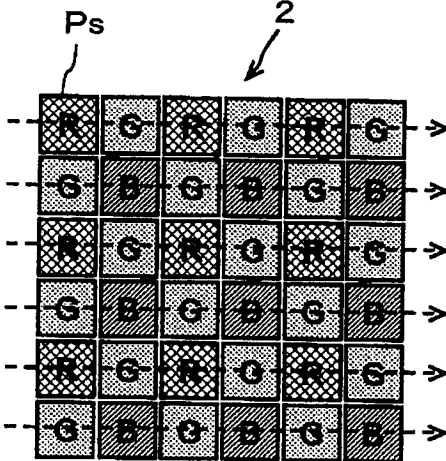
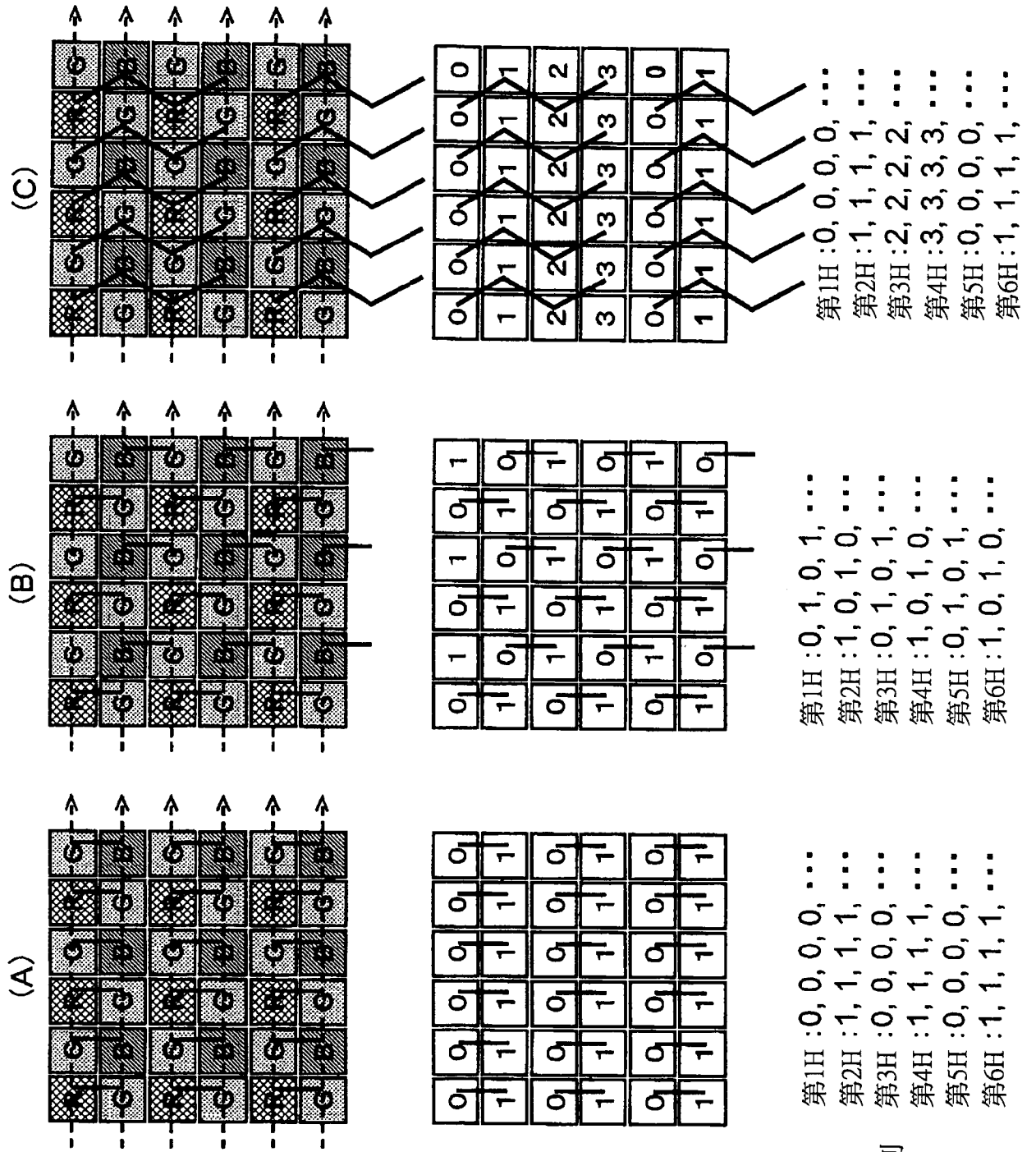


圖4

共有像素圖案



共有像素ID

像素輸出序列  
(共有像素ID)

圖5

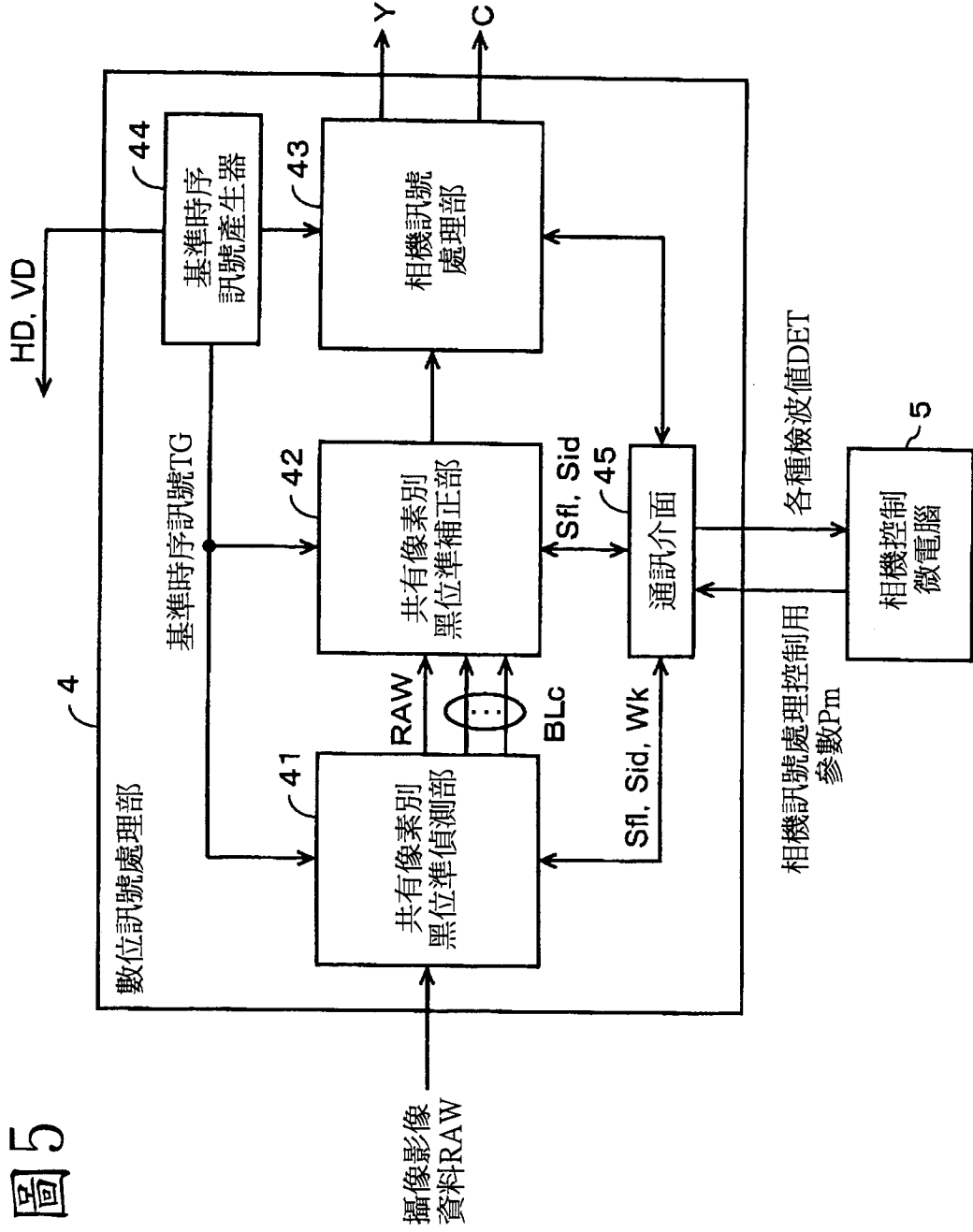


圖 6

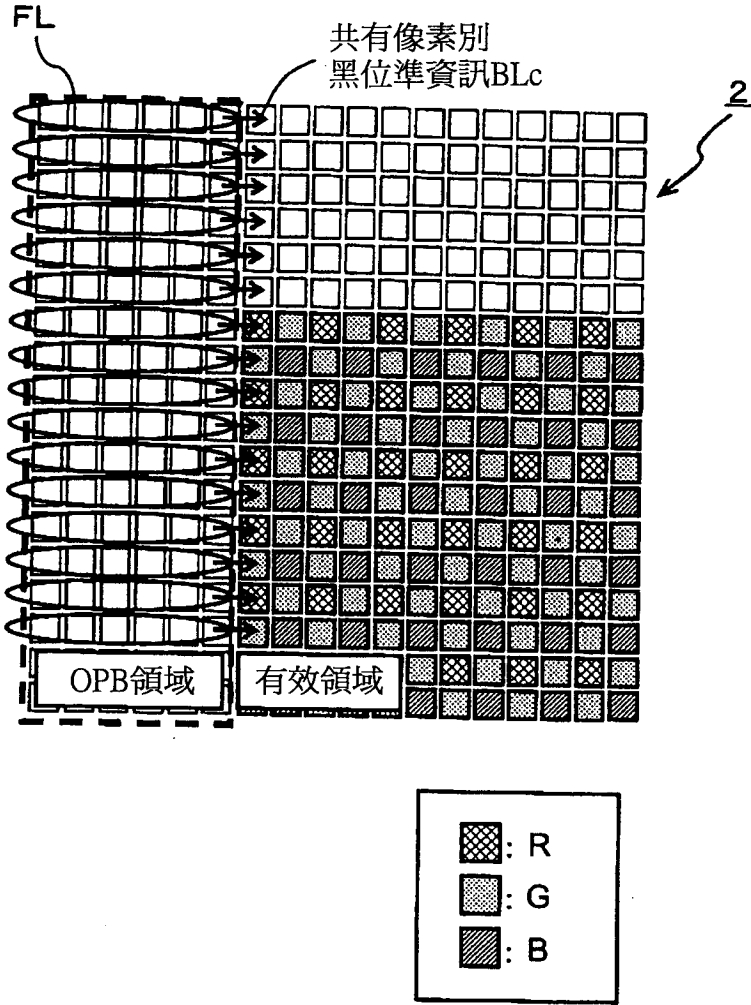


圖7

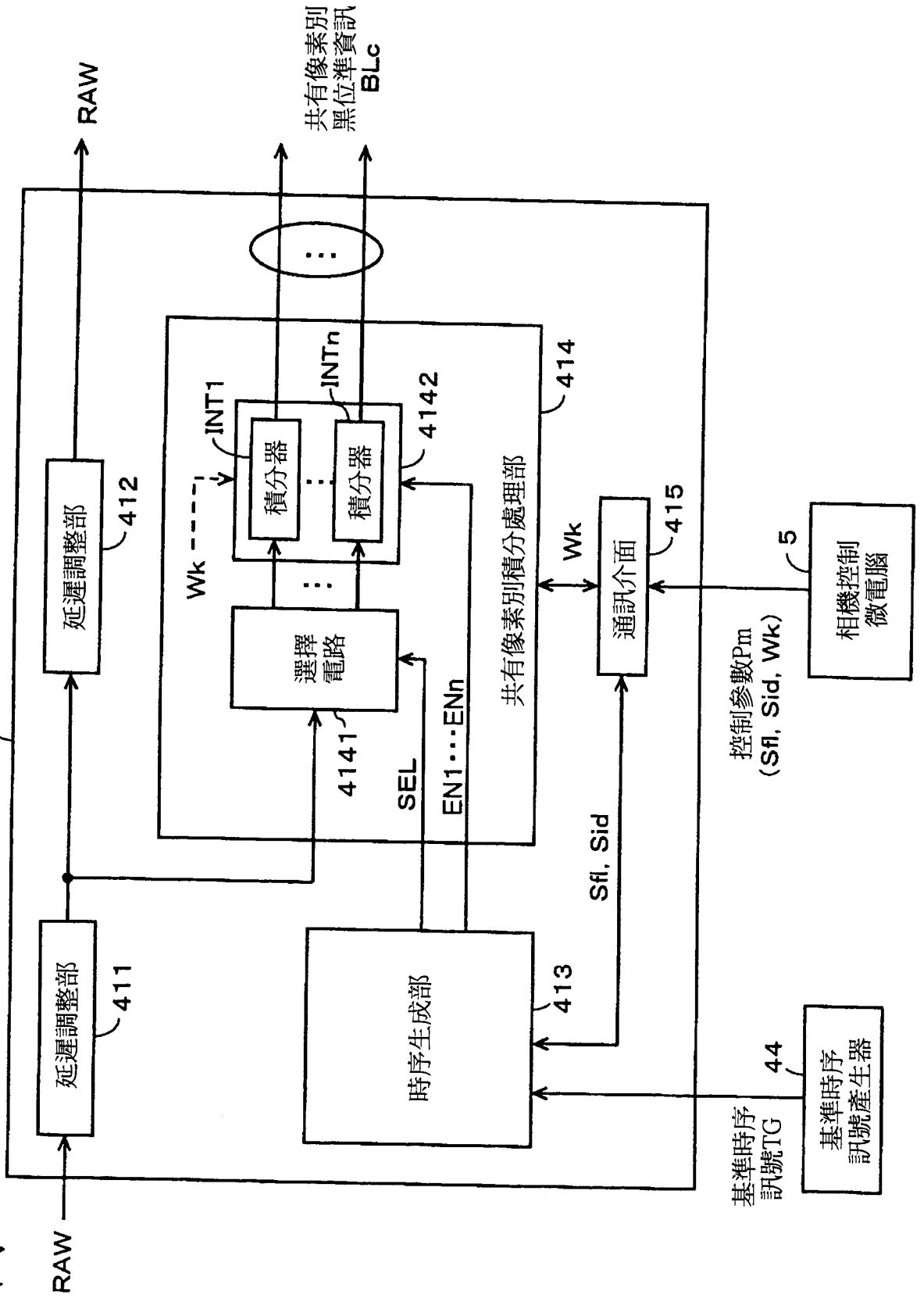


圖 8

INTi

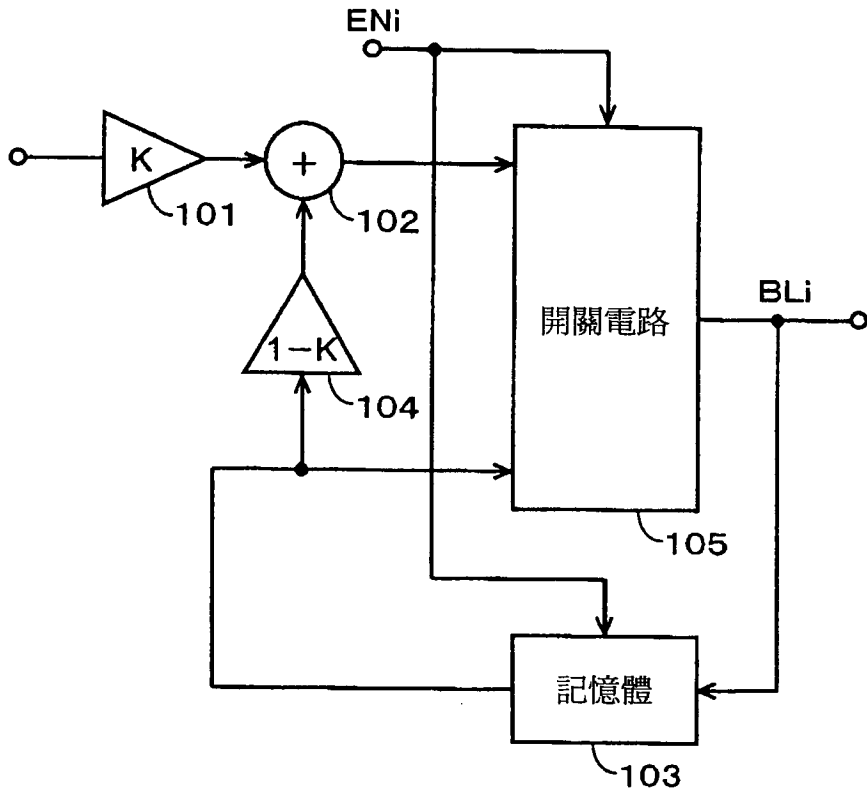


圖9

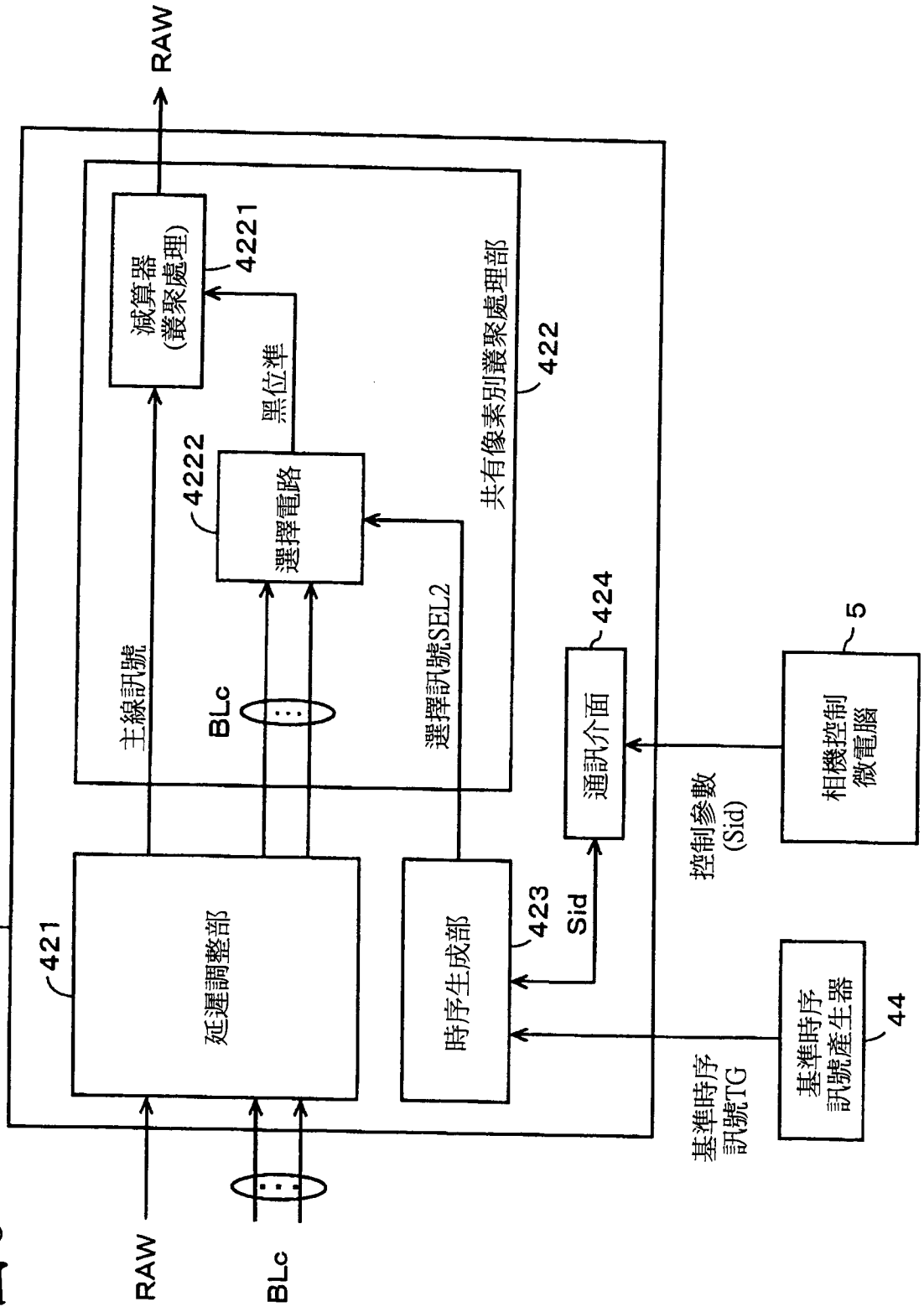


圖 10

INTi

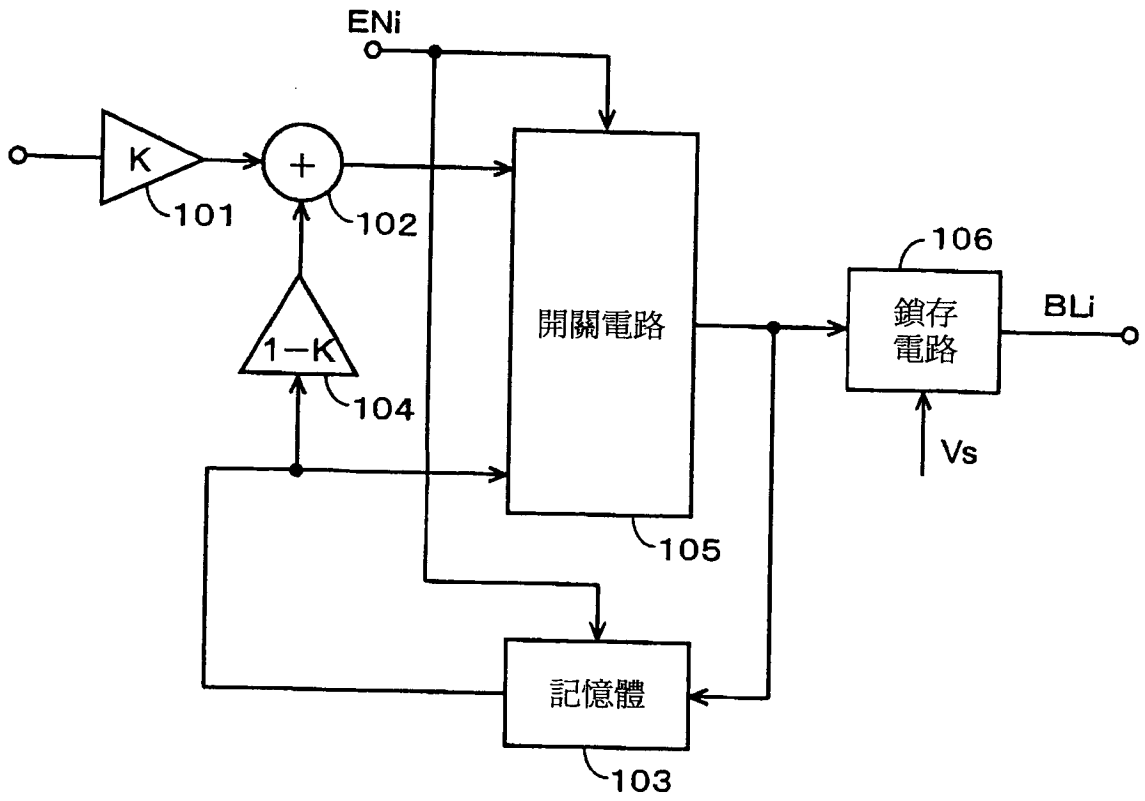


圖11

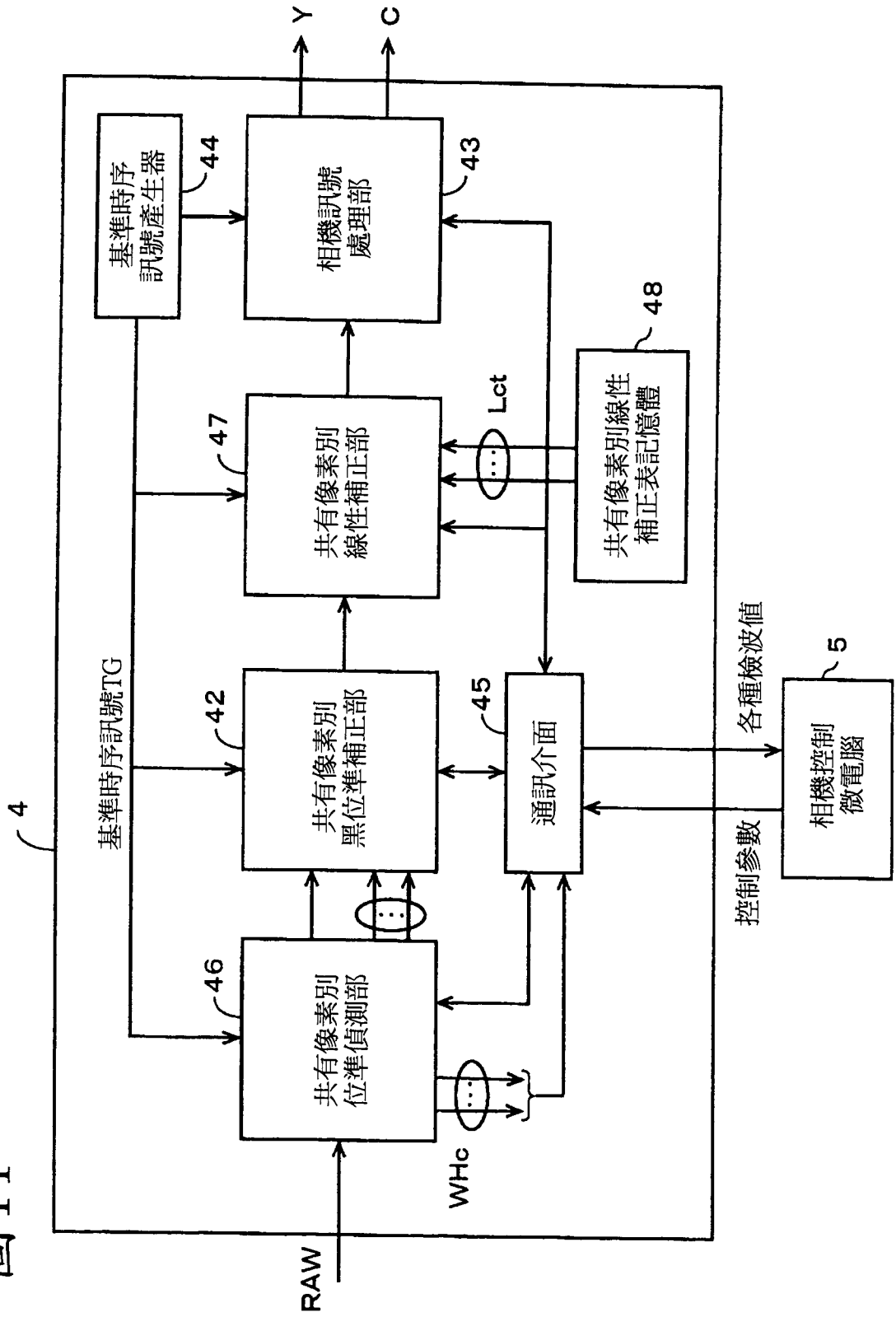


圖12

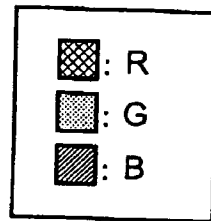
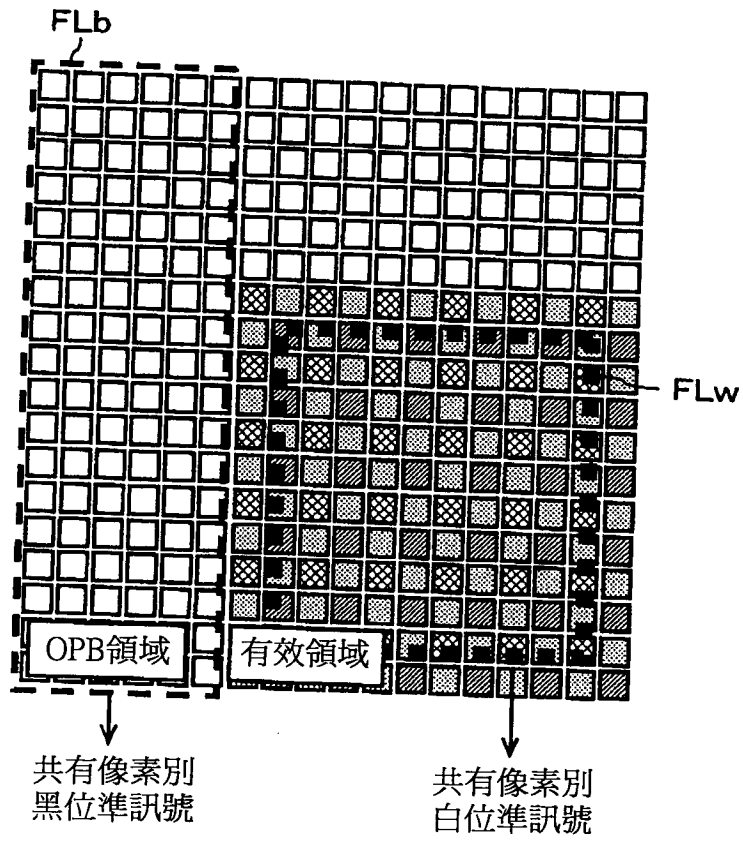
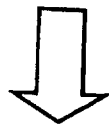
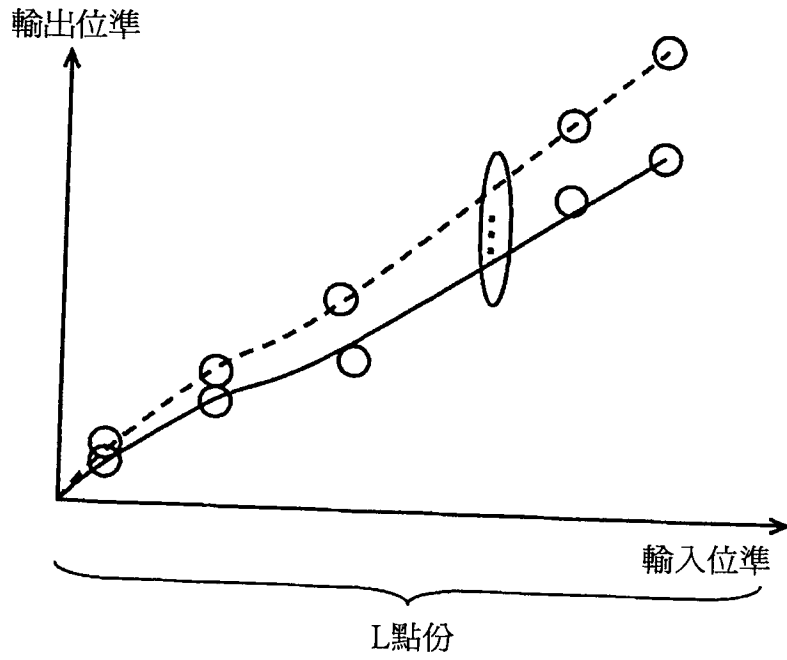


圖 13

(A)



(B)

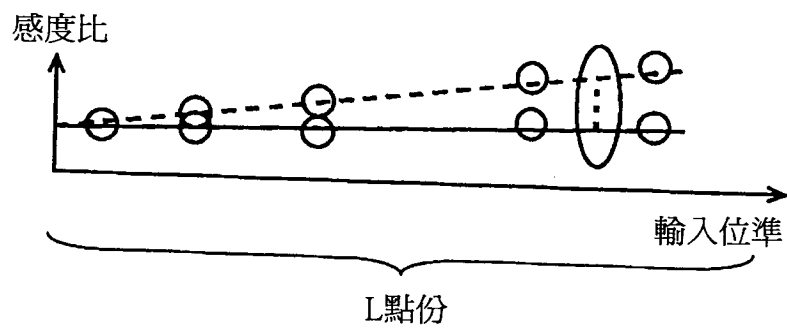


圖14

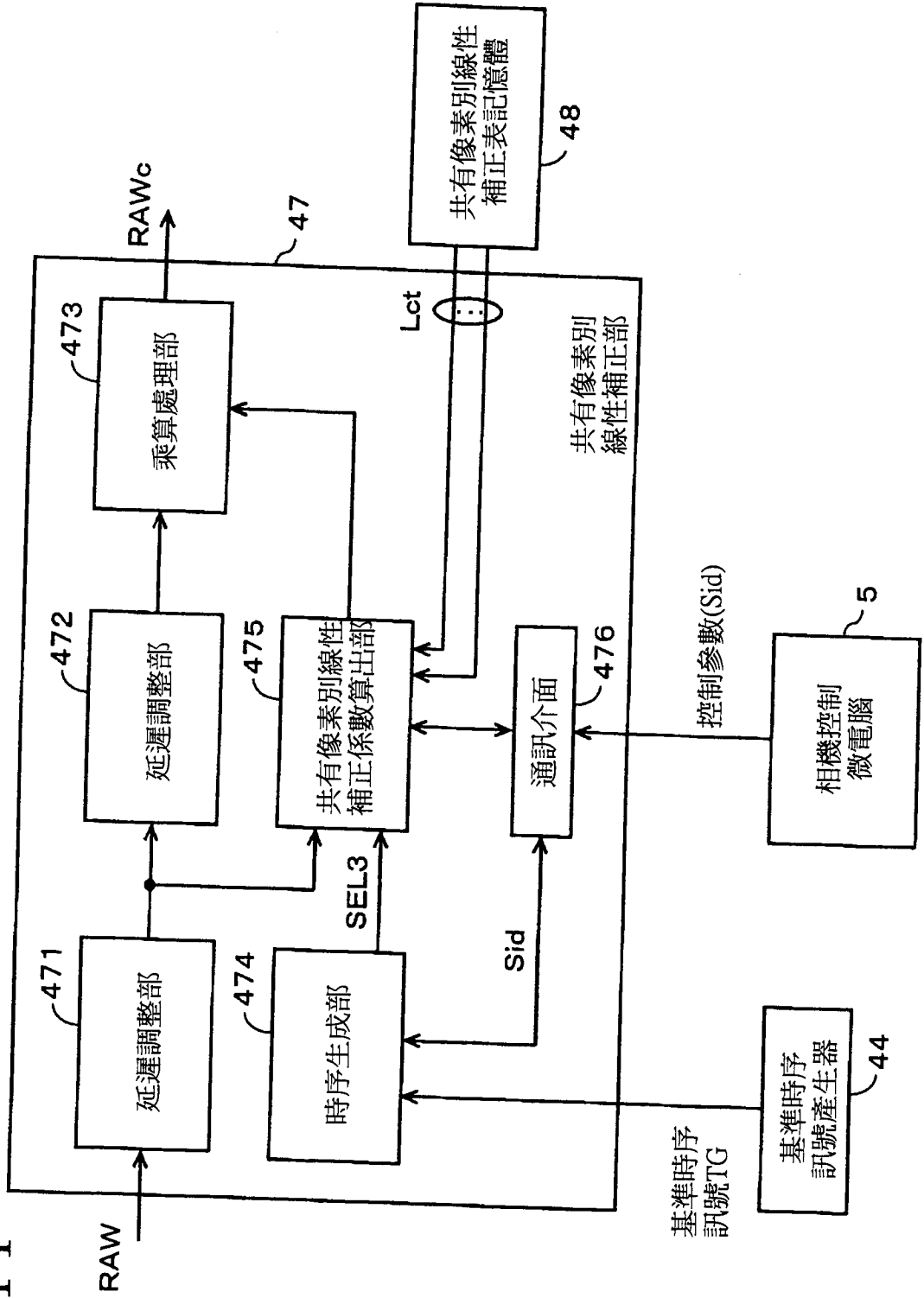
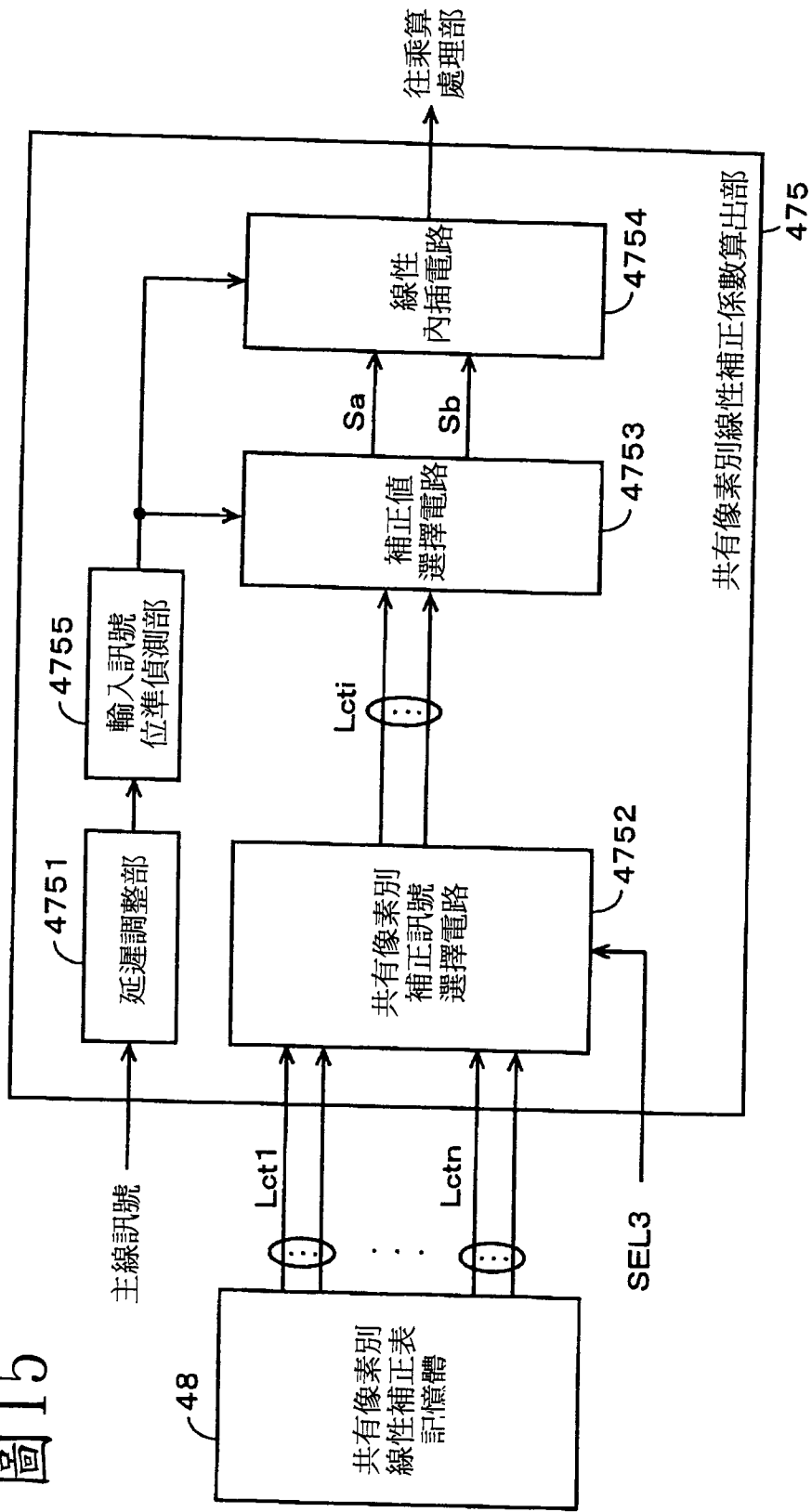
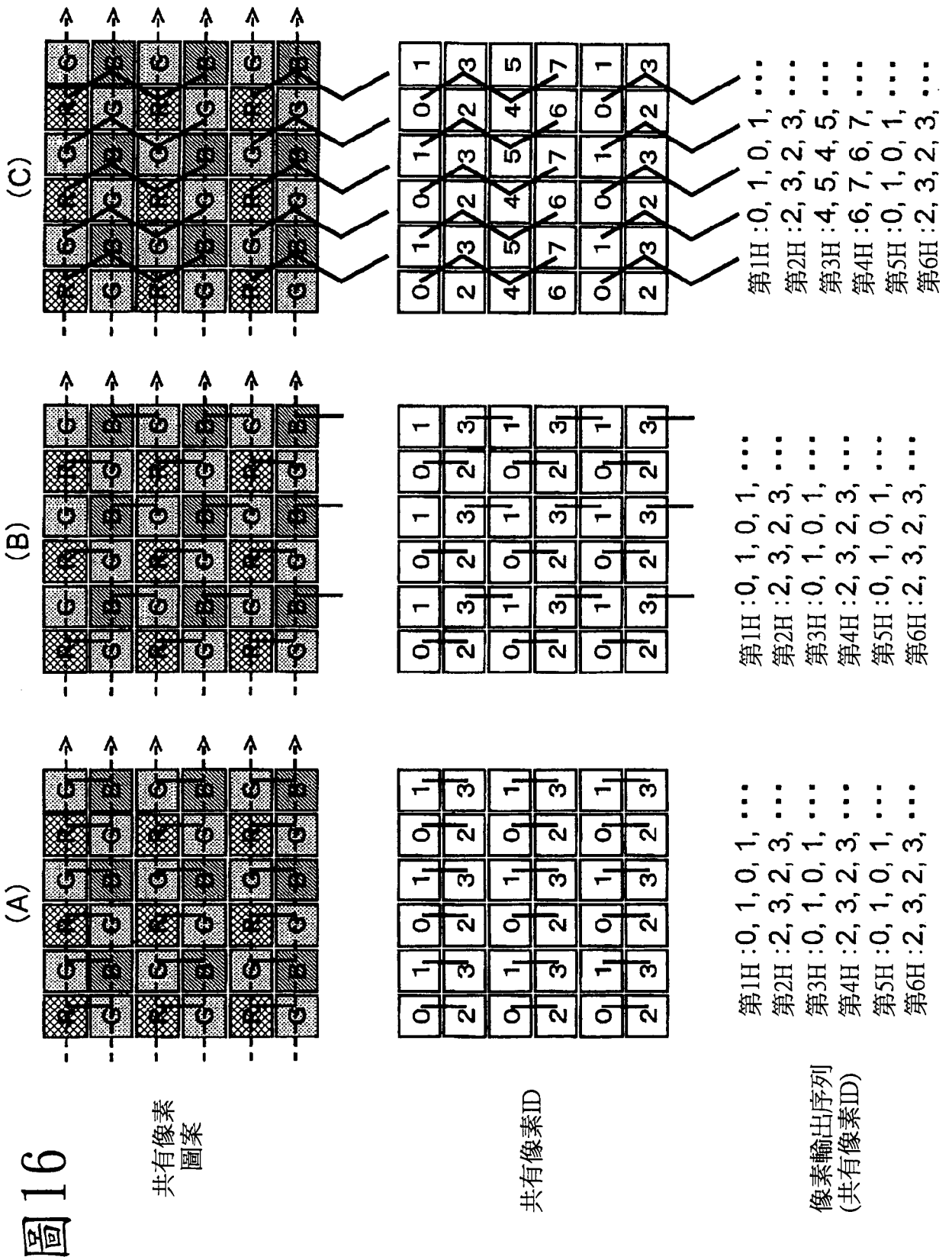


圖15





七、指定代表圖

(一)、本案指定代表圖為：第 ( 5 ) 圖

(二)、本代表圖之元件代表符號簡單說明：

4：數位訊號處理部

5：相機控制微電腦

41：共有像素別黑位準偵測部

42：共有像素別黑位準補正部

43：相機訊號處理部

44：基準時序訊號產生器

45：通訊介面

DET：各種檢波值

Pm：相機訊號處理控制用參數

TG：基準時序訊號

RAW：攝像影像資料

BLc：共有像素別黑位準資訊

Sid：共有像素 ID 設定資訊

Sfl：領域指示資訊

Wk：積分器設定資訊

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：