

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011 年 10 月 13 日(13.10.2011)

PCT

(10) 国際公開番号
WO 2011/125802 A1

(51) 国際特許分類:

H01L 21/28 (2006.01) H01L 23/522 (2006.01)
G09F 9/30 (2006.01) H01L 29/417 (2006.01)
H01L 21/3205 (2006.01) H01L 29/78 (2006.01)
H01L 21/768 (2006.01) H01L 29/786 (2006.01)
H01L 23/52 (2006.01)

(21) 国際出願番号: PCT/JP2011/058141

(22) 国際出願日: 2011 年 3 月 30 日(30.03.2011)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2010-086485 2010 年 4 月 2 日(02.04.2010) JP

(71) 出願人 (米国を除く全ての指定国について): 株式会社神戸製鋼所 (KABUSHIKI KAISHA KOBE SEIKO SHO) [JP/JP]; 〒6518585 兵庫県神戸市中央区脇浜町二丁目 10 番 26 号 Hyogo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 寺尾 泰昭 (TERAO Yasuaki). 森田 晋也 (MORITA Shinya). 三木 綾 (MIKI Aya). 富久 勝文 (TOMIHISA Katsufumi). 後藤 裕史 (GOTO Hiroshi).

(74) 代理人: 小栗 昌平, 外 (OGURI Shohei et al.); 〒1050003 東京都港区西新橋一丁目 7 番 13 号

虎ノ門イーストビルディング 10 階 栄光特許事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

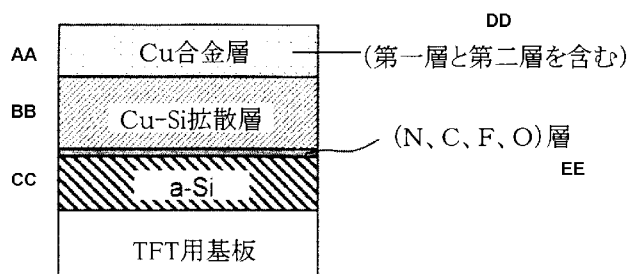
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: WIRING STRUCTURE, DISPLAY DEVICE AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 配線構造、表示装置、および半導体装置

[図1A]



AA Cu Alloy Layer
BB Cu-Si Diffusion Layer
CC Substrate for TFT
DD (Includes a First Layer and a Second Layer)
EE (N, C, F, O) Layer

(57) Abstract: Disclosed is a wiring structure that attains excellent low-contact resistance even if eliminating a barrier metal layer that normally is disposed between a Cu alloy wiring film and a semiconductor layer, and wiring structure with excellent adhesion. The wiring structure is provided with a semiconductor layer, and a Cu alloy layer, on a substrate in this order from the substrate side. A laminated structure is included between the semiconductor layer, and the Cu alloy layer. The laminated structure is composed of a (N, C, F, O) layer which contains at least one element selected from among a group composed of nitrogen, carbon, fluorine, and oxygen, and a Cu-Si diffusion layer which includes Cu and Si, in this order from the substrate side. At least one element selected from among the group composed of nitrogen, carbon, fluorine, and oxygen that composes the (N, C, F, O) layer is bonded to Si in the semiconductor layer. The Cu alloy layer is a laminated structure containing a Cu-X alloy layer (a first layer) and a second layer.

(57) 要約:

[続葉有]



Cu系合金配線膜と半導体層との間に通常設けられるバリアメタル層を省略しても優れた低接触抵抗を発揮し得、さらに密着性に優れた配線構造を提供する。本発明は、基板の上に、基板側から順に、半導体層と、Cu合金層とを備えた配線構造であって、前記半導体層と前記Cu合金層との間に、基板側から順に、窒素、炭素、フッ素、および酸素よりなる群から選択される少なくとも一種の元素を含有する(N、C、F、O)層と、CuおよびSiを含むCu-Si拡散層との積層構造を含んでおり、前記(N、C、F、O)層を構成する窒素、炭素、フッ素および酸素のいずれかの元素は前記半導体層のSiと結合しており、前記Cu合金層は、Cu-X合金層(第一層)と第二層とを含む積層構造である配線構造に関する。

明 細 書

発明の名称：配線構造、表示装置、および半導体装置

技術分野

[0001] 本発明は、液晶ディスプレイ、有機ＥＬディスプレイなどのフラットパネルディスプレイ（表示装置）；ＵＬＳＩ（超大規模集積回路）、ＡＳＩＣ（Ａｐｐｌｉｃａｔｉｏｎ Ｓｐｅｃｉｆｉｃ Ｉｎｔｅｇｒａｔｅｄ Ｃｉｒｃｕｉｔ）、ＦＥＴ（電界効果型トランジスタ）、ダイオードなどの半導体装置；などに適用可能な配線構造に関し、特に配線材料としてＣｕ合金膜を含む配線構造に関するものである。以下では、特に液晶表示装置の薄膜トランジスタにおける配線を例に挙げて説明するが、これに限定する趣旨ではない。

背景技術

[0002] 液晶ディスプレイなどのアクティブマトリクス型液晶表示装置は、薄膜トランジスタ（Thin Film Transistor、以下、ＴＦＴと呼ぶ。）をスイッチング素子とし、透明画素電極と、ゲート配線およびソース・ドレイン配線等の配線部と、アモルファスシリコン（a-Si）や多結晶シリコン（p-Si）などの半導体層を備えたＴＦＴ基板と、ＴＦＴ基板に対して所定の間隔をおいて対向配置され共通電極を備えた対向基板と、ＴＦＴ基板と対向基板との間に充填された液晶層から構成されている。

[0003] ＴＦＴ基板において、ゲート配線やソース・ドレイン配線などの配線材料には、これまでアルミニウム（Ａｌ）合金膜が使用されている。しかし表示デバイスの大型化および高画質化が進むにつれて、配線抵抗が大きいことに起因する信号遅延および電力損失といった問題が顕在化している。そのため配線材料として、Ａｌよりも低抵抗である銅（Ｃｕ）が注目されている。

[0004] 配線材料に純ＣｕまたはＣｕ合金（以下、これらをまとめてＣｕ系合金と呼ぶ。）を用いる場合には、通常、Ｃｕ系合金配線膜とＴＦＴの半導体層との間に、特許文献１～７に記載されているように、Ｍｏ、Ｃｒ、Ｔｉ、Ｗ、

などの高融点金属からなるバリアメタル層が設けられている。これには主に以下の二つの理由が挙げられる。

[0005] 第一に、バリアメタル層を介さずにCu系合金配線膜をTFEの半導体層と直接接触させると、その後の工程（例えば、TFEの上に形成する絶縁層の成膜工程や、シンタリングやアニーリングなどの熱工程）における熱履歴によってCu系合金配線膜中のCuが半導体層中に拡散し、TFE特性が低下したり、Cu系合金配線膜と半導体層とのコンタクト抵抗が増加するなどといったことが挙げられる。

[0006] 第二に、上述したようにCu系合金配線膜中のCuが半導体中に拡散して半導体層とCuとの反応層が形成されると、この反応層の部分からCu系合金配線膜が剥離するという問題がある。すなわちCu合金膜と半導体層を直接接触させると密着性が低下する。

[0007] しかし、このようなバリアメタル層を形成するためには、Cu系合金配線膜形成用の成膜装置に加え、バリアメタル形成用の成膜装置が別途必要になる。具体的には、バリアメタル層形成用の成膜チャンバーをそれぞれ余分に装備した成膜装置（代表的には、複数の成膜チャンバーがトランスファーチャンバーに接続されたクラスツール）を用いなければならず、製造コストの上昇や生産性の低下を招く。

[0008] このような背景の下、上記のようなバリアメタル層を省略した技術として、例えば特許文献8が挙げられる。特許文献8では、Cu系合金膜と半導体層とのダイレクトコンタクト技術として、窒素含有層または酸素窒素含有層とCu系合金膜とからなる材料であって、窒素含有層のN（窒素）、または酸素窒素含有層の窒素または酸素が半導体層のSiと結合している配線構造を開示している。

先行技術文献

特許文献

[0009] 特許文献1：日本国特開平7－66423号公報

特許文献2：日本国特開平8－8498号公報

特許文献3：日本国特開2001-196371号公報

特許文献4：日本国特開2002-353222号公報

特許文献5：日本国特開2004-133422号公報

特許文献6：日本国特開2004-212940号公報

特許文献7：日本国特開2005-166757号公報

特許文献8：日本国特開2008-118124号公報

発明の概要

発明が解決しようとする課題

- [0010] 本発明は上記のような事情に鑑みてなされたものであって、その目的は、Cu系合金配線膜と半導体層との間に通常設けられるバリアメタル層を省略しても優れた低接触抵抗を発揮し得、さらにCu系合金配線膜と半導体層との密着性に優れた配線構造を提供することにある。

課題を解決するための手段

- [0011] 本発明は以下の態様を含む。

[1] 基板の上に、基板側から順に、半導体層と、Cu合金層とを備えた配線構造であって、

前記半導体層と前記Cu合金層との間に、基板側から順に、窒素、炭素、フッ素、及び酸素よりなる群から選択される少なくとも一種の元素を含有する(N、C、F、O)層と、CuおよびSiを含むCu-Si拡散層との積層構造を含んでおり、且つ、前記(N、C、F、O)層を構成する窒素、炭素、フッ素および酸素のいずれかの元素は前記半導体層のSiと結合しており、

前記Cu合金層は、基板側から順に、Zn、Ni、Ti、Al、Mg、Ca、W、NbおよびMnよりなる群から選択される少なくとも一種の合金成分Xを含有するCu-X合金層である第一層と、純Cu、またはCuを主成分とするCu合金であって前記第一層よりも電気抵抗率の低いCu合金からなる層である第二層、とを含む積層構造である配線構造。

[2] 前記Cu-X合金層である第一層におけるX含有量が0.5～20原

子%である[1]に記載の配線構造。

[3] 前記Cu-X合金層である第一層の膜厚が5～150nmであり、Cu合金層全膜厚に対して50%以下である[1]または[2]に記載の配線構造。

[4] 前記Cu-X合金層である第一層の膜厚 x (nm)と、Xの含有量 y (原子%)が、下記(1)式の関係を満たす[1]～[3]のいずれか一つに記載の配線構造。

$$y \geq -0.085x + 8.0 \cdots (1)$$

[5] 前記Cu-Si拡散層は、前記(N、C、F、O)層、半導体層、および前記Cu合金層をこの順序で形成した後、熱履歴を加えることによって得られる[1]～[4]のいずれか一つに記載の配線構造。

[6] 前記半導体層は、水素化アモルファスシリコン、またはアモルファスシリコンである[1]～[5]のいずれか一つに記載の配線構造。

[7] [1]～[6]のいずれか一つに記載の配線構造を有する表示装置。

[8] [1]～[6]のいずれか一つに記載の配線構造を有する半導体装置。

発明の効果

[0012] 本発明によれば、Cu合金層を半導体層と直接接触することが可能なダイレクトコンタクト技術であって、Cu合金層と半導体層とのコンタクト抵抗に優れているだけでなく、生産性も良好であり、プロセスマージンが更に拡大された技術を提供することができる。具体的には、各種プロセス条件のばらつき（装置性能のばらつき、不安定性、予期せぬ汚染、制御しにくい汚染など）の影響を受け難く、また極端に厳しい条件管理も不要であり、プロセス条件の制約を受け難い技術を提供することができる。さらにCu合金層の第一層を、合金成分としてX（Xは、Zn、Ni、Ti、Al、Mg、Ca、W、NbおよびMnよりなる群から選択される少なくとも一種）を含有するCu-X合金層（第一層）とし、第二層を純Cu、またはCuを主成分とするCu合金であって前記第一層よりも電気抵抗率の低いCu合金からなる層としているため、半導体層との密着性の向上および低接触抵抗を実現する

とともに、Cu合金層全体としての電気抵抗率の上昇を抑制することができる。

図面の簡単な説明

[0013] [図1A] 図1Aは、本発明の第1の実施形態に係るTFTの構成を示す概略断面説明図である。

[図1B] 図1Bは、本発明の第1の実施形態に係るTFTの構成を示す概略断面説明図である。

[図1C] 図1Cは、本発明の第1の実施形態に係るTFTの構成を示す概略断面説明図である。

[図2] 図2は、本発明の第2の実施形態に係るTFTの構成を示す概略断面説明図である。

[図3] 図3は、本発明の配線構造の工程を説明する概略工程図である。

[図4] 図4は、本発明の第3の実施形態に係るMOSFETの構成を示す概略断面説明図である。

[図5] 図5は、本発明の第3の実施形態に係る配線構造の各工程を説明する工程図である。

[図6] 図6は、電極間距離と電気抵抗の関係を示すグラフである。

[図7] 図7(a)～(b)は、TLM素子によるコンタクト抵抗の測定原理を説明する図である。

[図8] 図8(a)～(k)は、MOSFETの製造工程を説明する工程図である。

[図9] 図9は、密着性評価試験結果、および第一層の膜厚と第一層中のMn含有量の関係を示したグラフである。

[図10] 図10は、第2の半導体層の厚みとCu合金層全体（第一層+第二層）の電気抵抗率の関係を示したグラフである。

[図11] 図11は、本発明の配線構造を適用したTFTの $I_{ds}-V_g$ 特性を示したグラフである。

発明を実施するための形態

[0014] 本発明は、Cu系合金膜と半導体層とを直接接触することが可能なダイレクタコンタクト技術に関するものである。詳細には、前記特許文献8を基礎とし、主に生産性、および密着性の観点から検討を重ねた結果完成された発明である。なお、特許文献8の内容は、ここに参照として取り込まれる。

[0015] まず、特許文献8の発明では以下のような問題を招くことが判明した。特許文献8に記載の配線構造（窒素含有層または酸素窒素含有層を介して、半導体層とCu系合金膜が直接接触された構成）を得るためには、まず、プラズマCVD装置（真空下）などの半導体層形成用チャンバー内で半導体層および窒素含有層、または酸素窒素含有層を形成し、次いでスパッタリング法などでCu系合金膜を成膜するために専用のチャンバー（真空下）に移し変えることが必要である。本発明者の検討結果によれば、上記の移し変えの際、窒素含有層などの表面が大気に触れるなどして過度に汚染されると、電気的特性（TF特性や、半導体層とCu系合金膜とのコンタクト抵抗）の低下やバラツキの問題を招くことが判明した。そこでこれらの問題を回避するために検討を重ねた結果、下記（I）～（III）の構成に到達した。さらに、密着性、低電気抵抗率、および低コンタクト抵抗の観点から、Cu合金層を下記（III）の構成とすることによって半導体層との密着性に優れたCu合金層を実現できることが明らかとなった。

[0016] （I）本発明における配線構造は、特許文献8に記載の構造とは異なり、図1Aなどに示すように（N、C、F、O）層の上に、CuおよびSiを含有するCu-Si拡散層が形成された積層構造を有しているところに大きな特徴を有している。このCu-Si拡散層は図3の概略工程図に示すように、窒素含有層などに代表される（N、C、F、O）層を形成した後、半導体層、Cu合金層を順次形成した時点で得られるものであるが、好ましくはその後、TFの製造工程で加えられる熱履歴によってさらにその形成が促進され、おおむね150℃以上（好ましくは、180℃以上）の熱処理によってCu系合金膜中のCuが半導体層中のSiに拡散して得られる。このようにして得られるCu-Si拡散層は、Cu合金層中のCuと、半導体層のS

iによって構成され、(N、C、F、O)層を大気から保護するカバー層として作用する。このCu-Si拡散層は図1Aなどに示すように、(N、C、F、O)層の上に直接形成されても良いが、これに限定されない。

[0017] 本発明の配線構造を製造する方法は、特許文献8のように窒素含有層の上に直接Cu合金層を成膜するのではなく、図3の概略工程図に示すように、窒素含有層などに代表される(N、C、F、O)層を形成した後、同じチャンバー内で引続き連続して、当該(N、C、F、O)層の上に半導体層を更に成膜したところに特徴がある。この方法を行ってから、次いで、特許文献8と同様にCu合金膜専用チャンバーに移し変えてCu系合金膜を成膜し、その後は公知の方法でTFTを製造すると、上記の半導体層は、その後の熱履歴によってCu-Si拡散層に変化し、(N、C、F、O)層が汚染されることによるTFT特性の低下およびコンタクト抵抗の上昇、またはこれらのバラツキといった問題が解消され、その結果、TFTの半導体層とCu系合金膜を直接かつ確実に、良好な電気的特性を有するダイレクトコンタクト技術を提供できる。

[0018] (I I) 本発明では、Cu合金層とTFT基板の上に直接形成される半導体層との相互拡散防止作用を有するバリア層として(N、C、F、O)層を開示している。特許文献8では前記バリア層として窒素含有層、および酸素窒素含有層を開示したが、その後の本発明者の研究により、上記の作用は炭素やフッ素を含有する層も同様の作用を発揮し得ること、より詳細には窒素、炭素、フッ素、および酸素よりなる群から選択される少なくとも一種の元素を含有する(N、C、F、O)層は全て、窒素含有層や酸素窒素含有層と実質的に同様の結果が得られることを実験により確認している。このように本発明では、(N、C、F、O)層をバリア層として用いている点で、特許文献8の技術を更に発展させたものである。

[0019] (I I I) 本発明におけるCu合金層は、第一層と第二層を含む積層構造としており、第一層は合金成分としてX(Xは、Zn、Ni、Ti、Al、Mg、Ca、W、NbおよびMnよりなる群から選択される少なくとも一種

）を含有するCu-X合金層としている。本発明において、半導体層と直接接触する第一層は、密着性向上に寄与する合金元素を含むCu合金で構成されており、これにより、半導体層との密着性が向上する。またこれらX元素は、Cu合金層と半導体層とのコンタクト抵抗を上昇させることがない。一方、上記第一層の上に積層される第二層は、電気抵抗率の低い元素（純Cu、または純Cuと同程度の低電気抵抗率を有するCu合金）で構成されており、これにより、Cu合金層全体の電気抵抗率の低減を図っている。すなわち、本発明で規定する上記積層構造とすることにより、電気抵抗率がA1に比べて低いというCu本来の特性を有効に最大限に発揮させつつ、しかもCuの欠点であった半導体層との低密着性も解消することができる。

[0020] 以下、本発明を詳細に説明する。上述したように本発明は特許文献8の技術を基礎としてさらに改良を加えた技術であり、窒素含有層等の形成方法等については特許文献8を参照すれば良い。本明細書では、特許文献8との相違点を重点的に説明することとする。

[0021] まず、図1A～図1C、図2を参照しながら、本発明の配線構造およびその製造方法について説明する。本発明の配線構造は、基板の上に、基板側から順に、半導体層と、Cu合金層とを備えた配線構造であって、半導体層とCu合金層との間に、基板側から順に窒素、炭素、フッ素、および酸素よりなる群から選択される少なくとも一種の元素を含有する（N、C、F、O）層と、CuおよびSiを含むCu-Si拡散層との積層構造を含んでいる。このような積層構造は半導体層とCu合金層との間に少なくとも設けられていれば良く、例えば図1A～図1Cに示すように半導体層の上に直接、上記の積層構造を有していてもよい。また図2に示すように（N、C、F、O）層は複数有していても良く、基板側から順に、半導体層、（N、C、F、O）層、半導体層を有し、その上に上記の積層構造を有する実施形態も本発明の範囲に包含される。本発明はこれらの実施形態に限定されない。

[0022] 以下、図面を参照しながら本発明にかかる配線構造の第1～第3の実施形態を詳しく説明する。本発明の配線構造は、ソース・ドレイン電極やTAB

接続電極などに用いることができ、液晶ディスプレイ、有機ＥＬディスプレイなどの表示装置や、ＵＬＳＩ、ＡＳＩＣ、ＦＥＴ、ダイオードなどの半導体装置にも適用可能である。以下では、本発明の配線構造が適用される表示装置の代表例としてＴＦＴの実施形態１～２を、半導体層の代表例としてＭＯＳＦＥＴの実施形態３を用いて説明するが、これらに限定する趣旨ではない。また、半導体層の種類は水素化アモルファスシリコン、アモルファスシリコン、微結晶シリコン、多結晶シリコン、または単結晶シリコンのいずれであっても良い。

[0023] なお、以下では（Ｎ、Ｃ、Ｆ、Ｏ）層の上に成膜された半導体層であってその後の熱履歴によって最終的に当該（Ｎ、Ｃ、Ｆ、Ｏ）層を大気から保護し得るＣｕ－Ｓｉ拡散層に変化し得る半導体層を「第２の半導体層」と呼び、ＴＦＴ用基板の上に直接形成される半導体層を「第１の半導体層」と呼ぶ。

[0024] （本発明の第１の実施形態）

本発明に係るＴＦＴの第１の実施形態を図１Ａに示す。図１Ａは、ＴＦＴ用基板の上に第１の半導体層を有し、その上に直接（Ｎ、Ｃ、Ｆ、Ｏ）層とＣｕ－Ｓｉ拡散層とからなる２層の積層構造を有しており、その上に直接Ｃｕ合金層（第一層と第二層を含む）が形成された構造を有している。図１Ａの構造は、（Ｎ、Ｃ、Ｆ、Ｏ）層を形成した後、第２の半導体層、次いでＣｕ合金層（積層構造）を形成し、その後に約１５０℃以上の熱履歴を加えることによって得られる。

[0025] 第１の実施形態において、（Ｎ、Ｃ、Ｆ、Ｏ）層は窒素、炭素、フッ素、および酸素の少なくとも１種の元素を含有している。この（Ｎ、Ｃ、Ｆ、Ｏ）層は半導体層の表面全体をほぼ覆うように形成されているため、Ｃｕ合金層と第１の半導体層との界面におけるＣｕとＳｉの相互拡散を防止するためのバリアとして有効に作用する。好ましくは窒素含有層である。詳細には、上記層を構成する窒素、炭素、フッ素、酸素は第１の半導体層のＳｉと結合し、主にＳｉ窒化物、Ｓｉ炭化物、Ｓｉフッ化物、Ｓｉ酸化物を主に含有し

ている。ここで、S i 窒化物、S i 炭化物、およびS i フッ化物は更に酸素を含有していてもよく、例えばS i 窒化物は酸素を更に含有するS i の酸窒化物の複合化合物も含み得る。S i の酸窒化物などの酸素含有複合化合物は、例えば、窒素含有層の形成過程などで不可避免的に導入させる酸素（O）と結合して得られる。

[0026] ここで、（N、C、F、O）層に含まれる窒素原子、炭素原子、フッ素原子、酸素原子の面密度の合計は、第1の半導体層材料（代表的にはS i）の有効ボンドの面密度と同じか、該有効ボンドの面密度よりも高い面密度を有していることが好ましい。Cu合金層と第1の半導体層との相互拡散を防止するためには、半導体層の表面を窒素含有層などの（N、C、F、O）層で覆う必要がある。この場合、半導体層表面に存在する未結合手（ダングリングボンド）は、上記層を構成する各元素と結合していることが好ましい。「有効ボンド」とは、窒素原子、炭素原子、フッ素原子、酸素原子の立体障害も考慮したうえで、半導体層表面に配置し得る結合手を意味し、「有効ボンドの面密度」とは、半導体層の表面全体を（N、C、F、O）層で覆ったときの面密度を意味する。有効ボンドの面密度は、半導体材料の種類などによって異なるが、例えば、シリコンの場合、結晶の面方位によっても若干相違するが、おおむね、 $10^{14} \text{ cm}^{-2} \sim 2 \times 10^{16} \text{ cm}^{-2}$ の範囲内にある。

[0027] 具体的には、例えば、窒素含有層がS i 窒化物を主に含有している場合、およびS i 窒化物を主に含有し、S i の酸窒化物を更に含有している場合のいずれにおいても、窒素含有層の窒素は、第1の半導体層と接触する界面において、 10^{14} cm^{-2} 以上 $2 \times 10^{16} \text{ cm}^{-2}$ 以下の面密度（N1）を有していることが好ましい。所望のTFET特性などを確保するためには、窒素含有層の窒素の面密度の下限は、 $2 \times 10^{14} \text{ cm}^{-2}$ がより好ましく、 $4 \times 10^{14} \text{ cm}^{-2}$ がさらにより好ましい。同様に炭素含有層の炭素は、半導体層と接触する界面において、 10^{14} cm^{-2} 以上 $2 \times 10^{16} \text{ cm}^{-2}$ 以下の面密度（C1）を有していることが好ましく、 $2 \times 10^{14} \text{ cm}^{-2}$ 以上がより好ましく、 $4 \times 10^{14} \text{ cm}^{-2}$ 以上がさらにより好ましい。また、フッ素含有層のフッ素も

上記と同様に、第1の半導体層と接触する界面において、 $1.0 \times 10^{14} \text{ cm}^{-2}$ 以上 $2 \times 10^{16} \text{ cm}^{-2}$ 以下の面密度 (F1) を有していることが好ましく、 $2 \times 10^{14} \text{ cm}^{-2}$ 以上がより好ましく、 $4 \times 10^{14} \text{ cm}^{-2}$ 以上がさらにより好ましい。同様の観点から、酸素含有層の酸素も上記と同様に、第1の半導体層と接触する界面において、 $1.0 \times 10^{14} \text{ cm}^{-2}$ 以上 $2 \times 10^{16} \text{ cm}^{-2}$ 以下の面密度 (O1) を有していることが好ましく、 $2 \times 10^{14} \text{ cm}^{-2}$ 以上がより好ましく、 $4 \times 10^{14} \text{ cm}^{-2}$ 以上がさらにより好ましい。

[0028] (N、C、F、O) 層は、Si-N結合、Si-C結合、Si-F結合、Si-O結合を含む層を少なくとも一層以上有していればよい。ここで、Si-N結合のSiとNとの距離 (原子間隔) は約0.18 nmであり、実質的には0.2 nm以上が好ましく、0.3 nm以上がより好ましい。ただし、窒素含有層の窒素の面密度 (N1) が高くなり過ぎると、窒素含有層に含まれる絶縁性のSi窒化物も多くなり、電気抵抗が上昇し、TFT性能が劣化するおそれがある。窒素含有層の窒素の面密度の上限は、 $1 \times 10^{16} \text{ cm}^{-2}$ であることがより好ましい。同様の観点から、Si-C結合のSiとCとの距離 (原子間隔) は約0.19 nmであり、実質的には0.2 nm以上が好ましく、0.3 nm以上がより好ましい。また、炭素含有層の炭素の面密度の上限は、 $1 \times 10^{16} \text{ cm}^{-2}$ であることがより好ましい。同様の観点から、Si-F結合のSiとFとの距離 (原子間隔) は約0.16 nmであり、実質的には0.18 nm以上が好ましく、0.25 nm以上がより好ましい。また、フッ素含有層のフッ素の面密度の上限は、 $1 \times 10^{16} \text{ cm}^{-2}$ であることがより好ましい。さらに、Si-O結合のSiとOとの距離 (原子間隔) は約0.13 nmであり、実質的には0.15 nm以上が好ましく、0.2 nm以上がより好ましい。酸素含有層の酸素の面密度の上限は $1 \times 10^{16} \text{ cm}^{-2}$ であることがより好ましい。

[0029] 前述した (N、C、F、O) 層の窒素の面密度 (N1)、炭素の面密度 (C1)、フッ素の面密度 (F1)、酸素の面密度 (O1) は、例えば、RBS (Rutherford Backscattering Spectrometry)

e t r y、ラザフォード後方散乱分光)法を用いて算出することができる。

[0030] なお、(N、C、F、O)層が、Oを除く(N、C、F)層であって、且つSiの酸窒化物などのように酸素含有化合物を含む場合(例えば、Si窒化物のほかにSiの酸化物を更に含有している場合)、上記層を構成する各元素の面密度の合計は上記要件を満足していると共に、各元素の面密度(N_1 、 C_1 、 F_1)と酸素の面密度(O_1)との比の合計($N_1 + C_1 + F_1$) / O_1 は1.0以上であることが好ましく、これにより、TFT特性が一層高められる。Siの窒化物などの窒素含有化合物や、Siの酸窒化物などの酸素含有化合物は、本来、絶縁物であるが、(N、C、F、O)層の厚さは、後記するように、おおむね、0.18nm以上5nm以下と極めて薄いため、電気抵抗を低く抑えられる。

[0031] 本発明者の実験結果によれば、TFT特性は($N_1 + C_1 + F_1$) / O_1 の比によって影響を受け、より優れたTFT特性を得るためには、($N_1 + C_1 + F_1$) / O_1 の比を1.0以上と大きくすれば良いことが判明した。
($N_1 + C_1 + F_1$) / O_1 の比が大きくなると、(N、C、F、O)層中の抵抗成分が少なくなるため、良好なトランジスタ特性が得られると考えられる。(N、C、F、O) / O_1 の比は大きい程よく、例えば、1.05以上であることがより好ましく、1.1以上であることが更に好ましい。

[0032] ($N_1 + C_1 + F_1$) / O_1 の比は、例えば、プラズマ窒化法を用いて窒素含有層を形成するに当たり、プラズマのガス圧力やガス組成、処理温度などのプラズマ発生条件を適切に制御することによって調節することができる。

[0033] (N、C、F、O)層の厚さは、おおむね、0.18nm以上5nm以下の範囲内であることが好ましい。前述したように、(N、C、F、O)層は、Cu合金層と第1の半導体層との界面におけるCuとSiとの相互拡散を防止するためのバリア層として有用であるが、(N、C、F、O)層は絶縁体となり易いため、厚くなり過ぎると電気抵抗が極度に高くなるほか、TFT性能が劣化する。(N、C、F、O)層の厚さを上記範囲内に制御するこ

とにより、(N、C、F、O)層の形成による電気抵抗の上昇を、TFT性能に悪影響を及ぼさない範囲内に抑えられる。(N、C、F、O)層の厚さは、おおむね、3 nm以下であることがより好ましく、2 nm以下がさらに好ましく、1 nm以下であることがさらに好ましい。(N、C、F、O)層の厚さは、種々の物理分析手法によって求めることができ、例えば、前述のRBS法のほか、XPS(X線光電子分光分析)法、SIMS(二次イオン質量分析)法、GD-OES(高周波グロー放電発光分光分析)法などを利用することができる。なお、上記(N、C、F、O)層の厚さの上限と下限を任意に組み合わせてその範囲とすることもできる。

[0034] (N、C、F、O)層を構成する各元素の原子数とSi原子数との比((N、C、F、O)/Si)の最大値は、0.5以上1.5以下の範囲内であることが好ましい。これにより、TFT特性を劣化させることなく、(N、C、F、O)層によるバリア作用を有効に発揮させることができる。上記の比の最大値は、0.6以上であることがより好ましく、0.7以上であることがさらに好ましい。上記の比は、例えば、プラズマ照射時間をおおむね5秒間から10分間の範囲内に制御することによって調節することができる。上記の比は、(N、C、F、O)層の深さ方向の元素(N、C、F、OおよびSi)をRBS法によって分析することによって算出される。なお、上記比の最大値の上限と下限を任意に組み合わせてその範囲とすることもできる。

[0035] 上記の(N、C、F、O)層を形成するためには、第1の半導体層を形成した後、窒素、炭素、フッ素、酸素の少なくともいずれかを第1の半導体層表面に供給すれば良い。具体的には、これらのいずれかを含有するプラズマを利用して上記の層を形成することができる。あるいは、窒素含有層を、熱窒化法やアミノ化法を用いて形成しても良い。

[0036] 以下、プラズマを利用する方法について詳細に説明する。プラズマは、窒素、炭素、フッ素、酸素の少なくともいずれかを含有するガスを用いることができる。利用可能なガスとしては、 N_2 、 NH_3 、 N_2O 、NOなどの窒素含

有ガス； NF_3 などの窒素・フッ素含有ガス； CO 、 CO_2 、炭化水素系ガス（例えば CH_4 、 C_2H_4 、 C_2H_2 など）などの炭素含有ガス；炭化フッ素系ガス（例えば CF_4 、 C_4F_8 など）、 CHF_3 などの炭素・フッ素含有ガス；酸素（ O_2 ）のほか、酸素原子を含む酸化ガス（例えば、 O_3 など）などの酸素含有ガスなどが挙げられる。これらのガスを単独または混合ガスとして利用することができる。

[0037] また、上記のガスを含有するプラズマ源から窒素、炭素、フッ素、酸素の少なくともいずれかを半導体層表面に供給する方法としては、例えば、プラズマ源の近傍に半導体層を設置させて行う方法が挙げられる。ここで、プラズマ源と半導体層との距離は、プラズマ種、プラズマ発生のパワー、圧力、温度などの各種パラメータに応じて適宜設定すればよいが、一般的にはプラズマに接触した状態から数 $\text{cm} \sim 10\text{cm}$ の距離を利用できる。このようなプラズマ近傍では、高いエネルギーを有した原子が存在しており、この高エネルギーによって半導体層表面に窒素、炭素、フッ素、酸素などを供給することで、半導体表面に窒化物、炭化物、フッ化物、酸化物などを形成することができる。

[0038] 上記方法のほかに、例えば、イオン注入法を利用しても良い。この方法によれば、電界によってイオンが加速され長距離の移動が可能のため、プラズマ源と半導体層との距離を任意に設定することができる。この方法は、専用のイオン注入装置を用いることによって実現可能であるが、プラズマイオン注入法が好ましく用いられる。プラズマイオン注入法は、プラズマ近傍に設置された半導体層に負の高電圧パルスを印加することによってイオン注入を一行に行なう技術である。

[0039] 酸素については上記方法の他に、半導体層表面のUV照射を行うと、反応性の高いオゾンが発生して半導体表面を酸化させるため、半導体層に酸素を供給することができる。また、半導体表面について過酸化水素水、硝酸等の酸浸漬処理を行っても酸素を供給可能である。

[0040] （N、C、F、O）層を形成するに当たっては、製造工程の簡略化や処理

時間の短縮化などの観点から、上記層の形成に用いる装置やチャンバー、温度やガス組成を、以下のように制御して行なうことが好ましい。

- [0041] まず、装置は、製造工程の簡略化のため、半導体層形成装置と同一装置で行うことが好ましく、同一装置の同一チャンバーで行うことがより好ましい。これにより、装置間もしくは装置内で、処理対象のワークが余分に移動する必要がなくなる。温度に関しては、半導体層の成膜温度と実質的に同じ温度（約±10℃の範囲を含み得る。）で行うことが好ましく、これにより、温度変動に伴う調節時間を省略することができる。
- [0042] また、ガス組成に関しては、（i）窒素、炭素、フッ素、および酸素よりなる群から選択される少なくとも一種の元素を含有するガス（前述した窒素含有ガス、炭素含有ガス、フッ素含有ガス、酸素含有ガスなど）を用いて（N、C、F、O）層を形成しても良いし、または（ii）窒素、炭素、フッ素、および酸素よりなる群から選択される少なくとも一種の元素を含有するガスと、半導体層形成に用いられる原料ガスとの混合ガスを用いて（N、C、F、O）層を形成しても良いし、または（iii）窒素、炭素、フッ素、および酸素よりなる群から選択される少なくとも一種の元素を含有するガスと、還元性ガスとの混合ガスを用いて（N、C、F、O）層を形成しても良い。例えば、窒素含有層を形成する場合、上記（i）のように少なくとも窒素を含有する窒素含有ガス（ N_2 、 NH_3 、 NF_3 など）のみを用いて行っても良いが、上記（ii）のように、窒素含有ガスと、半導体層形成に用いられる原料ガス（ SiH_4 ）との混合ガスであることが好ましい。窒素含有ガスのみを用いて窒素含有層を形成すると、半導体層の形成後、チャンバー内をパージするために、使用した半導体層形成用ガスを全て一旦排除する必要があるが、上記のように混合ガスの条件下で行なえば、ガスを排除する必要はなくなるため、処理時間を短縮できる。
- [0043] 上記（ii）において、窒素、炭素、フッ素、および酸素よりなる群から選択される少なくとも一種の元素を含有するガス（以下「（N、C、F、O）ガス」と略称する、特に窒素含有ガス）と、半導体層形成に用いられる原

料ガス（以下「半導体原料ガス」と略称する）との流量比（（N、C、F、O）ガス／半導体原料ガス）は、好ましくは0.10以上1.5以下に制御することが好ましく、これにより、上記処理時間の短縮効果が有効に発揮されるほか、バリア層の絶縁性が上昇し、TFT特性（オン電流・オフ電流）の低下やコンタクト抵抗の上昇を防止できる。（N、C、F、O）ガスが少なすぎるとCuとSiの相互拡散防止効果が有効に発揮されないおそれがあり、逆に（N、C、F、O）ガスが多すぎると該薄膜層内の結合が不安定となるおそれがある。（（N、C、F、O）ガス／半導体原料ガス）のより好ましい流量比は、0.3以上1.0以下であり、さらに好ましい流量比は0.5以上1.0以下である。なお、上記流量比の上限と下限を任意に組み合わせてその範囲とすることもできる。

[0044] あるいは、ガス組成は、上記（i i i）のように、前述した窒素含有ガスと、還元性元素含有ガスとの混合ガスであることが好ましく、これにより、半導体層の酸化が一層有効に抑えられる。還元性元素としては、例えば、NH₃やH₂などが挙げられる。このうち、NH₃は、還元作用を有するだけでなく窒素含有ガスとしても作用するため、単独で用いることもできるが、H₂と混合して用いることもできる。

[0045] Cu-Si 拡散層は、上述した通り、Cu合金層を成膜した時点で得られ、好ましくはその後TFTの製造工程で加えられる熱履歴によってさらにその形成が促進されるものであり、Cu合金層中のCuが第2の半導体層中のSiに拡散することによって得られる。該Cu-Si 拡散層は、上記（N、C、F、O）層を大気による汚染から保護する作用を有する。Cu-Si 拡散層の厚さは、必要とされるTFT特性などに応じて適宜調整することが好ましく、0.2 nm以上200 nm以下とすることが好ましい。詳細には、Cu-Si 原子一層分に相当する厚さ（約0.2 nm程度）よりも厚ければよく、TFT製造の観点からはできるだけ薄いほうが良いという趣旨から200 nm以下が好ましい。

[0046] 第2の半導体層は、上述した通り、Cu合金層中のCuが拡散してCu-

S i 拡散層を形成することによって上記（N、C、F、O）層を大気による汚染から保護する作用を有するものであるが、その膜厚が厚くなりすぎると、C u合金層全体（第一層＋第二層）の電気抵抗率が上昇してしまうおそれがある。このような電気抵抗率の観点から、第2の半導体層の膜厚は45nm以下とすることが好ましい。

[0047] 次に、本発明に用いられるC u合金層について説明する。本発明のC u合金層は、基板側から順に第一層と第二層とを含む積層構造である。

[0048] 第一層について

第一層は、合金成分としてX（Xは、Z n、N i、T i、A l、M g、C a、W、N bおよびM nよりなる群から選択される少なくとも一種）を含有するC u－X合金層である。このような第一層とすることによってバリアメタル層を介在させなくても半導体層（C u－S i 拡散層に変化する半導体層も含む趣旨であり、よって第1の半導体層と第2の半導体層の両方を含む。以下、本発明におけるC u合金層と半導体層との密着性について述べる場合は同じ。）との密着性が向上できるとともに、半導体層との低接触抵抗を達成することができる。これらのX元素は、C u金属には固溶するがC u酸化膜には固溶しない元素として選択したものである。これらの元素が固溶しているC u合金が成膜過程の熱処理によって酸化されると、上記元素は拡散して粒界や界面に濃化し、該濃化層によって半導体層との密着性が向上すると考えられる。またこれら元素は、C uを用いた場合の有用性（C u自体の低電気抵抗、および低接触抵抗）は何ら阻害することなく上記密着性を発揮できる。

[0049] 上述したX元素のうち好ましいのはM n、N iであり、より好ましいのはM nである。特にM nは密着性に優れている。M nは上述した界面での濃化現象が非常に強く発現される元素であり、C u合金成膜時または成膜後の熱処理（例えば、S i N膜の絶縁膜を成膜する工程といった表示装置の製造過程における熱履歴を含む）によって膜の内側から外側に向かって移動する。界面へのM nの移動は、熱処理による酸化によって生成するM n酸化物が駆

動力になって、更に一層促進される。その結果、半導体層との密着性が向上する。

[0050] Cu-X合金層（第一層）におけるX含有量は0.5～20原子%であることが好ましい。X元素として上記した元素を単独で用いる場合は単独の量が上記範囲を満たしていれば良く、2種以上を含有する場合は合計量が上記範囲を満足すれば良い。X含有量が0.5原子%未満であると、半導体層との密着性と低接触抵抗が実現できないおそれがある。一方、X含有量が20原子%を超えるとCu-X合金膜の電気抵抗が高くなる結果、接触抵抗が高くなるおそれがある。X含有量の好ましい範囲は5～15原子%である。なお、上記X含有量の上限と下限を任意に組み合わせてその範囲とすることもできる。

[0051] また、Cu-X合金層（第一層）の膜厚は5～150nmであることが好ましく、Cu合金層全膜厚に対して50%以下であることが好ましい。膜厚が5nm未満であると、TFTの製造プロセスにおける熱処理過程で、後記する第二層のCu原子がCu-X合金層（第一層）を容易に通過して半導体層に到達し、その結果Cu-Si拡散層の膜厚が厚くなりすぎて接触抵抗が高くなるおそれがある。また、膜厚が5nm未満であると密着性が確保できないおそれがある。一方、膜厚が150nmを超えるか、またはCu合金層全膜厚に対する割合が50%を超えるとCu合金層全体（第一層+第二層）の電気抵抗が高くなり、配線からの発熱の問題が深刻となるおそれがある。Cu-X合金層（第一層）の好ましい膜厚は20～100nmであり、より好ましい膜厚は20～60nmである。なお、上記Cu-X合金層の膜厚の上限と下限を任意に組み合わせてその範囲とすることもできる。

[0052] さらに、密着性向上効果を最大限に発揮するためには、X元素の含有量と第一層の膜厚を別々に制御するのではなく、相互に関連付けて制御することが好ましい。本発明者らの実験結果によれば、半導体層との密着性は、第一層に存在するX元素の総量と密接に関連していることが判明したからである。すなわち、X元素の含有量が少ない場合は膜厚を厚くするのが好ましく、

膜厚が薄い場合はX元素の含有量を多くするのが好ましい。より具体的には、上記したCu-X合金層（第一層）におけるXの含有量 y （原子%）と、Cu-X合金層（第一層）の膜厚 x （nm）は下記（1）式の関係を満たすことが好ましい。

$$y \geq -0.085x + 8.0 \cdots (1)$$

上記（1）式の関係を満たさない場合は、密着性が不十分となるおそれがある。密着性についていえば上記（1）式を満たす限り膜厚が厚いほど良いが、上記したように膜厚が厚くなりすぎるとCu合金層全体の電気抵抗が高くなるおそれがあるため、密着性と電気抵抗のバランスを考慮して膜厚を適切に制御することが好ましい。

[0053] Cu-X合金層（第一層）を構成するCu-X合金は、さらにFeおよび/またはCoを合計（単独の場合は単独の量）で、0.02～1.0原子%含有していても良く、これにより低い電気抵抗率を達成するとともに、半導体層との密着性が向上する。好ましい含有量は0.05原子%以上0.8原子%以下であり、より好ましくは0.1原子%以上0.5原子%以下である。なお、上記Feおよび/またはCoの含有量の上限と下限を任意に組み合わせてその範囲とすることもできる。

[0054] 第二層について

本発明におけるCu合金層において、第二層は第一層の上（直上）に形成されており、純Cu、またはCuを主成分とするCu合金であって上記第一層よりも電気抵抗率の低いCu合金で構成されている。ここで、Cuを主成分とするとは、Cu合金中に含まれる元素の中で、Cuが最も多く含まれていることを意味する。Cu合金中のCuの含有量は、後述するように適用される合金元素によって異なるため一概には言えないが、例えば、60原子%以上（好ましくは70原子%）100原子%未満（好ましくは99.9原子%以下）であることが好ましい。このような第二層を設けることにより、Cu合金層全体の電気抵抗率を低く抑えることができる。ここで、第一層よりも電気抵抗率の低いCu合金とは、X元素を含むCu-X合金で構成されて

いる第一層に比べて電気抵抗率が低くなるように合金元素の種類および／または含有量を適切に制御すれば良い。電気抵抗率が低い元素（おおむね、純Cu合金並みに低い元素）は、文献に記載の数値などを参照し、公知の元素から容易に選択することができる。ただし、電気抵抗率が高い元素であっても含有量を少なくすれば（おおむね、0.05～1原子%程度）電気抵抗率を低減できるため、第二層に適用可能な合金元素は、必ずしも電気抵抗率が低い元素に限定されない。具体的には、例えばCu-0.5原子%Ni、Cu-0.5原子%Zn、Cu-0.3原子%Mnなどが好ましく用いられる。また、第二層に適用可能な合金としては、酸素ガスや窒素ガスなどのガス成分を含むものであってもよく、例えばCu-OやCu-Nなどを用いることができる。

[0055] 上記Cu合金層全体の厚さ（第一層+第二層）は必要とされるTFT特性などに応じて適宜設定できるが、概ね10nm～1μmであることが好ましく、より好ましくは30nm～800nm、更に好ましくは50nm～600nmである。なお、上記Cu合金層全体の厚さの上限と下限を任意に組み合わせることもできる。

[0056] 本発明に用いられるCu合金層は第一層および第二層ともに、上述した元素を含み、残部はCuおよび不可避不純物である。

[0057] 上記積層構造からなる本発明のCu合金層は、スパッタリング法によって形成することが好ましい。具体的には、上記の第一層を構成する材料をスパッタリング法によって成膜した後、その上に上記第二層を構成する材料をスパッタリング法によって成膜することによって積層構造とすればよい。このようにしてCu合金積層膜を形成した後、所定のパターニングを行ってから断面形状をカバレッジの観点から好ましくはテーパ角度45～60°程度のテーパ状に加工することが好ましい。

[0058] スパッタリング法を用いれば、スパッタリングターゲットとほぼ同じ組成のCu合金層を成膜できる。そこでスパッタリングターゲットの組成を調整することにより、Cu合金層の組成を調整できる。スパッタリングターゲッ

トの組成は、異なる組成のCu合金ターゲットを用いて調整しても良いし、あるいは純Cuターゲットに合金元素の金属をチップオンすることによって調整しても良い。

[0059] なおスパッタリング法では、成膜したCu合金層の組成とスパッタリングターゲットの組成との間でわずかにズレが生じることがある。しかしそのズレは概ね数原子%以内である。そこでスパッタリングターゲットの組成を最大でも±10原子%の範囲内で制御すれば、所望の組成のCu合金層を成膜できる。

[0060] 本発明に用いられる基板は特に限定されないが、例えば、無アルカリガラス、高歪点ガラス、ソーダライムガラスなどが挙げられる。

[0061] (本発明の第2の実施形態)

本発明に係るTFETの第2の実施形態は、上述した第1の実施形態における2層の積層構造を構成する(N、C、F、O)層と、TFET用基板の間に、第1の半導体層、(N、C、F、O)層、第1の半導体層を有している例である。詳細には、図2に示すように、TFET用基板の上に第1の半導体層、(N、C、F、O)層、第1の半導体層を有し、その上に直接、(N、C、F、O)層とCu-Si拡散層とからなる2層の積層構造を有しており、その上に直接、Cu合金層が形成された構造を有している。

[0062] (本発明の第3の実施形態)

本発明に係るMOSFETの第1の実施形態を図4に示す。図4は、単結晶Siの上に直接、(N、C、F、O)層とCu-Si拡散層とからなる2層の積層構造を有しており、その上に直接、Cu合金層が形成された構造を有している。このような構造は図5に示す工程により形成される。すなわち、イオン注入法などによりN、C、F、Oのうち例えば窒素を単結晶Si基板中に打ち込む。このとき、注入された窒素はある深さ(飛程と呼ばれる)を中心にほぼガウス分布の深さ方向分布を有する。注入された窒素のダメージによりSiの一部はアモルファス化する。次にCu合金層をスパッタとメッキにより成膜し、その後アニールなどの熱処理を施すことでCu合金層(

第一層と第二層を含む) / Cu-Si 拡散層 / 窒素含有層 / 単結晶 Si の構造が形成される。

[0063] 上記の実施形態は、前述した T F T の第 1 の実施形態と同じ配線構造を有している。M O S F E T の実施形態は上記に限定されず、例えば、前述した T F T の第 1 ~ 第 2 の実施形態と実質的に同じ構造を採用することができる。

[0064] 図 8 (a) ~ (k) の各工程図を参照しながら、M O S F E T (M e t a l - o x i d e - s e m i c o n d u c t o r f i e l d e f f e c t t r a n s i s t o r) の製造方法を説明する。ここでは、単結晶 p 型 Si 基板上に局所酸化 (L C O S : L o c a l o x y d a t i o n o f S i) 法により素子分離パターンの形成を行い、素子の活性領域 (局所酸化されていない領域) に M O S F E T を作製するプロセスを説明する。以下ではポリシリコンを用いた例を説明するが、これに限定する趣旨ではない。

[0065] まず、単結晶 p 型 Si 基板上にゲート絶縁膜を、熱酸化などによって形成する (図 8 (a)) 。続いて、C V D などにより、P ドープしたポリシリコンを成膜する (図 8 (b)) 。その後リソグラフィにより、レジストをパターンニングする (図 8 (c)) 。このレジストをマスクとしてドライエッチングによりポリシリコンをエッチングする (図 8 (d)) 。続いてイオン注入法などにより A s を基板に打ち込み、活性化アニールを施すことでソースドレイン領域を形成する (図 8 (e)) 。次に、層間絶縁膜を C V D などにより成膜する (図 8 (f)) 。リソグラフィによりパターンニングし (図 8 (g)) 、ドライエッチングを施すと、ソースドレイン領域に金属配線膜 (Cu 合金層) を接続させるためのコンタクトホールが形成される (図 8 (h)) 。続いて、前述した図 5 に示した工程を経て Cu 合金層 (第一層と第二層を含む) / Cu-Si 拡散層 / 窒素含有層 / 単結晶 Si の構造が形成される。すなわち、イオン注入法などにより窒素を基板に打ち込む。このとき、注入された窒素はある深さ (飛程と呼ばれる) を中心に、ほぼガウス分布の深さ方向分布を有する。注入された窒素のダメージにより Si の一部はアモ

ルファス化する（図 8（i））。次に、Cu 系合金膜をスパッタとメッキにより成膜し（図 8（j））、CMP（Chemical Mechanical Polish）を行うことにより配線パターンに加工する。最後にアニールを行うと、Cu-Si 拡散層を有する MOSFET が得られる（図 8（k））。

実施例

[0066] 以下、実施例を挙げて本発明をより具体的に説明するが、本発明は以下の実施例によって制限されず、上記・下記の趣旨に適合し得る範囲で変更を加えて実施することも可能であり、それらはいずれも本発明の技術的範囲に包含される。

[0067] 実施例 1 密着性の評価

実施例 1 では以下の要領で Cu 合金層の第一層の組成を変化させた試料を作成し、Cu 合金層と半導体層との密着性を評価した。

[0068] まず、ガラス基板上にプラズマ CVD 法によって、膜厚 200 nm の、不純物（P）をドーピングした低抵抗のアモルファスシリコン膜（n-a-Si : H 層）を成膜した。この低抵抗アモルファスシリコン膜（n-a-Si : H 層）は、SiH₄、PH₃を原料としたプラズマ CVD を行うことによって形成した。プラズマ CVD の成膜温度は 320 °C とした。

[0069] 続いて、同一のプラズマ CVD 装置の同一チャンバー内にて、窒素ガスのみを供給してプラズマを発生させ、上記の低抵抗アモルファスシリコン膜の表面を窒素プラズマにて 30 秒間処理し、窒素含有層を形成した。このプラズマに印加した RF パワー密度は約 0.3 W/cm²、成膜温度は 320 °C、ガス圧力は 67 Pa とした。表面を RBS 法および XPS 法で分析した結果、厚さ約 1 nm の窒素含有層が形成されていることが確認された。

[0070] 次いで、上記 CVD 装置から取り出すことなく連続して、膜厚 10 nm の、不純物（P）をドーピングした低抵抗アモルファスシリコン膜を成膜した。この上に、スパッタリング法によって Cu-Mn 合金膜を図 9 に示すようにランダムに種々の条件（Mn 含有量、膜厚）で成膜し、さらにその上に純

Cu膜を500nm成膜した。スパッタリングの成膜温度は、室温とした。次に、フォトリソグラフィによりレジストをパターニングして、レジストをマスクとして上記のCu合金膜をエッチングすることにより、密着性試験用のパターンを形成した。なお、本発明におけるCu-Si拡散層は前述したように上記Cu合金膜を成膜した時点で形成されるものであるため、本実施例ではCu合金膜の成膜後に密着性評価試験を行っている。Cu合金膜成膜後に熱処理を行えば更にCu-Si拡散層の形成が促進されるため、Cu合金膜成膜後における密着性と同等もしくはそれ以上の密着性を実現することができる。

[0071] 密着性評価は、テープによる剥離試験で評価した。詳細には、Cu合金膜の表面にカッターナイフで1mm間隔の基盤目状の切込みを入れた。次いで、住友3M社製黒色ポリエステルテープ（製品番号8422B）を上記Cu合金膜上にしっかり貼り付け、上記テープの引き剥がし角度が60°になるように保持しつつ、上記テープを一挙に剥がして、上記テープにより剥離した基盤目の区画数をカウントし、全区画との比率（膜剥離率）を求めた。測定は3回行い、3回の平均値を各試料の膜剥離率とした。

[0072] 本実施例では、膜剥離率が0～5%未満のものを○、5%以上50%未満のものを△、50%以上のものを×と判定した。結果を図9に示す。

[0073] 密着性評価試験の結果を示した図9より、第一層のMnの含有量 y （原子%）と、第一層の膜厚 x （nm）は相互に関連させて制御することが、Cu合金層と半導体層との密着性を高める上で有効であることがわかる。また y （原子%）と x （nm）の関係は、 $y \geq -0.085x + 8.0$ の関係式で整理することができ、前記関係式を満たす場合に密着性を向上させることができる。

[0074] 実施例2 コンタクト抵抗の測定

表1～3に示すCu合金層（これらの表には第一層の組成／膜厚のみを記載しており、第2層は純Cuである）と半導体層とのコンタクト抵抗を調べるため、TLM法（Transfer Length Method）により

TLM素子を形成した。

[0075] まず、ガラス基板上にプラズマCVD法により、膜厚約200nmの不純物(P)をドーピングした低抵抗アモルファスシリコン膜(n-a-Si:H層)を成膜した。続いて、同一のプラズマCVD装置内にて、窒素ガスのみを供給してプラズマを発生させ、低抵抗アモルファスシリコン膜の表面を窒素プラズマによって30秒間処理し、窒素含有層を形成した。このプラズマに印加したRFパワー密度は焼く0.3W/cm²、成膜温度は320℃、ガス圧力は67Paとした。

[0076] 次いで、CVD装置から取り出すことなく連続して、再び不純物(P)をドーピングした低抵抗のアモルファスシリコン膜を成膜した(膜厚:10nm)。その上に表1~3に示す条件(第一層の組成、第一層膜厚)でCu-X合金をスパッタ蒸着し、さらに膜厚300nmの純Cu膜を成膜した。スパッタリングの成膜温度は、室温とした。フォトリソグラフィによりレジストをパターンニングして、レジストをマスクとして上記のCu合金膜をエッチングすることにより、TLM評価素子を作成した。最後に300℃で30分間の熱処理を行い、Cu-Si拡散層を形成した。

[0077] 次に、図6および図7(a)~(b)を参照しながら、TLM法によるコンタクト抵抗の測定原理を説明する。図7(a)は上記した要領でCu-Si拡散層を形成した後の配線構造を模式的に示す断面図であり、図7(b)はその上面図である。なお、図7(a)ではCu-Si拡散層は省略している。

[0078] まず、図7(a)の配線構造において、複数の電極間における電流電圧特性を測定し、各電極間の抵抗値を求めた。こうして得られた各電極間の抵抗値を縦軸とし、電極間距離(トランスファー長、L)を横軸としてプロットし、図6のグラフを得た。図6のグラフにおいて、y切片の値はコンタクト抵抗R_cの2倍の値(2R_c)に、x切片の値は実効的なコンタクト長(L_T: transfer length、トランスファー長)にそれぞれ相当する。以上から、コンタクト抵抗率ρ_cは下式にて表される。

$$\rho_c = R_c \times L_T \times Z$$

上式中、Zは図7（b）に示すように電極幅を示す。

[0079] これらの結果を表1～3に示す。なお、表1には比較のため第一層として純Cuを用いた場合の結果も併記した。

[0080] [表1]

第一層組成	コンタクト抵抗 ($\Omega \cdot \text{cm}^2$)
純Cu	0.25
Cu－0.5原子%Mn	0.21
Cu－2原子%Mn	0.20
Cu－4原子%Mn	0.18
Cu－6原子%Mn	0.19
Cu－10原子%Mn	0.15
Cu－15原子%Mn	0.16
Cu－20原子%Mn	0.13

※第一層の膜厚はいずれも20nm

[0081] [表2]

第一層膜厚 (nm)	コンタクト抵抗 ($\Omega \cdot \text{cm}^2$)
5	0.22
10	0.18
20	0.15
50	0.16
80	0.17
100	0.14

※第一層の組成はいずれもCu－10原子%Mn

[0082]

[表3]

第一層組成	コンタクト抵抗 ($\Omega \cdot \text{cm}^2$)
Cu-4原子%Ni	0.22
Cu-4原子%Zn	0.23
Cu-4原子%Mg	0.18
Cu-10原子%Ni	0.21
Cu-10原子%Zn	0.15
Cu-10原子%Mg	0.22

※第一層の膜厚はいずれも50nm

[0083] 表1～3の例（表1の純Cuを除く）はいずれも本発明の要件を満足する配線構造であり、TLM評価素子を用いて測定した半導体層とのコンタクト抵抗は $0.1 \sim 0.3 \Omega \cdot \text{cm}^2$ である。つまり、本発明の配線構造と半導体層とのコンタクト抵抗は、純Cuと同程度もしくはそれよりも低く、実用的な低コンタクト抵抗を示している。

[0084] 表2に示した第一層は、Mn含有量と第一層の膜厚が本発明で規定する好ましい関係式を満たすものであり、密着性だけでなく、半導体層とのコンタクト抵抗も低く抑えられている。また表3は、X元素としてNi、Zn、Mgを用いた例であり、低コンタクト抵抗を実現している。

[0085] 実施例3 電気抵抗率の測定

本実施例では、第一層の膜厚とCu合金層全体（第一層+第二層）の電気抵抗率の関係、および第一層中のX元素の含有量とCu合金層全体（第一層+第二層）の電気抵抗率の関係を検討した。

[0086] 実施例1の密着性評価試験用試料と同様にして、第一層としてCu-Mn合金膜を表4、5に示す種々の条件（第一層膜厚、Mn含有量）で成膜し、さらにその上に純Cu膜を成膜した（Cu合金層全体の膜厚は300nm）。

[0087] その後、フォトリソグラフィーとウェットエッチングによって線幅100 μm 、線長10mmの電気抵抗評価用パターンに加工した。この際、ウェットエッチャントとしては、リン酸：硫酸：硝酸：酢酸＝50：10：5：10の混酸からなる混合液を用いた。そして、枚葉式CVD装置を用い、基板を加熱して350℃で30分の熱処理を行い、この熱処理後の電気抵抗を直流四探針法により室温で測定した。

[0088] 結果を表4、5に示す。

[0089] [表4]

第一層膜厚 (nm)	電気抵抗率 ($\mu\Omega\cdot\text{cm}$)
20	2.0
30	2.0
50	2.0
80	2.2
100	2.5
120	2.6
150	3.0

※第一層の組成はいずれもCu-8原子%Mn

[0090] [表5]

第一層組成	電気抵抗率 ($\mu\Omega\cdot\text{cm}$)
Cu-4原子%Mn	2.0
Cu-6原子%Mn	2.0
Cu-8原子%Mn	2.0
Cu-10原子%Mn	2.2
Cu-16原子%Mn	2.5
Cu-20原子%Mn	2.6

※第一層の膜厚はいずれも50nm

[0091] 表4に示すように、第一層の膜厚の増加に伴ってCu合金層全体の電気抵抗率が上昇する傾向があり、また表5に示すように、第一層中のMn含有量の増加に伴ってCu合金層全体の電気抵抗率が上昇する傾向があった。しかし、表4、5に示すいずれの例においても、Cu合金層全体の電気抵抗率は実用的な低電気抵抗率を示している。

[0092] 実施例4 第2の半導体層の厚みと電気抵抗率の関係の検討

本実施例では第2の半導体層の厚みとCu合金層全体（第一層＋第二層）の電気抵抗率の関係を検討した。

[0093] まず、ガラス基板上にプラズマCVD法により、膜厚約200nmの不純物（P）をドーピングした低抵抗アモルファスシリコン膜（n-a-Si：H層）を成膜した。続いて、同一のプラズマCVD装置内にて、窒素ガスのみを供給してプラズマを発生させ、低抵抗アモルファスシリコン膜の表面を窒素プラズマによって30秒間処理し、窒素含有層を形成した。このプラズマに印加したRFパワー密度は約0.3W/cm²、成膜温度は320℃、ガス圧力は67Paとした。

[0094] 次いで、CVD装置から取り出すことなく連続して、再び不純物（P）をドーピングした低抵抗のアモルファスシリコン膜を第二半導体層として成膜した。このときの第二半導体層の厚みを0nm～50nmとした。その上に第一層としてCu-10原子%Mnを、さらにその上に純Cu膜をスパッタ成膜し、Cu合金層全体の膜厚では300nmとした。スパッタリングの成膜温度は室温とした。合金膜評価では上記実施例3と同様のパターンをフォトリソグラフィーとウェットエッチング、ドライエッチングによって加工した。ウェットエッチャントとしては、リン酸：硫酸：硝酸：酢酸＝50：10：5：10の混酸からなる混合液を用いた。そして、枚葉式CVD装置を用い、基板を加熱して300℃で30分の熱処理を行い、この熱処理後の電気抵抗を直流四探針法により室温で測定した。

[0095] 結果を図10に示す。

[0096] 図10によれば、第2の半導体層の膜厚が厚くなるにつれ、Cu合金層全

体の電気抵抗率が上昇していることが分かる。配線膜の電気抵抗は既存技術例えばA l - N d / M o 積層構造を300℃で30分の熱処理を行なった場合の電気抵抗率5.0 $\mu\Omega\text{cm}$ より低く押さえることが望ましい。上記結果より、300℃で30分で熱処理を行なった場合、第2の半導体層の厚みを45nm以下にすることが望ましい。また、熱処理温度・時間を調整することで電気抵抗上昇率を調整できるが、おおむね45nm以下が望ましい。

[0097] 実施例5 T F T 特性の測定

本実施例では、本発明に係る配線構造をソース／ドレイン配線に採用した際のT F T 特性について検討した。

[0098] まず、ガラス基板上にD C マグネトロンスパッタ法により、ゲート配線としてC u 合金を成膜した。続いてプラズマC V D 法により、膜厚約200nmのゲート絶縁膜S i Nを形成した。この後、C V D 装置から取り出すことなく、連続して膜厚約200nmのa - S i 半導体層を成膜した後、不純物(P)をドーピングした低抵抗アモルファスシリコン膜(n^+ -a - S i 層)を40nm成膜した。更に、同一のプラズマC V D 装置内にて、窒素ガスのみを供給してプラズマを発生させ、低抵抗アモルファスシリコン膜の表面を窒素プラズマによって30秒間処理し、窒素含有層を形成した。このプラズマに印加したR F パワー密度は約0.3W/ cm^2 、成膜温度は320℃、ガス圧力は67Paとした。この後、同一プラズマ装置内で再び不純物(P)をドーピングした低抵抗のアモルファスシリコン膜を第二半導体層として成膜した。このときの第二半導体層の厚みを5nmとした。

[0099] 続いてD C マグネトロンスパッタ法によりソース・ドレイン配線として第一層にはC u - 10at%Mnを、さらにその上に純C u 膜をスパッタ成膜し、C u 合金層全体の膜厚では300nmとした。スパッタリングの基板温度は室温とした。

[0100] この後、フォトリソグラフィ、エッチングによりチャネルを形成し、最後にパッシベーション製膜温度を模擬した熱履歴(300℃で30分)を加え、T F T 構造を形成する。より詳細には、フォトリソグラフィにてパタ

ーンを形成した後、ウェットエッチャントCu-O₂（関東化学（株））にてCu合金層をエッチングし、続いてドライエッチングにて、n⁺-a-Si（第二半導体層）、（N, C, F, O）層、n⁺-a-Si層をエッチングした。ドライエッチングではRFパワー密度50W、ガス比Ar : SF₆ = 80 : 5、ガス圧力60Paとした。最後にパッシベーション製膜温度を模擬した熱履歴（300℃で30分）を加え、TFT構造を形成した。図11に本プロセスで形成したTFTのI_d-V_g特性を示す。

[0101] 図11のグラフより、オフ電流とオン電流の比は6桁程度となり、ソースドレイン配線膜に従来のCu/Mo積層構造（Cu系合金配線膜とTFTの半導体層との間にMo等のバリアメタル層が設けられた積層構造）を適用した場合のTFTのオフ電流とオン電流の比と同程度であることが分かった。従って、本発明を適用したTFTも、何ら問題なく動作することが分かった。

[0102] 本出願を詳細にまた特定の実施態様を参照して説明したが、本発明の精神と範囲を逸脱することなく様々な変更や修正を加えることができることは当業者にとって明らかである。

本出願は、2010年4月2日出願の日本特許出願（特願2010-086485）に基づくものであり、その内容はここに参照として取り込まれる。

産業上の利用可能性

[0103] 本発明によれば、Cu合金層を半導体層と直接接触することが可能なダイレクトコンタクト技術であって、Cu合金層と半導体層とのコンタクト抵抗に優れているだけでなく、生産性も良好であり、プロセスマージンが更に拡大された技術を提供することができる。具体的には、各種プロセス条件のばらつき（装置性能のばらつき、不安定性、予期せぬ汚染、制御しにくい汚染など）の影響を受け難く、また極端に厳しい条件管理も不要であり、プロセス条件の制約を受け難い技術を提供することができる。さらにCu合金層の第一層を、合金成分としてX（Xは、Zn、Ni、Ti、Al、Mg、Ca、W、NbおよびMnよりなる群から選択される少なくとも一種）を含有す

るCu-X合金層（第一層）とし、第二層を純Cu、またはCuを主成分とするCu合金であって前記第一層よりも電気抵抗率の低いCu合金からなる層としているため、半導体層との密着性の向上および低接触抵抗を実現するとともに、Cu合金層全体としての電気抵抗率の上昇を抑制することができる。

請求の範囲

[請求項1] 基板の上に、基板側から順に、半導体層と、Cu合金層とを備えた配線構造であって、

前記半導体層と前記Cu合金層との間に、基板側から順に、窒素、炭素、フッ素、及び酸素よりなる群から選択される少なくとも一種の元素を含有する（N、C、F、O）層と、CuおよびSiを含むCu-Si拡散層との積層構造を含んでおり、且つ、前記（N、C、F、O）層を構成する窒素、炭素、フッ素および酸素のいずれかの元素は前記半導体層のSiと結合しており、

前記Cu合金層は、基板側から順に、Zn、Ni、Ti、Al、Mg、Ca、W、NbおよびMnよりなる群から選択される少なくとも一種の合金成分Xを含有するCu-X合金層である第一層と、純Cu、またはCuを主成分とするCu合金であって前記第一層よりも電気抵抗率の低いCu合金からなる層である第二層、とを含む積層構造である配線構造。

[請求項2] 前記Cu-X合金層である第一層におけるX含有量が0.5～20原子%である請求項1に記載の配線構造。

[請求項3] 前記Cu-X合金層である第一層の膜厚が5～150nmであり、Cu合金層全膜厚に対して50%以下である請求項1に記載の配線構造。

[請求項4] 前記Cu-X合金層である第一層の膜厚が5～150nmであり、Cu合金層全膜厚に対して50%以下である請求項2に記載の配線構造。

[請求項5] 前記Cu-X合金層である第一層の膜厚 x （nm）と、Xの含有量 y （原子%）が、下記（1）式の関係を満たす請求項1項に記載の配線構造。

$$y \geq -0.085x + 8.0 \quad \cdots (1)$$

[請求項6] 前記Cu-X合金層である第一層の膜厚 x （nm）と、Xの含有量

y（原子％）が、下記（１）式の関係を満たす請求項２に記載の配線構造。

$$y \geq -0.085x + 8.0 \cdots (1)$$

[請求項7] 前記Cu-X合金層である第一層の膜厚x（nm）と、Xの含有量y（原子％）が、下記（１）式の関係を満たす請求項３に記載の配線構造。

$$y \geq -0.085x + 8.0 \cdots (1)$$

[請求項8] 前記Cu-X合金層である第一層の膜厚x（nm）と、Xの含有量y（原子％）が、下記（１）式の関係を満たす請求項４に記載の配線構造。

$$y \geq -0.085x + 8.0 \cdots (1)$$

[請求項9] 前記Cu-Si拡散層は、前記（N、C、F、O）層、半導体層、および前記Cu合金層をこの順序で形成した後、熱履歴を加えることによって得られる請求項１に記載の配線構造。

[請求項10] 前記Cu-Si拡散層は、前記（N、C、F、O）層、半導体層、および前記Cu合金層をこの順序で形成した後、熱履歴を加えることによって得られる請求項２に記載の配線構造。

[請求項11] 前記Cu-Si拡散層は、前記（N、C、F、O）層、半導体層、および前記Cu合金層をこの順序で形成した後、熱履歴を加えることによって得られる請求項３に記載の配線構造。

[請求項12] 前記Cu-Si拡散層は、前記（N、C、F、O）層、半導体層、および前記Cu合金層をこの順序で形成した後、熱履歴を加えることによって得られる請求項４に記載の配線構造。

[請求項13] 前記Cu-Si拡散層は、前記（N、C、F、O）層、半導体層、および前記Cu合金層をこの順序で形成した後、熱履歴を加えることによって得られる請求項５に記載の配線構造。

[請求項14] 前記Cu-Si拡散層は、前記（N、C、F、O）層、半導体層、および前記Cu合金層をこの順序で形成した後、熱履歴を加えること

によって得られる請求項 6 に記載の配線構造。

[請求項15] 前記 Cu-Si 拡散層は、前記 (N、C、F、O) 層、半導体層、および前記 Cu 合金層をこの順序で形成した後、熱履歴を加えることによって得られる請求項 7 に記載の配線構造。

[請求項16] 前記 Cu-Si 拡散層は、前記 (N、C、F、O) 層、半導体層、および前記 Cu 合金層をこの順序で形成した後、熱履歴を加えることによって得られる請求項 8 に記載の配線構造。

[請求項17] 前記半導体層は、水素化アモルファスシリコン、またはアモルファスシリコンである請求項 1 に記載の配線構造。

[請求項18] 前記半導体層は、水素化アモルファスシリコン、またはアモルファスシリコンである請求項 2 に記載の配線構造。

[請求項19] 前記半導体層は、水素化アモルファスシリコン、またはアモルファスシリコンである請求項 3 に記載の配線構造。

[請求項20] 前記半導体層は、水素化アモルファスシリコン、またはアモルファスシリコンである請求項 4 に記載の配線構造。

[請求項21] 前記半導体層は、水素化アモルファスシリコン、またはアモルファスシリコンである請求項 5 に記載の配線構造。

[請求項22] 前記半導体層は、水素化アモルファスシリコン、またはアモルファスシリコンである請求項 6 に記載の配線構造。

[請求項23] 前記半導体層は、水素化アモルファスシリコン、またはアモルファスシリコンである請求項 7 に記載の配線構造。

[請求項24] 前記半導体層は、水素化アモルファスシリコン、またはアモルファスシリコンである請求項 8 に記載の配線構造。

[請求項25] 前記半導体層は、水素化アモルファスシリコン、またはアモルファスシリコンである請求項 9 に記載の配線構造。

[請求項26] 前記半導体層は、水素化アモルファスシリコン、またはアモルファスシリコンである請求項 10 に記載の配線構造。

[請求項27] 前記半導体層は、水素化アモルファスシリコン、またはアモルファ

スシリコンである請求項 1 1 に記載の配線構造。

[請求項28] 前記半導体層は、水素化アモルファスシリコン、またはアモルファスシリコンである請求項 1 2 に記載の配線構造。

[請求項29] 前記半導体層は、水素化アモルファスシリコン、またはアモルファスシリコンである請求項 1 3 に記載の配線構造。

[請求項30] 前記半導体層は、水素化アモルファスシリコン、またはアモルファスシリコンである請求項 1 4 に記載の配線構造。

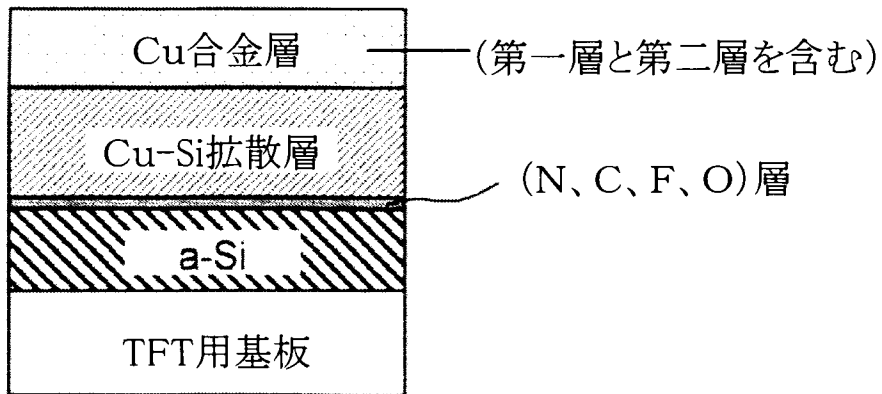
[請求項31] 前記半導体層は、水素化アモルファスシリコン、またはアモルファスシリコンである請求項 1 5 に記載の配線構造。

[請求項32] 前記半導体層は、水素化アモルファスシリコン、またはアモルファスシリコンである請求項 1 6 に記載の配線構造。

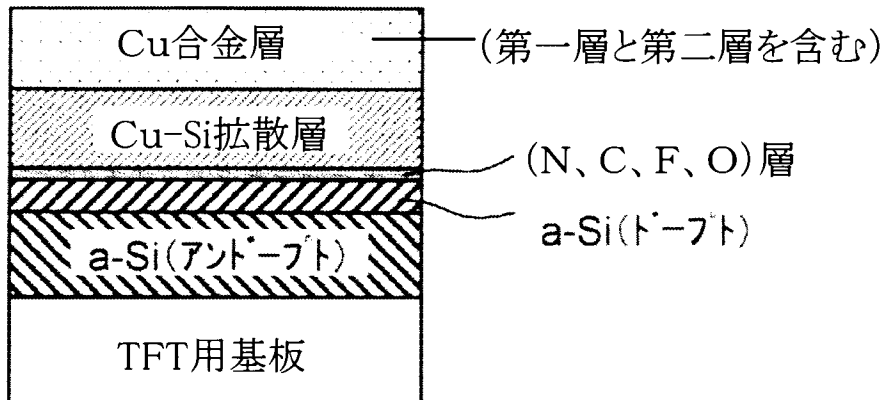
[請求項33] 請求項 1 ～ 3 2 のいずれか一項に記載の配線構造を有する表示装置。

[請求項34] 請求項 1 ～ 3 2 のいずれか一項に記載の配線構造を有する半導体装置。

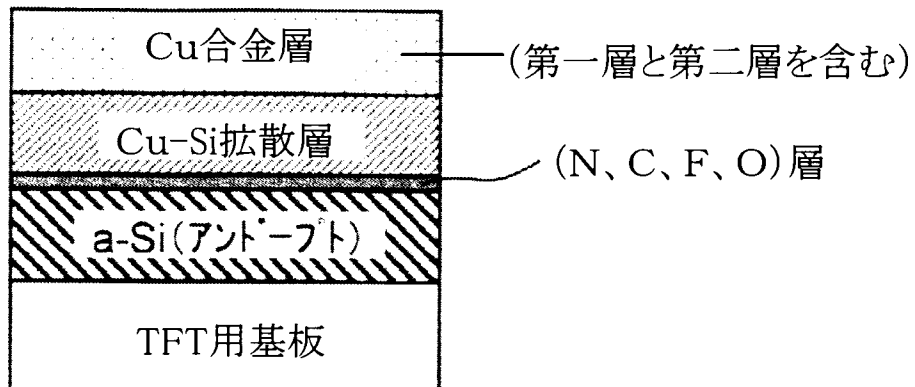
[図1A]



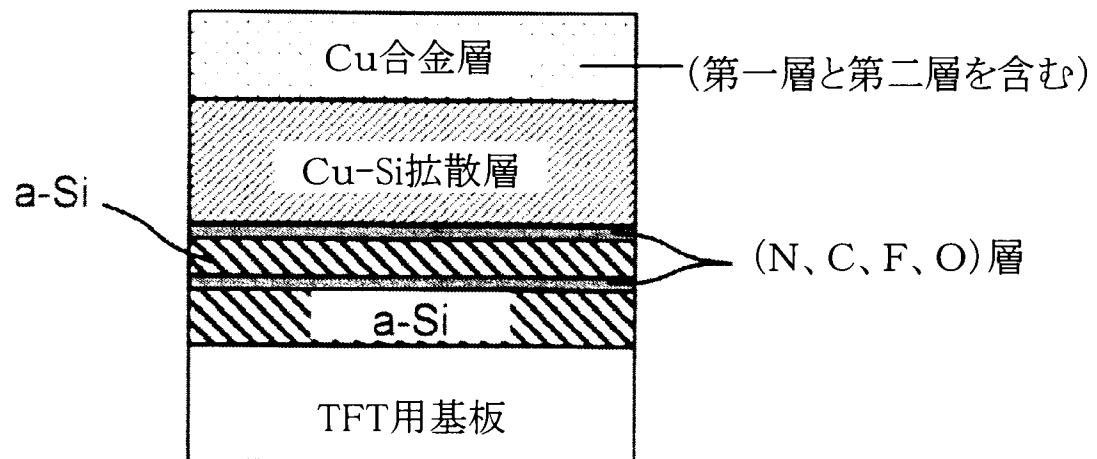
[図1B]



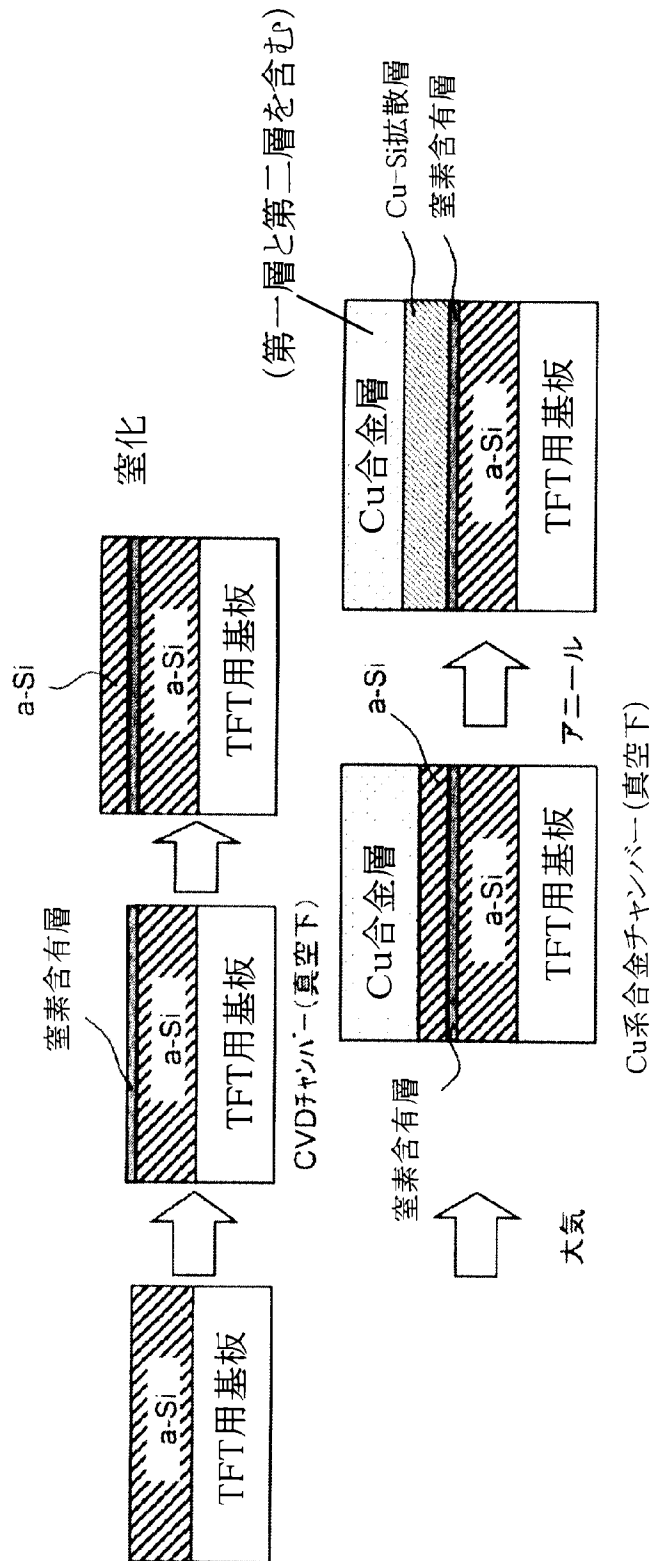
[図1C]



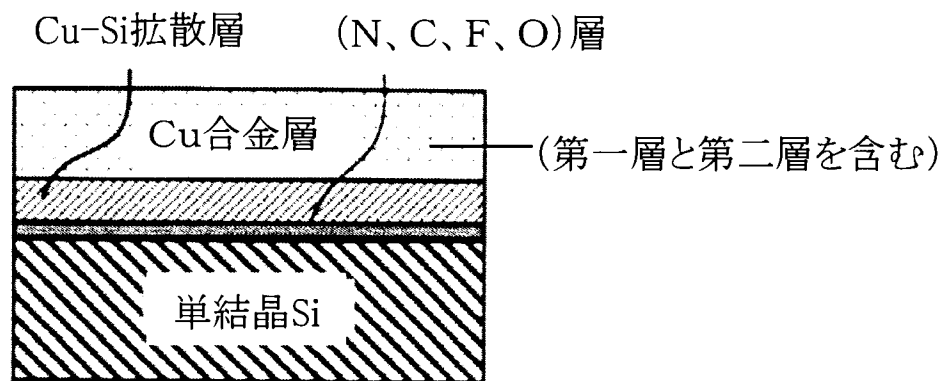
[図2]



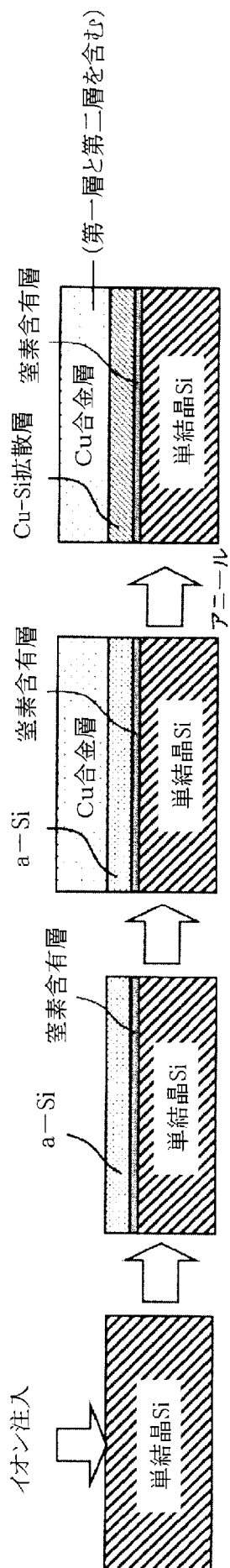
[図3]



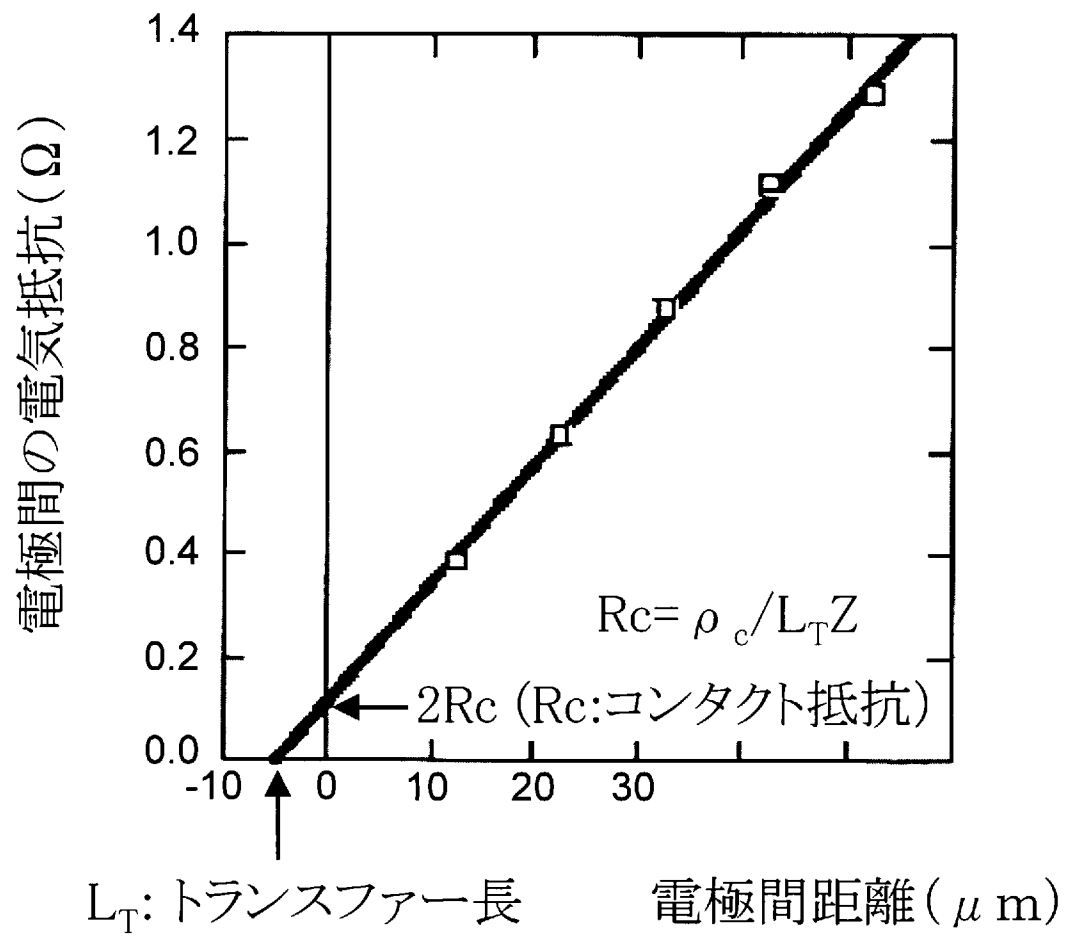
[図4]



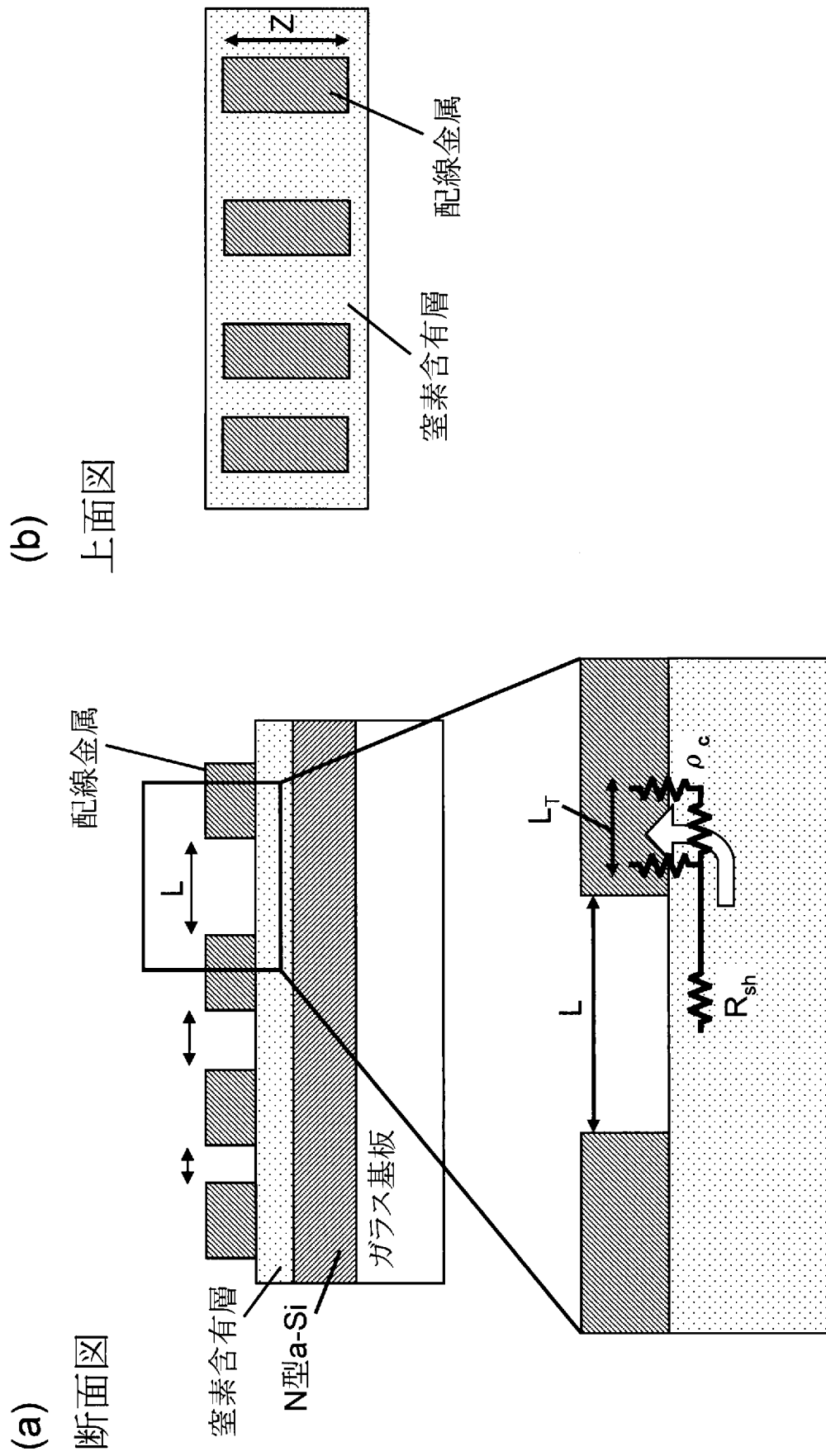
[図5]



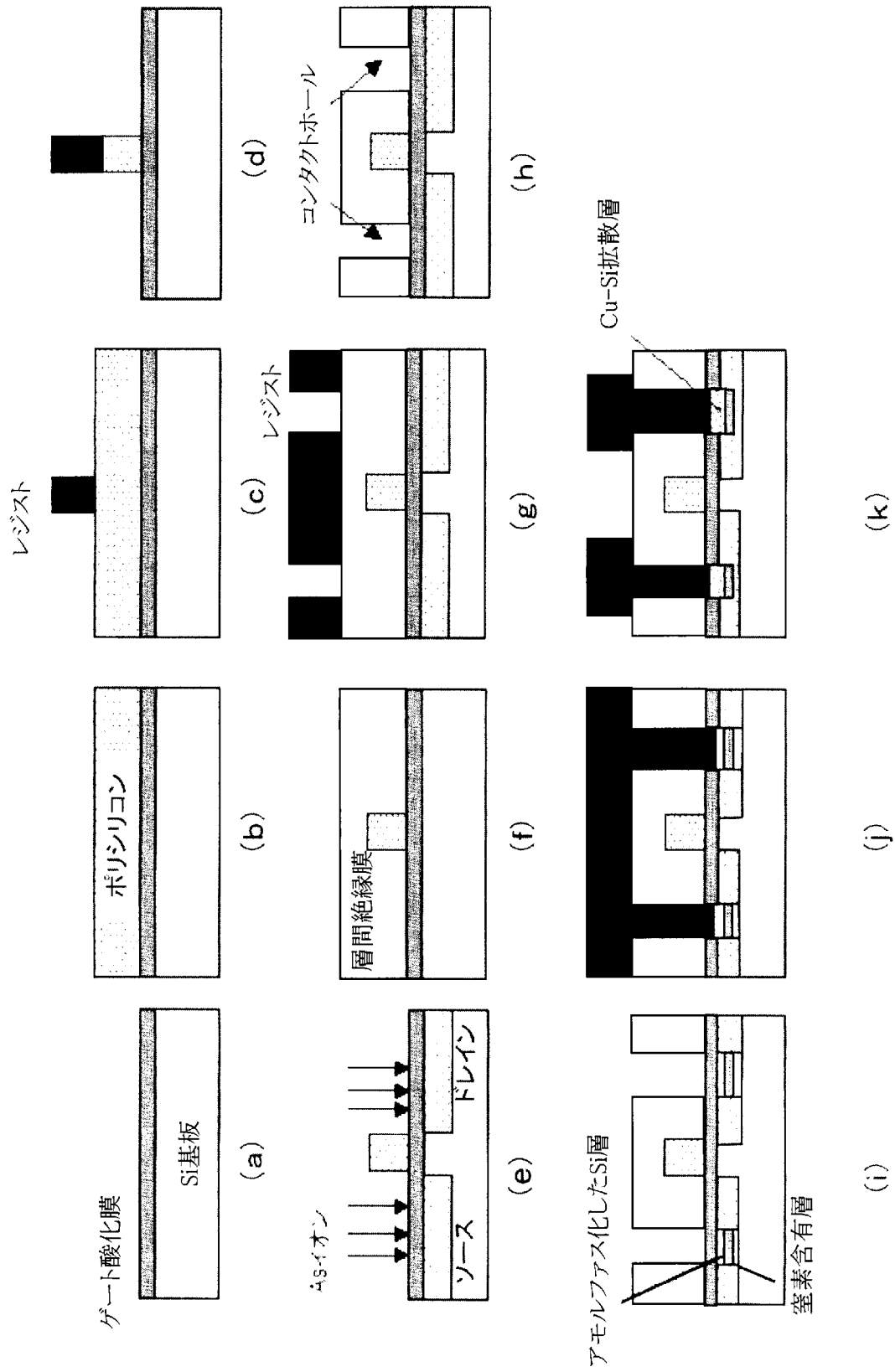
[図6]



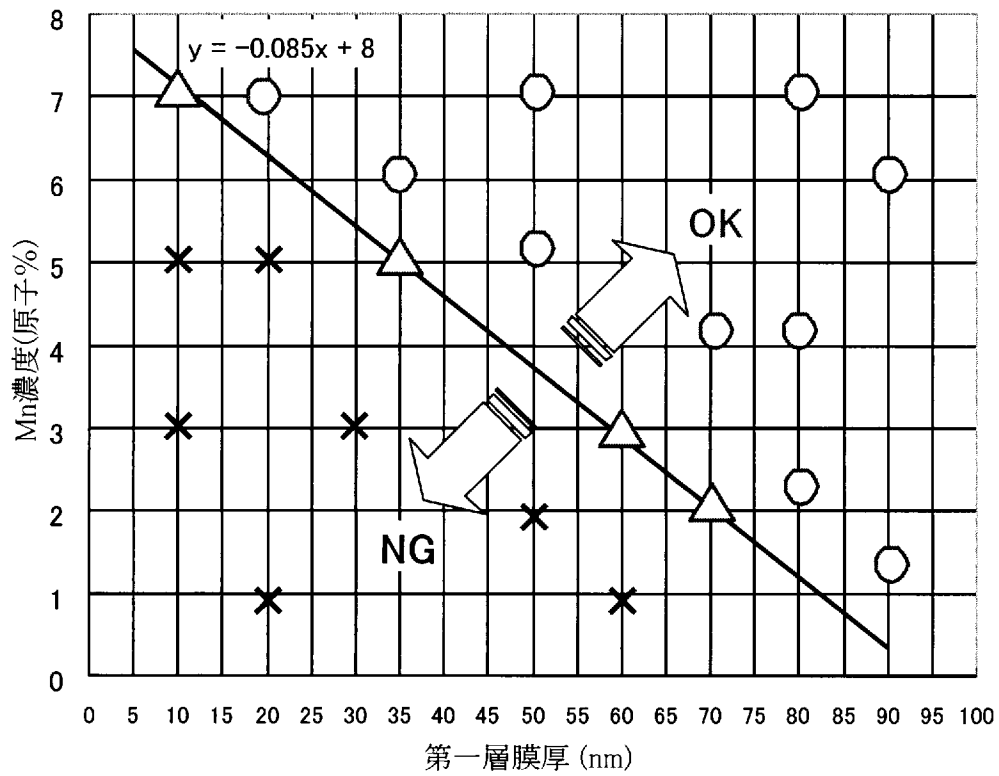
[図7]



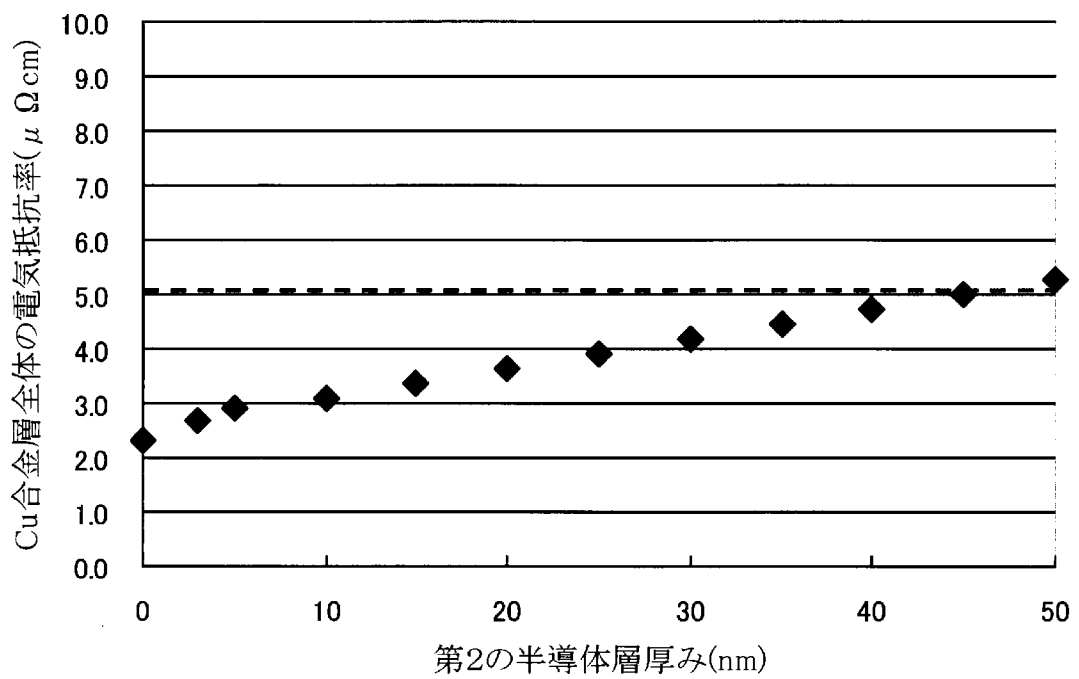
[図8]



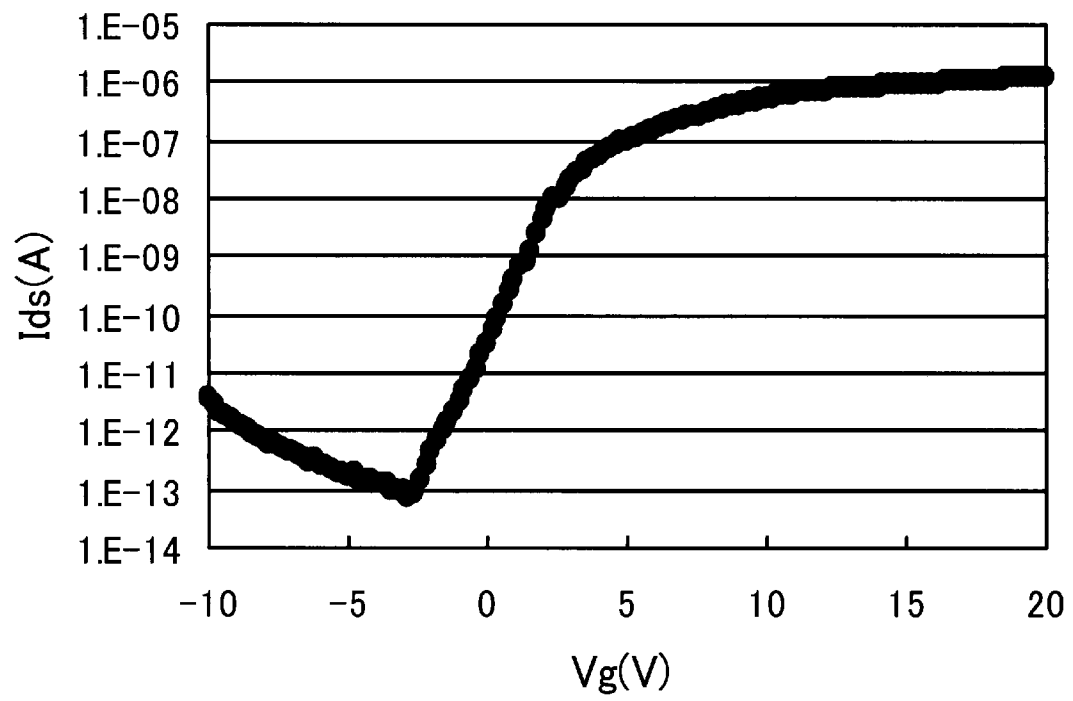
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/058141

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/28(2006.01)i, G09F9/30(2006.01)i, H01L21/3205(2006.01)i,
H01L21/768(2006.01)i, H01L23/52(2006.01)i, H01L23/522(2006.01)i,
H01L29/417(2006.01)i, H01L29/78(2006.01)i, H01L29/786(2006.01)i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/28, G09F9/30, H01L21/3205, H01L21/768, H01L23/52, H01L23/522,
H01L29/417, H01L29/78, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2010/001998 A1 (Kobe Steel, Ltd.), 07 January 2010 (07.01.2010), entire text; all drawings & JP 2010-245495 A	1-34
Y	JP 2008-124450 A (Ulvac, Inc.), 29 May 2008 (29.05.2008), entire text; all drawings (Family: none)	1-34
A	WO 2009/131035 A1 (Ulvac, Inc.), 29 October 2009 (29.10.2009), entire text; all drawings & KR 10-2010-0110392 A	1-34



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
24 June, 2011 (24.06.11)

Date of mailing of the international search report
05 July, 2011 (05.07.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/28 (2006.01)i, G09F9/30 (2006.01)i, H01L21/3205 (2006.01)i, H01L21/768 (2006.01)i,
H01L23/52 (2006.01)i, H01L23/522 (2006.01)i, H01L29/417 (2006.01)i, H01L29/78 (2006.01)i,
H01L29/786 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/28, G09F9/30, H01L21/3205, H01L21/768, H01L23/52, H01L23/522, H01L29/417, H01L29/78,
H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2010/001998 A1 (株式会社神戸製鋼所) 2010.01.07, 全文、全図 & JP 2010-245495 A	1-34
Y	JP 2008-124450 A (株式会社アルバック) 2008.05.29, 全文、全図 (ファミリーなし)	1-34
A	WO 2009/131035 A1 (株式会社アルバック) 2009.10.29, 全文、全図 & KR 10-2010-0110392 A	1-34

☐ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 4 . 0 6 . 2 0 1 1

国際調査報告の発送日

0 5 . 0 7 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

4 L

3 2 3 9

▲辻▼ 弘輔

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 9 8