

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年5月24日(24.05.2018)



(10) 国際公開番号

WO 2018/092855 A1

- (51) 国際特許分類:
H03H 7/40 (2006.01) H03K 17/74 (2006.01)
H03H 7/01 (2006.01) H05H 1/46 (2006.01)
- (21) 国際出願番号: PCT/JP2017/041328
- (22) 国際出願日: 2017年11月16日(16.11.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-223957 2016年11月17日(17.11.2016) JP
- (71) 出願人: 株式会社ダイヘン (DAIHEN CORPORATION) [JP/JP]; 〒5328512 大阪府大阪市淀川区田川二丁目1番11号 Osaka (JP).
- (72) 発明者: 森井 龍哉(MORII, Tatsuya); 〒5328512 大阪府大阪市淀川区田川二丁目1番11号 株式会社ダイヘン内 Osaka (JP). 中▲演▼ 真之(NAKAHAMA, Masayuki); 〒5328512 大阪府大阪市淀川区田川二丁目1番11号 株式会社ダイヘン内 Osaka (JP).
- (74) 代理人: 河野 英仁, 外(KOHNO, Hideto et al.); 〒5400035 大阪府大阪市中央区釣鐘町二丁目4番3号 河野特許事務所 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,

(54) Title: DRIVE CIRCUIT AND IMPEDANCE MATCHING DEVICE

(54) 発明の名称: 駆動回路およびインピーダンス整合装置

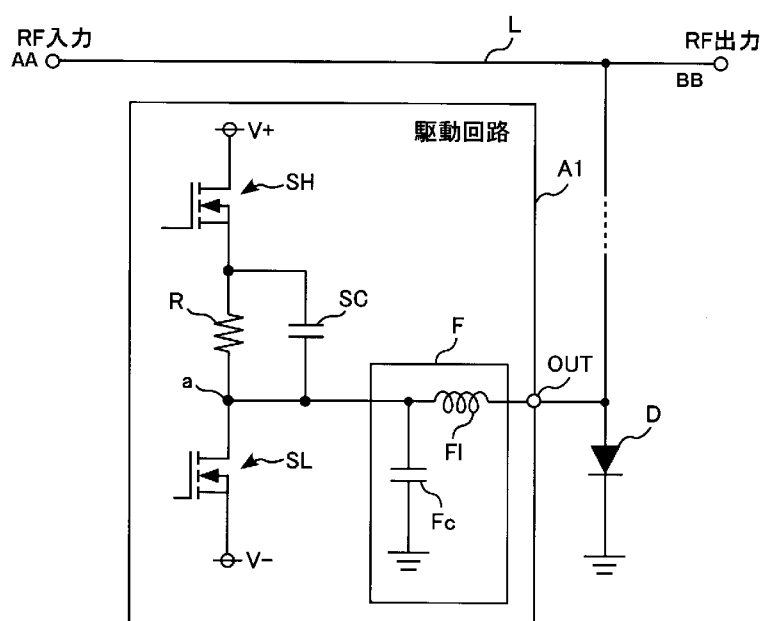


FIG. 1:
A1 Drive circuit
AA RF input
BB RF output

(57) Abstract: A drive circuit (A1) performs switching between the on-state and the off-state of a PIN diode (D), said drive circuit being provided with a switching element (SH) and a switching element (SL), a drive power supply, and a current limiting resistor (R) that adjusts a forward current of the PIN diode (D). When the switching element (SH) is in the on-state, and the switching element (SL) is in the off-state, the PIN diode (D) is switched to the on-state by applying a forward voltage to the PIN diode (D) from the drive power supply via the current limiting resistor (R), and when the



HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

switching element (SH) is in the off-state, and the switching element (SL) is in the on-state, the PIN diode (D) is switched to the off-state by applying, not via the current limiting resistor (R), a reverse voltage to the PIN diode (D) from the drive power supply.

(57) 要約: P I N ダイオード (D) のオン状態とオフ状態とを切り替える駆動回路 (A 1) であって、スイッチング素子 (S H) およびスイッチング素子 (S L) と、駆動電源と、P I N ダイオード (D) の順方向電流を調整する電流制限抵抗 (R) とを備えている。そして、スイッチング素子 (S H) がオン状態であり、かつ、スイッチング素子 (S L) がオフ状態のとき、前記駆動電源から、電流制限抵抗 (R) を介して、P I N ダイオード (D) に順方向電圧を印加することで、P I N ダイオード (D) をオン状態にし、スイッチング素子 (S H) がオフ状態であり、かつ、スイッチング素子 (S L) がオン状態のとき、前記駆動電源から、電流制限抵抗 (R) を介さず、P I N ダイオード (D) に逆方向電圧を印加することで、P I N ダイオード (D) をオフ状態にする。

明 細 書

発明の名称： 駆動回路およびインピーダンス整合装置

技術分野

[0001] 本発明は、P I Nダイオードのオン状態とオフ状態とを切り替える駆動回路、および、当該駆動回路を用いたインピーダンス整合装置に関する。

背景技術

[0002] ダイオードは、順方向電圧を印加すると導通状態（オン状態）になり、逆方向電圧を印加すると開放状態（オフ状態）になる特性を有している。この特性を用いて、ダイオードをスイッチとして利用されることがある。このようなダイオードとしては、例えば、P I Nダイオードが用いられる。特許文献1は、従来のP I Nダイオードのオン状態とオフ状態とを切り替える駆動回路の一例を開示している。同文献に開示された駆動回路は、2つのスイッチング素子を備えており、電源の正極側に配置されたスイッチング素子がオン状態のとき、駆動回路の出力端にバイアス電源+V Dを供給し、電源の負極側に配置されたスイッチング素子がオン状態のとき、駆動回路の出力端にバイアス電源-V Sを供給する。前記出力端は、P I Nダイオードの入力端に接続されており、前記入力端にバイアス電源+V Dが供給されると、P I Nダイオードに順方向電圧が印加され、P I Nダイオードがオン状態となる。一方、前記入力端にバイアス電源-V Sが供給されると、P I Nダイオードに逆方向電圧が印加され、P I Nダイオードがオフ状態となる。

先行技術文献

特許文献

[0003] 特許文献1：特開2003-110407号公報

特許文献2：特許第5050062号公報

発明の概要

発明が解決しようとする課題

[0004] 上記特許文献1において、P I Nダイオードは、高周波入力部と高周波出

力部とを繋ぐ電源ライン上に接続されており、P I Nダイオードのオン状態とオフ状態との切り替えは、高周波電流が流れている状態で行われている。このような通電状態でのスイッチングは「ホットスイッチング」と呼ばれている。特に、上記特許文献1のように、高周波電流が流れている状態でのホットスイッチングにおいて、P I Nダイオードのオン状態からオフ状態への切り替え時間が長い（スイッチングスピードが遅い）、すなわち、P I Nダイオードのキャリアの遷移時間が長いと、電力損失が大きくなる。この電力損失により、例えば、P I Nダイオードの発熱量が大きくなり、P I Nダイオードの信頼性が低下するという問題があった。そのため、P I Nダイオードをオン状態からオフ状態に切り替える時には、より短い遷移時間で行う必要があった。

[0005] このような問題を解決するために、特許文献2に開示された駆動回路は、ブートストラップ回路やクランプネットワークなどを備え、スイッチングスピードを調整している。しかし、ブートストラップ回路やクランプネットワークなどを用いているため、回路構成や制御が複雑になってしまっていた。

[0006] そこで、本発明は、上記課題に鑑みて創作されたものであり、その目的は、簡易な回路構成により、ホットスイッチングによるP I Nダイオードの信頼性の低下を抑制することができる駆動回路、および、当該駆動回路を用いたインピーダンス整合装置を提供することにある。

課題を解決するための手段

[0007] 本発明の第1の側面によって提供される駆動回路は、P I Nダイオードのオン状態とオフ状態とを切り替える駆動回路であって、一方がオン状態のときに他方がオフ状態となる、第1のスイッチング素子および第2のスイッチング素子と、直流電圧を発生させる駆動電源と、前記P I Nダイオードの順方向電流を調整する電流制限抵抗と、を備え、前記第1のスイッチング素子がオン状態であり、かつ、前記第2のスイッチング素子がオフ状態のとき、前記駆動電源から、前記電流制限抵抗を介して、前記P I Nダイオードに順方向電圧を印加することで、前記P I Nダイオードをオン状態にし、前記第

1のスイッチング素子がオフ状態であり、かつ、前記第2のスイッチング素子がオン状態のとき、前記駆動電源から、前記電流制限抵抗を介さず、前記PINダイオードに逆方向電圧を印加することで、前記PINダイオードをオフ状態にすることを特徴とする。この構成によれば、PINダイオードをオン状態からオフ状態に切り替えるときに、前記電流制限抵抗を介さず、前記PINダイオードに逆方向電圧が印加されるため、短い遷移時間でPINダイオードをオフ状態に切り替えることができる。これにより、PINダイオードの発熱量を抑制できる。したがって、ホットスイッチングによるPINダイオードの信頼性の低下を抑制することができる。

[0008] 前記駆動回路の好ましい実施の形態において、前記第2のスイッチング素子のオン抵抗は、 $0.1\ \Omega$ 以下である。この構成によれば、PINダイオードをオン状態からオフ状態にしたときの電流経路における抵抗値が低くなるため、PINダイオードのオン状態からオフ状態への遷移時間をより短くすることができる。

[0009] 前記駆動回路の好ましい実施の形態において、前記順方向電圧によって生じる、前記PINダイオードの順方向電流は、前記第1のスイッチング素子のオン抵抗と前記電流制限抵抗によって決定され、前記電流制限抵抗の抵抗値は、前記PINダイオードの順方向電流が所定の電流値となるように、前記第1のスイッチング素子のオン抵抗に基づき、決定されている。この構成によれば、順方向電流が所定の電流値（例えば、 1 A 以上）になるようにすることで、PINダイオードのキャリア寿命より十分短い遷移時間で、PINダイオードをオフ状態からオン状態へ切り替えることができる。

[0010] 前記駆動回路の好ましい実施の形態において、前記駆動電源の正極側の出力端子から負極側の出力端子に向かって順に、前記第1のスイッチング素子、前記電流制限抵抗、前記第2のスイッチング素子が、直列に接続されており、前記PINダイオードは、アノード端子が前記電流制限抵抗と前記第2のスイッチング素子との接続点に接続され、カソード端子が接地されている。この構成によれば、第1のスイッチング素子がオン状態であり、かつ、第

2のスイッチング素子がオフ状態のときに、電流制限抵抗を介して、P I Nダイオードに順方向電圧を印加し、一方、第1のスイッチング素子がオフ状態であり、かつ、第2のスイッチング素子がオン状態のときに、電流制限抵抗を介さずに、P I Nダイオードに逆方向電圧を印加することができる。したがって、P I Nダイオードをオン状態からオフ状態にしたときの電流経路において、電流制限抵抗を介さないようにすることができる。

[0011] 前記駆動回路の好ましい他の実施の形態において、前記駆動電源の正極側の出力端子から負極側の出力端子に向かって順に、前記電流制限抵抗、前記第1のスイッチング素子、前記第2のスイッチング素子が、直列に接続されており、前記P I Nダイオードは、アノード端子が前記第1のスイッチング素子と前記第2のスイッチング素子との接続点に接続され、カソード端子が接地されている。この構成によっても、P I Nダイオードをオン状態からオフ状態にしたときの電流経路において、電流制限抵抗を介さないようにすることができる。

[0012] 前記駆動回路の好ましい他の実施の形態において、前記駆動電源の正極側の出力端子から負極側の出力端子に向かって順に、前記第2のスイッチング素子、前記電流制限抵抗、前記第1のスイッチング素子が、直列に接続されており、前記P I Nダイオードは、アノード端子が接地され、カソード端子が前記電流制限抵抗と前記第2のスイッチング素子との接続点に接続されている。この構成によっても、P I Nダイオードをオン状態からオフ状態にしたときの電流経路において、電流制限抵抗を介さないようにすることができる。

[0013] 前記駆動回路の好ましい他の実施の形態において、前記駆動電源の正極側の出力端子から負極側の出力端子に向かって順に、前記第2のスイッチング素子、前記第1のスイッチング素子、前記電流制限抵抗が、直列に接続されており、前記P I Nダイオードは、アノード端子が接地され、カソード端子が前記第1のスイッチング素子と前記第2のスイッチング素子との接続点に接続されている。この構成によっても、P I Nダイオードをオン状態からオ

フ状態にしたときの電流経路において、電流制限抵抗を介さないようにすることができる。

[0014] 前記駆動回路の好ましい実施の形態において、前記接続点と前記P I Nダイオードとの間にフィルタ回路を、さらに備えている。この構成によれば、フィルタ回路によって、高周波電力が第1のスイッチング素子および第2のスイッチング素子に入力されることが抑制されるので、これらの損壊を抑制することができる。

[0015] 前記駆動回路の好ましい実施の形態において、前記電流制限抵抗に対して並列に接続されたスピードアップコンデンサを、さらに備えている。この構成によれば、第1のスイッチング素子をオン状態に第2のスイッチング素子をオフ状態に切り替えたときに、当該スピードアップコンデンサを介する電流経路が導通する。したがって、大電流によりP I Nダイオードをオン状態に切り替えることができるため、短い遷移時間でP I Nダイオードをオン状態に切り替えることができる。

[0016] 本発明の第2の側面によって提供されるインピーダンス整合装置は、電源ラインによって接続された高周波電源と負荷との間に配置され、インピーダンスを整合させるためのインピーダンス整合装置であって、互いに並列に接続され、それぞれ一端が前記電源ラインに接続された、複数のインピーダンス調整用コンデンサと、前記複数のインピーダンス調整用コンデンサ毎に、それぞれ一つずつ直列に接続された、複数のP I Nダイオードと、前記複数のP I Nダイオード毎に、それぞれ一つずつ接続された、複数の、第1の側面によって提供される駆動回路と、前記高周波電源の出力端から前記負荷側を見た負荷側インピーダンスを検出する検出部と、前記負荷側インピーダンスに基づき、前記複数の駆動回路毎に、前記第1のスイッチング素子および前記第2のスイッチング素子のオン状態とオフ状態との切り替えを指示する駆動信号を入力する制御回路と、を備えている。この構成によれば、P I Nダイオードのオン状態とオフ状態の切り替えによって、オン状態であるP I Nダイオードに接続されたインピーダンス調整用コンデンサが有効となるた

め、インピーダンス整合装置のキャパシタンスを変更することが可能となる。これにより、負荷側インピーダンスを調整し、インピーダンス整合を行うことができる。また、P I Nダイオードのオン状態からオフ状態への切り替わりの遷移時間が短いため、インピーダンス整合の速度が向上する。したがって、高周波電源から負荷に効率よく高周波電力を供給することができる。

発明の効果

[0017] 本発明によれば、P I Nダイオードをオン状態からオフ状態に切り替えるときに、前記電流制限抵抗を介さず、前記P I Nダイオードに逆方向電圧を印加するようにした。これにより、簡易な構成により、短い遷移時間でP I Nダイオードをオン状態からオフ状態に切り替えることができる。したがって、ホットスイッチングによるP I Nダイオードの信頼性の低下を抑制することができる。

図面の簡単な説明

[0018] [図1]第1実施形態に係る駆動回路を示す回路構成図である。
[図2]第2実施形態に係る駆動回路を示す回路構成図である。
[図3]第3実施形態に係る駆動回路を示す回路構成図である。
[図4]第4実施形態に係る駆動回路を示す回路構成図である。
[図5]第5実施形態に係る高周波電力供給システムの全体構成を示す図である。
。
[図6]第5実施形態に係るインピーダンス整合装置の構成を示す図である。

発明を実施するための形態

[0019] 本発明の好ましい実施の形態について、図面を参照して、以下に説明する。
。

[0020] 図1は、第1実施形態に係るP I NダイオードDの駆動回路A1の回路構成を示している。駆動回路A1は、図示しない駆動電源を入力とし、出力端子O U Tを介して、P I NダイオードDに順方向バイアスあるいは逆方向バイアスを与える。P I NダイオードDのアノード端子は、駆動回路A1の出力端子O U Tに接続され、かつ、高周波電流が流れる電源ラインLに接続さ

れている。P I NダイオードDのカソード端子は、接地されている。また、駆動電源は、直流電圧源であり、正極側の出力端子V +と、負極側の出力端子V -とを有している。正極側の出力端子V +は、後述するスイッチング素子S Hがオン状態、かつ、後述するスイッチング素子S Lがオフ状態になったときに、P I NダイオードDのアノード端子に順方向電圧降下（順方向電流を流すために必要な電圧）を印加してP I NダイオードDをオン状態にするためのものである。また、負極側の出力端子V -は、スイッチング素子S Lがオン状態、かつ、スイッチング素子S Hがオフ状態になったときに、P I NダイオードDのアノード端子に負電圧（降伏電圧に至らない範囲の電圧）を印加してP I NダイオードDをオフ状態にするためのものである。

[0021] 駆動回路A 1は、出力端子O U Tを介して、P I NダイオードDに順方向電圧を印加することで、P I NダイオードDを導通状態（オン状態）にし、P I NダイオードDに逆方向電圧を印加することで、P I NダイオードDを開放状態（オフ状態）にする。

[0022] 図1に示すように、駆動回路A 1は、2つのスイッチング素子S H、S L、電流制限抵抗R、スピードアップコンデンサS C、および、フィルタ回路Fを備えている。

[0023] スwitchング素子S H、S Lは、半導体を材料とする回路素子であり、例えば、M O S F E T（Metal Oxide Semiconductor Field Effect Transistor）、バイポーラトランジスタ、I G B T（Insulated Gate Bipolar Transistor：絶縁ゲート・バイポーラトランジスタ）、オプトカプラなどである。本実施形態においては、スイッチング素子S H、S Lとして、Nチャネル型のM O S F E Tを用いた場合を例に説明するが、これに限定されない。

[0024] スwitchング素子S H、S Lは、ゲート端子に図示しない制御回路から駆動信号が入力され、当該駆動信号に応じて、オン状態とオフ状態とが切り替わる。スイッチング素子S H、S Lは、当該駆動信号により、一方がオン状態のとき他方がオフ状態となるように制御されている。例えば、制御回路は、互いにハイレベルとローレベルとが反転した2つの電圧信号を生成し、一

方の電圧信号を駆動信号 S_1 としてスイッチング素子 S_H に入力し、他方の電圧信号を駆動信号 $\neg S_1$ としてスイッチング素子 S_L に入力する。駆動信号 S_1 ($\neg S_1$) がハイレベルの電圧信号である場合、スイッチング素子 S_H (S_L) はオン状態となり、駆動信号 S_1 ($\neg S_1$) がローレベルの電圧信号である場合、スイッチング素子 S_H (S_L) はオフ状態となる。これにより、スイッチング素子 S_H とスイッチング素子 S_L とは、互いにオン状態とオフ状態とが逆になる。なお、本実施形態においては、スイッチング素子 S_H が請求の範囲に記載の「第1のスイッチング素子」に相当し、スイッチング素子 S_L が請求の範囲に記載の「第2のスイッチング素子」に相当する。

[0025] 駆動回路 A_1 において、スイッチング素子 S_H , S_L は、電流制限抵抗 R を介して、直列に接続されている。スイッチング素子 S_H は駆動電源の正極側に接続され、スイッチング素子 S_L は駆動電源の負極側に接続されている。したがって、駆動回路 A_1 においては、駆動電源の正極側の出力端子 V_+ から負極側の出力端子 V_- に向かって、スイッチング素子 S_H (第1のスイッチング素子)、電流制限抵抗 R 、スイッチング素子 S_L (第2のスイッチング素子) の順に、これらが直列に接続されている。具体的には、スイッチング素子 S_H のドレイン端子は駆動電源の正極側の出力端子 V_+ に接続され、スイッチング素子 S_H のソース端子は電流制限抵抗 R の一端に接続されている。また、スイッチング素子 S_L のドレイン端子は電流制限抵抗 R の他端に接続され、スイッチング素子 S_L のソース端子は駆動電源の負極側の出力端子 V_- に接続されている。そして、スイッチング素子 S_H , S_L のゲート端子は、制御回路に接続されている。

[0026] また、電流制限抵抗 R には、スピードアップコンデンサ S_C が並列に接続されている。そして、電流制限抵抗 R とスイッチング素子 S_L との接続点 a は、フィルタ回路 F を介して、出力端子 OUT に接続されている。フィルタ回路 F は、例えば、 L 型に接続されたコンデンサ F_c とインダクタ F_l とにより構成される。具体的には、インダクタ F_l の一端とコンデンサ F_c の一

端とが接続点 a に接続されている。インダクタ F l の他端は、出力端子 O U T に接続され、コンデンサ F c の他端は接地されている。なお、フィルタ回路 F の構成は、これに限定されない。なお、フィルタ回路 F を備えていなくてもよいが、フィルタ回路 F を備えた場合、R F 入力端子および R F 出力端子を流れる高周波電力が駆動回路 A 1 に入力されることを抑制し、スイッチング素子 S H, S L の損壊を抑制することができる。

[0027] 以上のように構成された駆動回路 A 1 が、P I N ダイオード D のオン状態とオフ状態とを切り替えるときの動作について説明する。

[0028] まず、P I N ダイオード D をオフ状態からオン状態に切り替えるときの動作について説明する。

[0029] P I N ダイオード D がオフ状態のとき、すなわち、スイッチング素子 S H がオフ状態であり、かつ、スイッチング素子 S L がオン状態であるときに、スイッチング素子 S H をオン状態に、スイッチング素子 S L をオフ状態に切り替えると、駆動電源の正極側の出力端子 V + から、スイッチング素子 S H 、電流制限抵抗 R あるいはスピードアップコンデンサ S C 、および、フィルタ回路 F を介して、P I N ダイオード D のアノード端子への電流経路が導通する。これにより、P I N ダイオード D には順方向電圧が印加され、P I N ダイオード D がオン状態となる。このとき、スイッチング素子 S H をオフ状態からオン状態に、スイッチング素子 S L をオン状態からオフ状態に切り替えた瞬間は、スピードアップコンデンサ S C を通る電流経路を通して、P I N ダイオード D に大きな順方向電流が流れる。また、スピードアップコンデンサ S C の充電が完了すると、電流制限抵抗 R を通る電流経路を通して、P I N ダイオード D に順方向電流が流れる。当該順方向電流は、電流制限抵抗 R とスイッチング素子 S H のオン抵抗により決定される。ここで、順方向電流が所定の電流値（例えば、1 A 以上）となるように電流制限抵抗 R を設定しておくことで、十分な順方向電流を P I N ダイオード D に供給することができる。これにより、P I N ダイオード D をオフ状態からオン状態に切り替えるときに、P I N ダイオード D のキャリア寿命より十分に短い遷移時間で

の切り替えが可能となる。

[0030] 次に、P I NダイオードDをオン状態からオフ状態に切り替えるときの動作について説明する。

[0031] P I NダイオードDがオン状態のとき、すなわち、スイッチング素子S Hがオン状態であり、かつ、スイッチング素子S Lがオフ状態であるときに、スイッチング素子S Hをオフ状態に、スイッチング素子S Lをオン状態に切り替えると、駆動電源の負極側の出力端子Vーから、スイッチング素子S L、および、フィルタ回路Fを介して、P I NダイオードDのアノード端子への電流経路が導通する。これにより、P I NダイオードDには逆方向電圧が印加され、P I NダイオードDがオフ状態となる。このとき、スイッチング素子S Hをオン状態からオフ状態に、スイッチング素子S Lをオフ状態からオン状態に切り替えたときは、電流制限抵抗RあるいはスピードアップコンデンサS Cを介さず、スイッチング素子S Lに電流が流れる。したがって、P I NダイオードDがオン状態からオフ状態に切り替わる時の遷移時間を、スイッチング素子S Lのオン抵抗により決定されるため、電流制限抵抗Rがある場合と比べて、より短くすることができる。例えば、オン抵抗が小さい（例えば、0.1 Ω 以下の）スイッチング素子S Lを用いると、遷移時間を短くすることができる。

[0032] 以上で説明したように、第1実施形態に係る駆動回路A 1によれば、簡易な回路構成により、短い遷移時間でP I NダイオードDをオン状態からオフ状態に切り替えることができる。したがって、P I NダイオードDの発熱などのロスを抑制し、ホットスイッチングによるP I NダイオードDの信頼性の低下を抑制することができる。

[0033] 図2は、第2実施形態に係るP I NダイオードDの駆動回路A 2を示している。なお、上記駆動回路A 1と同一あるいは類似の構成については、同一の符号を付して、その説明を省略する。同図に示すように、第2実施形態の駆動回路A 2は、第1実施形態に係る駆動回路A 1と比較し、電流制限抵抗Rの接続位置が異なっている。

[0034] 駆動回路 A 2 において、電流制限抵抗 R は、スイッチング素子 S H と駆動電源の正極側の出力端子 V + との間に接続されており、スイッチング素子 S H とスイッチング素子 S L とが直接接続されている。したがって、駆動回路 A 2 においては、駆動電源の正極側の出力端子 V + から負極側の出力端子 V - に向かって、電流制限抵抗 R、スイッチング素子 S H、スイッチング素子 S L の順に、これらが直列に接続されている。具体的には、駆動電源の正極側の出力端子 V + と電流制限抵抗 R の一端とが接続され、電流制限抵抗 R の他端とスイッチング素子 S H のドレイン端子とが接続されている。また、スイッチング素子 S H のソース端子とスイッチング素子 S L のドレイン端子とが接続され、スイッチング素子 S L のソース端子と駆動電源の負極側の出力端子 V - に接続されている。スイッチング素子 S H とスイッチング素子 S L との接続点 b は、フィルタ回路 F を介して、出力端子 O U T に接続されている。なお、本実施形態においても、スイッチング素子 S H が請求の範囲に記載の「第 1 のスイッチング素子」に相当し、スイッチング素子 S L が請求の範囲に記載の「第 2 のスイッチング素子」に相当する。

[0035] このように構成された駆動回路 A 2 においても、上記第 1 実施形態に係る駆動回路 A 1 と同様の動作となるので、同様の効果を奏することができる。

[0036] 図 3 は、第 3 実施形態に係る P I N ダイオード D の駆動回路 A 3 を示している。なお、上記駆動回路 A 1、A 2 と同一あるいは類似の構成については、同一の符号を付して、その説明を省略する。第 3 実施形態においては、上記第 1 実施形態および上記第 2 実施形態と比較し、P I N ダイオード D のアノード端子とカソード端子との接続方向が逆向きになっている点で異なる。具体的には、P I N ダイオード D のアノード端子が接地され、P I N ダイオード D のカソード端子が、R F 入力端子と R F 出力端子とを接続する電源ライン L に接続されている。また、駆動回路 A 3 の出力端子 O U T は、P I N ダイオード D のカソード端子に接続されている。

[0037] また、駆動回路 A 3 は、上記駆動回路 A 1 と比較し、回路構成が異なっている。具体的には、上記駆動回路 A 1 においては、スイッチング素子 S L と

電流制限抵抗Rとの接続点aが、フィルタ回路Fを介して、出力端子OUTに接続されていたが、駆動回路A3は、スイッチング素子SHと電流制限抵抗Rとの接続点cが、フィルタ回路Fを介して、出力端子OUTに接続されている。なお、本実施形態においては、スイッチング素子SHが請求の範囲に記載の「第2のスイッチング素子」に相当し、スイッチング素子SLが請求の範囲に記載の「第1のスイッチング素子」に相当する。したがって、駆動回路A3においては、駆動電源の正極側の出力端子V+から負極側の出力端子V-に向かって、スイッチング素子SH（第2のスイッチング素子）、電流制限抵抗R、スイッチング素子SL（第1のスイッチング素子）の順に、これらが直列に接続されている。

[0038] 以上のように構成された駆動回路A3によって、PINダイオードDのオン状態とオフ状態とが切り替えるときの動作について説明する。

[0039] まず、PINダイオードDをオフ状態からオン状態に切り替えるときの動作について説明する。

[0040] PINダイオードDがオフ状態のとき、すなわち、スイッチング素子SHがオン状態であり、かつ、スイッチング素子SLがオフ状態であるときに、スイッチング素子SHをオフ状態に、スイッチング素子SLをオン状態に切り替えると、駆動電源の負極側の出力端子V-から、スイッチング素子SL、電流制限抵抗RあるいはスピードアップコンデンサSC、および、フィルタ回路Fを介して、PINダイオードDのカソード端子への電流経路が導通する。これにより、PINダイオードDには順方向電圧が印加され、PINダイオードDがオン状態となる。このとき、スイッチング素子SHをオン状態からオフ状態に、スイッチング素子SLをオフ状態からオン状態に切り替えた瞬間は、スピードアップコンデンサSCを通る電流経路を通して、PINダイオードDに大きな順方向電流が流れる。また、スピードアップコンデンサSCの充電が完了すると、電流制限抵抗Rを通る電流経路を通して、PINダイオードDに順方向電流が流れる。当該順方向電流は、電流制限抵抗Rとスイッチング素子SLのオン抵抗により決定される。ここで、上記第1

実施形態と同様に、順方向電流が所定の電流値（例えば、1 A以上）となるように電流制限抵抗Rを設定しておくことで、十分な順方向電流をP I NダイオードDに供給することができる。これにより、P I NダイオードDをオフ状態からオン状態に切り替えるときに、P I NダイオードDのキャリア寿命より十分に短い遷移時間で切り替えが可能となる。

[0041] 次に、P I NダイオードDがオン状態からオフ状態に切り替えるときの動作について説明する。

[0042] P I NダイオードDがオン状態のとき、すなわち、スイッチング素子S Hがオフ状態であり、かつ、スイッチング素子S Lがオン状態であるときに、スイッチング素子S Hをオン状態に、スイッチング素子S Lをオフ状態に切り替えると、駆動電源の正極側の出力端子V+から、スイッチング素子S H、および、フィルタ回路Fを介して、P I NダイオードDのカソード端子への電流経路が導通する。これにより、P I NダイオードDには逆方向電圧が印加され、P I NダイオードDがオフ状態となる。このとき、スイッチング素子S Hをオフ状態からオン状態に、スイッチング素子S Lをオン状態からオフ状態に切り替えたときは、電流制限抵抗RあるいはスピードアップコンデンサS Cを介さず、スイッチング素子S Hに電流が流れる。したがって、P I NダイオードDがオン状態からオフ状態に切り替わる際の遷移時間を、スイッチング素子S Hのオン抵抗により決定されるため、電流制限抵抗Rがある場合と比べて、より短くすることができる。例えば、オン抵抗が小さい（例えば、0.1 Ω 以下の）スイッチング素子S Hを用いると、遷移時間を短くすることができる。

[0043] 以上で説明したように、第3実施形態に係る駆動回路A 3によれば、簡易な回路構成により、短い遷移時間でP I NダイオードDをオン状態からオフ状態に切り替えることができる。したがって、P I NダイオードDの発熱などのロスを抑制し、ホットスイッチングによるP I NダイオードDの信頼性の低下を抑制することができる。

[0044] 図4は、第4実施形態に係るP I NダイオードDの駆動回路A 4を示して

いる。なお、上記駆動回路 A 1 ～ A 3 と同一あるいは類似の構成については、同一の符号を付して、その説明を省略する。同図に示すように、第 4 実施形態の駆動回路 A 4 は、第 3 実施形態に係る駆動回路 A 3 と比較し、電流制限抵抗 R の接続位置が異なっている。

[0045] 駆動回路 A 4 において、電流制限抵抗 R はスイッチング素子 S L と駆動電源の負極側の出力端子 V − との間に接続されており、スイッチング素子 S H とスイッチング素子 S L とが直接接続されている。したがって、駆動回路 A 4 においては、駆動電源の正極側の出力端子 V + から負極側の出力端子 V − に向かって、スイッチング素子 S H （第 2 のスイッチング素子）、スイッチング素子 S L （第 1 のスイッチング素子）、電流制限抵抗 R の順に、これらが直列に接続されている。具体的には、駆動電源の正極側の出力端子 V + とスイッチング素子 S H のドレイン端子とが接続され、スイッチング素子 S H のソース端子とスイッチング素子 S L のドレイン端子とが接続されている。また、スイッチング素子 S L のソース端子と電流制限抵抗 R の一端とが接続され、電流制限抵抗 R の他端と駆動電源の負極側の出力端子 V − とが接続されている。そして、スイッチング素子 S H のソース端子とスイッチング素子 S L のドレイン端子との接続点 d はフィルタ回路 F を介して出力端子 O U T に接続されている。なお、本実施形態においても、スイッチング素子 S H が請求の範囲に記載の「第 2 のスイッチング素子」に相当し、スイッチング素子 S L が請求の範囲に記載の「第 1 のスイッチング素子」に相当する。

[0046] このように構成された駆動回路 A 4 においても、上記第 3 実施形態に係る駆動回路 A 3 と同様の動作となるので、同様の効果を奏することができる。

[0047] 以上で説明した P I N ダイオード D の駆動回路 A 1 ～ A 4 は、例えば、高周波電力供給システムにおけるインピーダンス整合装置に用いられる。当該高周波電力供給システムを本発明の第 5 実施形態として以下に説明する。

[0048] 図 5 は、本発明の第 5 実施形態に係る高周波電力供給システムの全体構成の一例を示している。同図において、高周波電力供給システムは、高周波電源 1、負荷 2、および、インピーダンス整合装置 3 を備えている。高周波電

源 1 と負荷 2 とは、電源ライン 4 で接続されており、これらの間にインピーダンス整合装置 3 が配置されている。高周波電力供給システムは、高周波電源 1 で発生させた高周波電力を、電源ライン 4 を介して負荷 2 に供給するシステムである。なお、電源ライン 4 は、図 1 ～図 4 における電源ライン L に相当する。

[0049] 高周波電源 1 は、高周波電力を出力するものである。高周波電源 1 は、電力系統からの交流電力を整流回路で直流電力に変換し、直流電力をインバータ回路で高周波電力に変換して出力する。また、高周波電源 1 は、図示しない電源制御回路を備えており、出力電力や出力電流を制御している。本実施形態においては、高周波電源 1 は、例えば、13.56 MHz の高周波電力を出力する。なお、高周波電源 1 の構成および周波数は限定されない。

[0050] 負荷 2 は、高周波電源 1 から入力される高周波電力を用いて各種処理を行うものである。このような負荷 2 の一例を例示すると、プラズマ処理装置又はプラズマ発生装置や非接触電力伝送装置などがある。例えば、プラズマ処理装置は、ワーク加工部を備え、そのワーク加工部の内部に搬入した半導体ウエハや液晶基板などのワークを加工（例えば、エッチング、CVD など）するための装置である。プラズマ処理装置は、ワークを加工するために、ワーク加工部にプラズマ放電用ガスを導入し、そのプラズマ放電用ガスに高周波電源 1 から供給された高周波電力（電圧）を与えることによって、プラズマ放電用ガスを電離させて、非プラズマ状態からプラズマ状態にしている。プラズマ処理装置は、プラズマ状態になったガスを利用して、ワークを加工する。プラズマ発生装置は、プラズマ放電用ガスを電離させて、非プラズマ状態からプラズマ状態にし、プラズマ状態になったガスを、プラズマチャンバ等へ供給する装置である。

[0051] プラズマ処理装置では、プラズマエッチングやプラズマ CVD などの製造プロセスの進行に伴い、プラズマの状態が時々刻々と変化する。これにより、負荷 2 のインピーダンスが変動する。したがって、負荷 2 に高周波電源 1 から効率よく電力を供給するために、高周波電力供給システムは、負荷 2 の

インピーダンスの変動に伴い、高周波電源 1 の出力端から負荷 2 側を見たインピーダンス（以下、「負荷側インピーダンス」という。）を調整するインピーダンス整合装置 3 を備えている。

[0052] インピーダンス整合装置 3 は、負荷側インピーダンスを調整することで、インピーダンス整合を行うものである。インピーダンス整合装置 3 は、上記第 1 実施形態に係る駆動回路 A 1 および P I N ダイオード D を備えている。

[0053] 図 6 は、インピーダンス整合装置 3 の詳細な回路構成の一例を示している。同図において、インピーダンス整合装置 3 は、インピーダンス検出部 3 1、制御回路 3 2、および、インピーダンス調整回路 3 3 を備えている。

[0054] インピーダンス検出部 3 1 は、インピーダンス整合装置 3 の入力端に配置され、負荷側インピーダンスを検出するものである。インピーダンス検出部 3 1 は、検出した負荷側インピーダンスを制御回路 3 2 に出力する。具体的には、インピーダンス検出部 3 1 は、電源ライン 4 に流れる高周波電流に応じた電流および電源ライン 4 に生じる高周波電圧に応じた電圧を検出し、検出した電流信号および電圧信号から、電流実効値、電圧実効値、電流信号と電圧信号の位相差を求める。そして、これらのパラメータを用いて負荷側インピーダンスを演算し、これを制御回路 3 2 に出力する。なお、インピーダンス検出部 3 1 の構成および負荷側インピーダンスの検出方法は、これに限定されない。

[0055] 制御回路 3 2 は、インピーダンス検出部 3 1 から入力される負荷側インピーダンスが所定のインピーダンス値（例えば、高周波電源 1 の出力端から高周波電源 1 側を見たインピーダンス）になるように、インピーダンス調整回路 3 3 を制御するものである。

[0056] インピーダンス調整回路 3 3 は、キャパシタンス可変回路 3 3 1 と固定コンデンサ 3 3 2 とインダクタ 3 3 3 とを含んで構成される。なお、固定コンデンサ 3 3 2 を備えていなくてもよい。インピーダンス調整回路 3 3 は、キャパシタンス可変回路 3 3 1 のキャパシタンスを変化させ、負荷側インピーダンスを調整する。

[0057] キャパシタンス可変回路 331 は、複数の調整用コンデンサ（インピーダンス調整用コンデンサ） C_d 、複数の P I N ダイオード D 、および、複数の駆動回路 A 1 を含んで構成され、キャパシタンスを変化させることができる。キャパシタンス可変回路 331 において、P I N ダイオード D が、各調整用コンデンサ C_d に対してそれぞれ 1 つずつ直列に接続され、調整用コンデンサ C_d と P I N ダイオード D との直列体が互いに並列に接続されている。各調整用コンデンサ C_d の一端は、電源ライン 4 に接続され、他端は各 P I N ダイオード D のアノード端子に接続されている。また、各 P I N ダイオード D のカソード端子は接地されている。各調整用コンデンサ C_d のキャパシタンスは、互いに異なり、例えば、1 p F、2 p F、4 p F、・・・、のようにバイナリステップで増加するように設定されている。なお、同じキャパシタンスのものをを用いるようにしてもよい。

また、各調整用コンデンサ C_d のキャパシタンスは、全てのキャパシタンスが互いに異なる、又は、全てのキャパシタンスが同じであるという構成に限定されない。例えば、1 p F、2 p F、4 p F、・・・、のようにバイナリステップでキャパシタンスが増加する複数の調整用コンデンサ C_d と、他のキャパシタンス（例えば 10 p F 等）を有する 1 つ又は複数の調整用コンデンサ C_d とを組み合わせてもよい。また、1 つコンデンサで所定のキャパシタンスを実現することを意味するものではない。例えば、10 p F のキャパシタンスを実現するために、5 p F のキャパシタンスを並列接続してもよいし、20 p F のキャパシタンスを直列接続してもよい。

また、キャパシタンス可変回路 331 は、一端が電源ライン 4 に接続され、他端が接地された、容量不変のコンデンサを含んでも良い。各 P I N ダイオード D には、駆動回路 A 1 が接続されている。

[0058] 本実施形態においては、図 6 に示すように、インピーダンス調整回路 33 において、固定コンデンサ 332 とインダクタ 333 とが、電源ライン 4 に直列に接続され、キャパシタンス可変回路 331 がこれらより電源ライン 4 の上流側に配置されている。なお、固定コンデンサ 332 とインダクタ 33

3との接続位置は、上記したものに限定されない。例えば、キャパシタンス可変回路331、固定コンデンサ332、および、インダクタ333を、L型、 π 型、T型などに接続すればよい。

[0059] このように構成されたインピーダンス整合装置3において、インピーダンス検出部31が検出した負荷側インピーダンスは、制御回路32に出力される。そして、制御回路32は入力される負荷側インピーダンスが所定のインピーダンスとなるように、各駆動回路A1に入力する駆動信号S1、 $\neg$ S1を生成する。生成された駆動信号S1、 $\neg$ S1は、各駆動回路A1のスイッチング素子SH、SLにそれぞれ入力される。これにより、上記第1実施形態で示した動作により、駆動回路A1が接続されたPINダイオードDのオン状態とオフ状態とが切り替わる。そして、オン状態となったPINダイオードDに接続された調整用コンデンサCdには電源ライン4を流れる高周波電流が流れ、当該調整用コンデンサCdが有効となり、当該調整用コンデンサCdのキャパシタンスを足し合わせたキャパシタンスがキャパシタンス可変回路331のキャパシタンスとなる。このようにして、インピーダンス整合装置3は、各PINダイオードDのオン状態とオフ状態とを制御することで、キャパシタンス可変回路331のキャパシタンスを調整して、負荷側インピーダンスを調整する。

[0060] 以上のように構成された高周波電力供給システムによれば、駆動回路A1によりPINダイオードDのオン状態とオフ状態とを切り替えるようにした。これにより、上記第1実施形態に示したように、ホットスイッチングによるPINダイオードDの信頼性の低下を抑制できるため、PINダイオードDのオン状態とオフ状態との切り替えを適切に行うことができる。したがって、インピーダンス整合装置3によるインピーダンス整合を適切に行うことができる。また、駆動回路A1によって、短い遷移時間でPINダイオードDをオン状態からオフ状態に切り替えることができるため、インピーダンス整合装置3は、負荷側インピーダンスの調整を高速に行うことができる。したがって、高周波電力供給システムにおいて、高周波電源1から負荷2に効率

良く高周波電力を供給することができる。

[0061] 上記第5実施形態に係る高周波電力供給システムにおいて、インピーダンス整合装置3がインピーダンス検出部31により負荷側インピーダンスを検出し、制御回路32が当該負荷側インピーダンスに基づき、インピーダンス調整回路33を制御する場合を例に説明したが、これに限られない。例えば、インピーダンス検出部31の代わりに、電源ライン4を流れる反射波電力を検出する反射波電力検出部を備えておき、制御回路32は当該反射波電力が低くなるようにインピーダンス調整回路33を制御するようにしてもよい。

[0062] 上記第5実施形態に係る高周波電力供給システムにおいて、インピーダンス整合装置3が上記第1実施形態に係る駆動回路A1を備えた場合を例に説明したが、駆動回路A1の代わりに、上記第2ないし上記第4実施形態に係る駆動回路A2～A4を備えるようにしてもよい。また、駆動回路A1～A4の組み合わせであってもよい。

[0063] 本発明に係るPINダイオードの駆動回路および当該駆動回路を用いたインピーダンス整合装置は、上記した実施形態に限定されるものではない。本発明の駆動回路およびインピーダンス整合装置の各部の具体的な構成は、種々に設計変更自在である。

符号の説明

[0064] A1, A2, A3, A4 駆動回路

D ダイオード

SH, SL スイッチング素子

R 電流制限抵抗

SC スピードアップコンデンサ

F フィルタ回路

Fc コンデンサ

FI インダクタ

1 高周波電源

2 負荷

3 インピーダンス整合装置

3 1 インピーダンス検出部

3 2 制御回路

3 3 インピーダンス調整回路

3 3 1 キャパシタンス可変回路

C d 調整用コンデンサ

3 3 2 固定コンデンサ

3 3 3 インダクタ

請求の範囲

- [請求項1] P I N ダイオードのオン状態とオフ状態とを切り替える駆動回路であって、
- 一方がオン状態のときに他方がオフ状態となる、第1のスイッチング素子および第2のスイッチング素子と、
- 直流電圧を発生させる駆動電源と、
- 前記P I N ダイオードの順方向電流を調整する電流制限抵抗と、を備え、
- 前記第1のスイッチング素子がオン状態であり、かつ、前記第2のスイッチング素子がオフ状態のとき、前記駆動電源から、前記電流制限抵抗を介して、前記P I N ダイオードに順方向電圧を印加することで、前記P I N ダイオードをオン状態にし、
- 前記第1のスイッチング素子がオフ状態であり、かつ、前記第2のスイッチング素子がオン状態のとき、前記駆動電源から、前記電流制限抵抗を介さず、前記P I N ダイオードに逆方向電圧を印加することで、前記P I N ダイオードをオフ状態にする、
- ことを特徴とする駆動回路。
- [請求項2] 前記第2のスイッチング素子のオン抵抗は、 $0.1\ \Omega$ 以下である、請求項1に記載の駆動回路。
- [請求項3] 前記順方向電圧によって生じる、前記P I N ダイオードの順方向電流は、前記第1のスイッチング素子のオン抵抗と前記電流制限抵抗によって決定され、
- 前記電流制限抵抗の抵抗値は、前記P I N ダイオードの順方向電流が所定の電流値となるように、前記第1のスイッチング素子のオン抵抗に基づき、決定されている、
- 請求項1または請求項2に記載の駆動回路。
- [請求項4] 前記駆動電源の正極側の出力端子から負極側の出力端子に向かって順に、前記第1のスイッチング素子、前記電流制限抵抗、前記第2の

スイッチング素子が、直列に接続されており、

前記 P I N ダイオードは、アノード端子が前記電流制限抵抗と前記第 2 のスイッチング素子との接続点に接続され、カソード端子が接地されている、

請求項 1 ないし請求項 3 のいずれか一項に記載の駆動回路。

[請求項 5] 前記駆動電源の正極側の出力端子から負極側の出力端子に向かって順に、前記電流制限抵抗、前記第 1 のスイッチング素子、前記第 2 のスイッチング素子が、直列に接続されており、

前記 P I N ダイオードは、アノード端子が前記第 1 のスイッチング素子と前記第 2 のスイッチング素子との接続点に接続され、カソード端子が接地されている、

請求項 1 ないし請求項 3 のいずれか一項に記載の駆動回路。

[請求項 6] 前記駆動電源の正極側の出力端子から負極側の出力端子に向かって順に、前記第 2 のスイッチング素子、前記電流制限抵抗、前記第 1 のスイッチング素子が、直列に接続されており、

前記 P I N ダイオードは、アノード端子が接地され、カソード端子が前記電流制限抵抗と前記第 2 のスイッチング素子との接続点に接続されている、

請求項 1 ないし請求項 3 のいずれか一項に記載の駆動回路。

[請求項 7] 前記駆動電源の正極側の出力端子から負極側の出力端子に向かって順に、前記第 2 のスイッチング素子、前記第 1 のスイッチング素子、前記電流制限抵抗が、直列に接続されており、

前記 P I N ダイオードは、アノード端子が接地され、カソード端子が前記第 1 のスイッチング素子と前記第 2 のスイッチング素子との接続点に接続されている、

請求項 1 ないし請求項 3 のいずれか一項に記載の駆動回路。

[請求項 8] 前記接続点と前記 P I N ダイオードとの間に接続されたフィルタ回路を、さらに備えている、

請求項4ないし請求項7のいずれか一項に記載の駆動回路。

[請求項9] 前記電流制限抵抗に対して並列に接続されたスピードアップコンデンサを、さらに備えている、

請求項1ないし請求項8のいずれか一項に記載の駆動回路。

[請求項10] 電源ラインによって接続された高周波電源と負荷との間に配置され、インピーダンスを整合させるためのインピーダンス整合装置であって、

互いに並列に接続され、それぞれ一端が前記電源ラインに接続された、複数のインピーダンス調整用コンデンサと、

前記複数のインピーダンス調整用コンデンサ毎に、それぞれ一つずつ直列に接続された、複数のP I Nダイオードと、

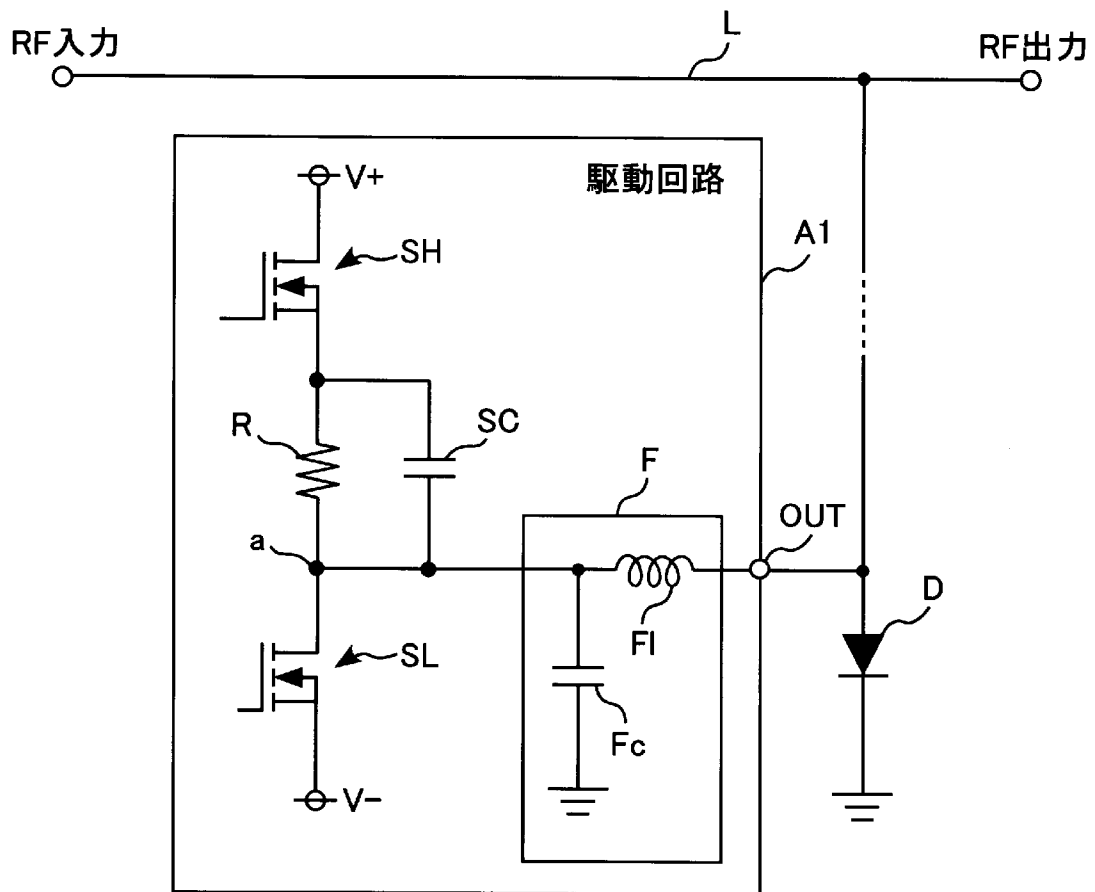
前記複数のP I Nダイオード毎に、それぞれ接続された、複数の、請求項1ないし請求項9のいずれか一項に記載の駆動回路と、

前記高周波電源の出力端から前記負荷側を見た負荷側インピーダンスを検出する検出部と、

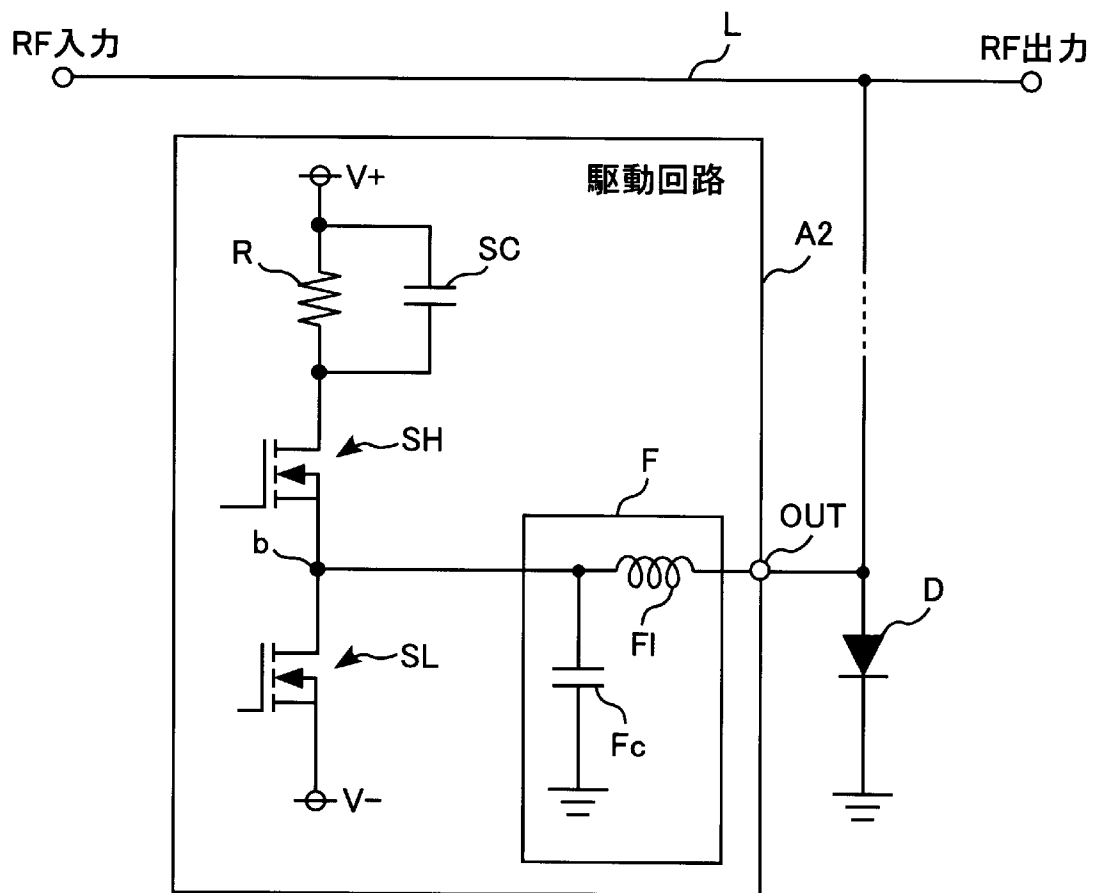
前記負荷側インピーダンスに基づき、前記複数の駆動回路毎に、前記第1のスイッチング素子および前記第2のスイッチング素子のオン状態とオフ状態との切り替えを指示する駆動信号を入力する制御回路と

を備えているインピーダンス整合装置。

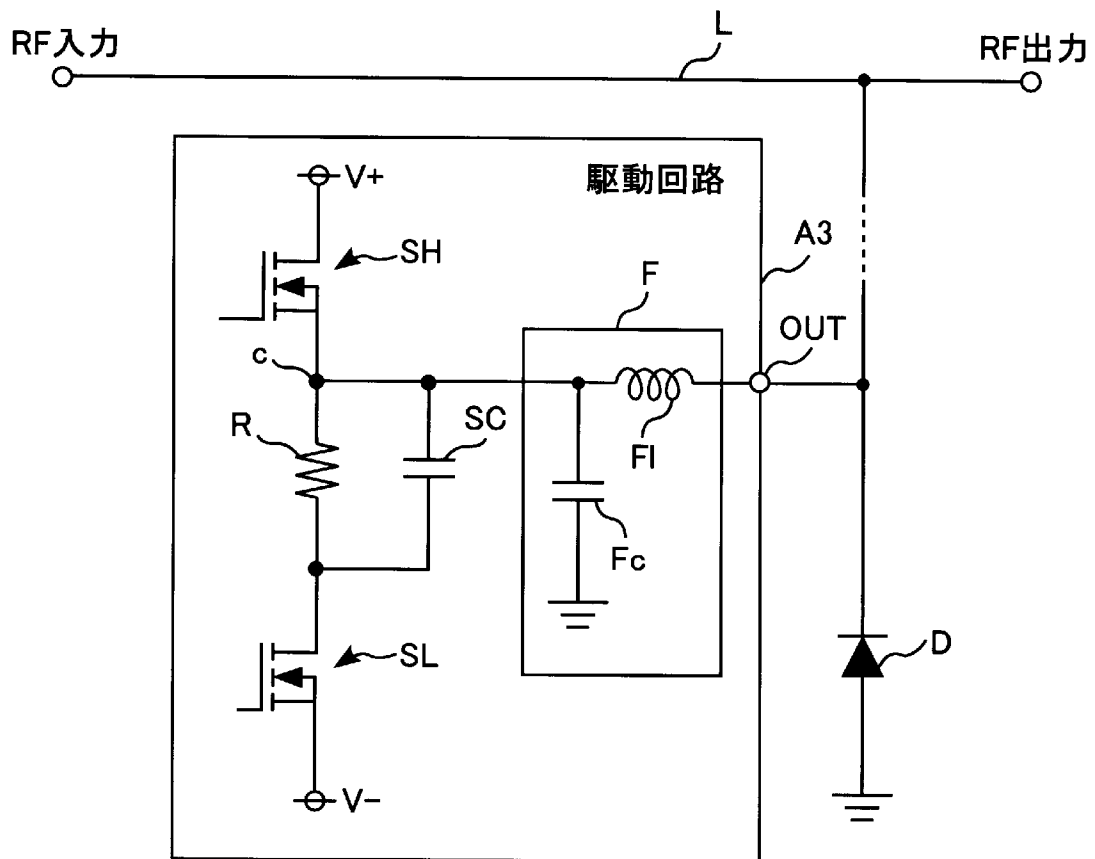
[図1]



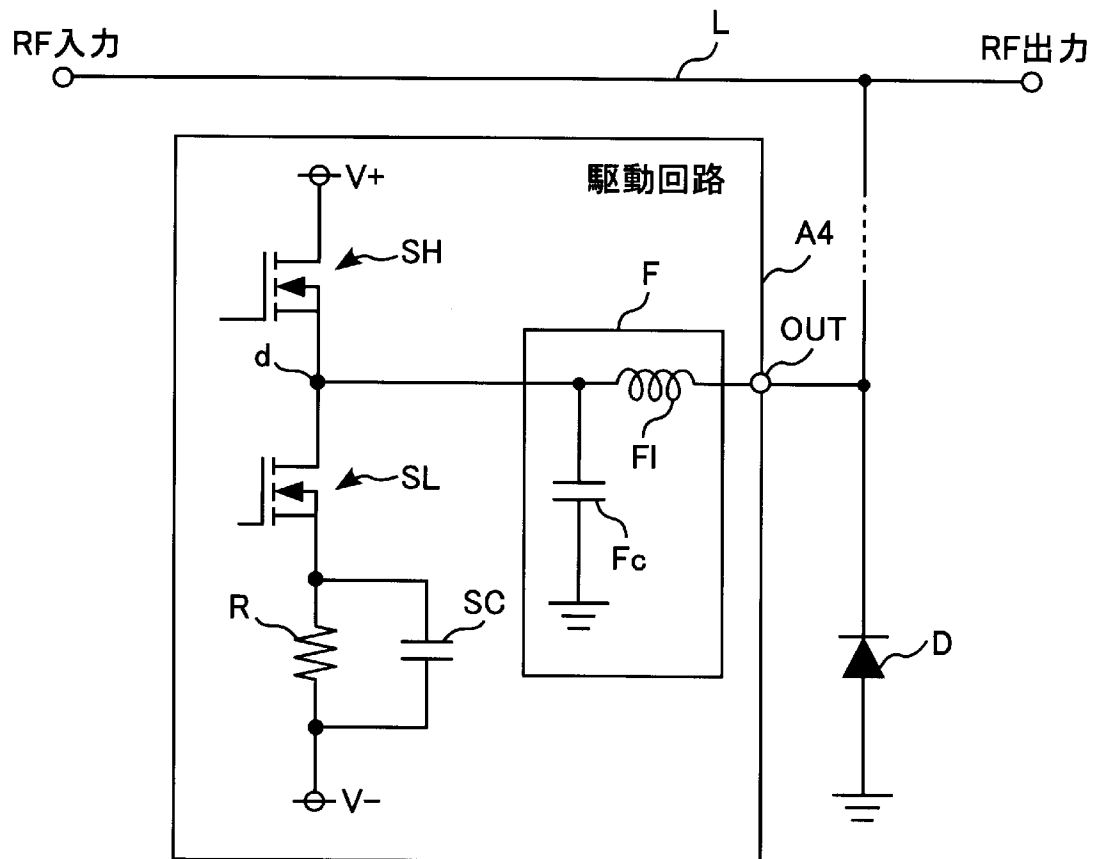
[図2]



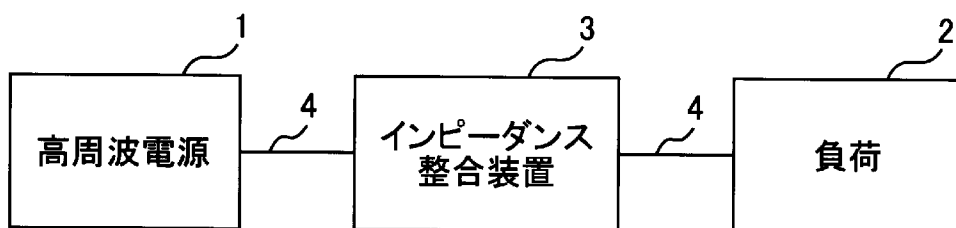
[図3]



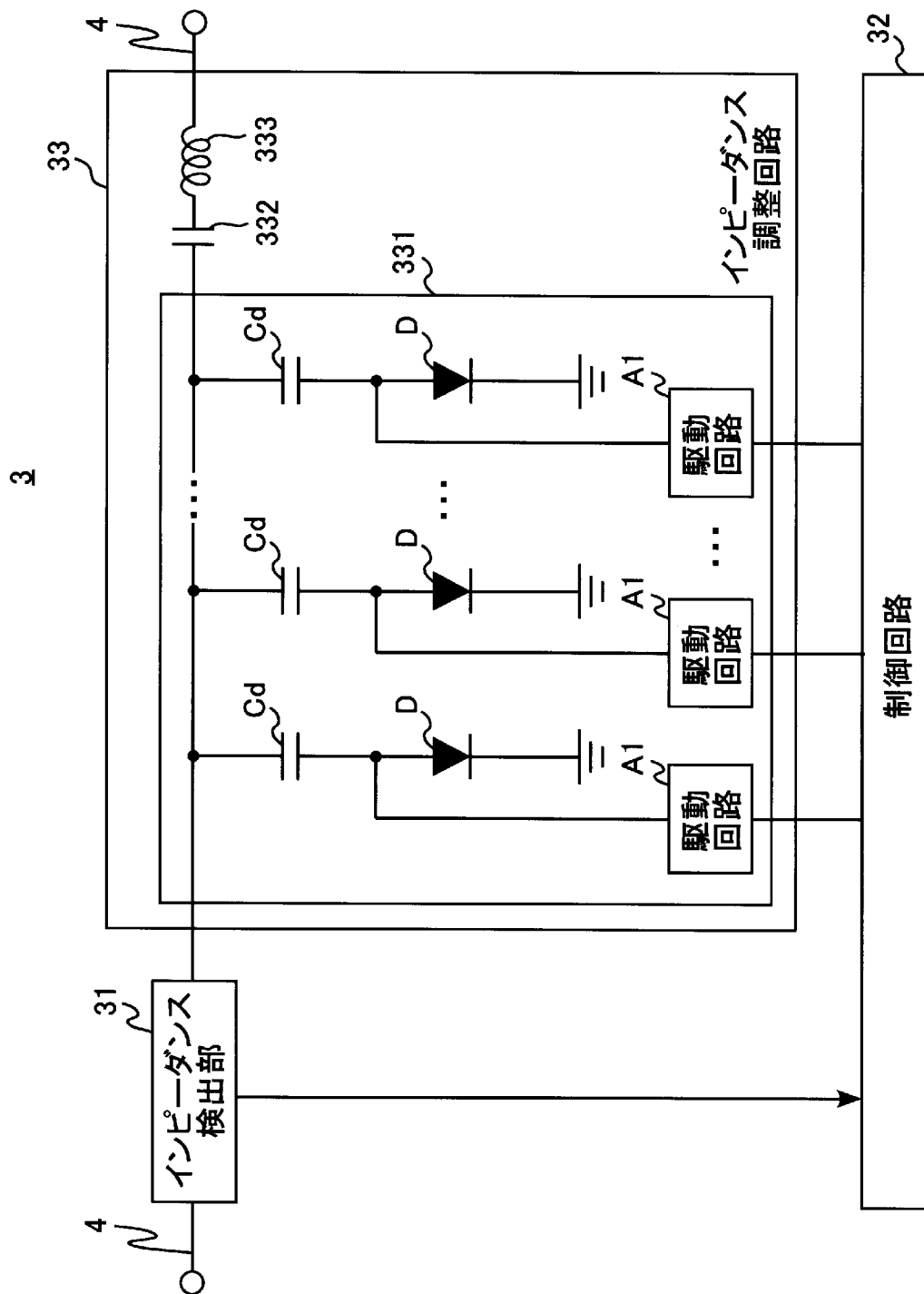
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/041328

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H03H7/40 (2006.01) i, H03H7/01 (2006.01) i, H03K17/74 (2006.01) i,
H05H1/46 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H03H7/40, H03H7/01, H03K17/74, H05H1/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 4-200012 A (TOSHIBA CORP.) 21 July 1992, prior art, fig. 4 (Family: none)	1, 3-4, 8-9 2, 10
X Y	JP 58-106902 A (NEC CORP.) 25 June 1983, description of embodiments, fig. 1-2 & US 4533838 A, column 3, line 13 to column 5, line 5, fig. 1-2 & EP 82471 A1 & CA 1204473 A	1, 3, 7 2, 5, 10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

23 January 2018 (23.01.2018)

Date of mailing of the international search report

06 February 2018 (06.02.2018)

Name and mailing address of the ISA/

Japan Patent Office

3-4-3, Kasumigaseki, Chiyoda-ku,

Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/041328

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 4253035 A (BELL TELEPHONE LABORATORIES) 24 February	1, 3-4, 6
Y	1981, detailed description, fig. 1-3 (Family: none)	2, 5, 10
Y	JP 2002-164762 A (ENI TECHNOLOGY, INC.) 07 June 2002, paragraphs [0007]-[0013], fig. 1-3 & US 6677828 B1, column 2, line 34 to column 3, line 44, fig. 1-3 & EP 1182686 A2 & TW 506233 B & KR 10-2002-0014765 A & CN 1340913 A	10

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H03H7/40(2006.01)i, H03H7/01(2006.01)i, H03K17/74(2006.01)i, H05H1/46(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H03H7/40, H03H7/01, H03K17/74, H05H1/46

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 4-200012 A（株式会社東芝） 1992.07.21, [従来技術], 第4図 (ファミリーなし)	1, 3-4, 8-9 2, 10
X Y	JP 58-106902 A（日本電気株式会社） 1983.06.25, [実施例の説明], 第1-2図 & US 4533838 A, 第3欄第13行-第5欄第5行, 第1-2図 & EP 82471 A1 & CA 1204473 A	1, 3, 7 2, 5, 10

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

23.01.2018

国際調査報告の発送日

06.02.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

麻川 倫広

5W

4448

電話番号 03-3581-1101 内線 3576

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	US 4253035 A (BELL TELEPHONE LABORATORIES)	1, 3-4, 6
Y	1981.02.24, DETAILED DESCRIPTION, 図1-3 (ファミリーなし)	2, 5, 10
Y	JP 2002-164762 A (イーエヌアイ テクノロジイ、インコーポレイ テッド) 2002.06.07, [0007]-[0013], 図1-3 & US 6677828 B1, 第2欄第34行-第3欄第44行, 図1-3 & EP 1182686 A2 & TW 506233 B & KR 10-2002-0014765 A & CN 1340913 A	10