

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成20年11月6日(2008.11.6)

【公開番号】特開2002-189632(P2002-189632A)

【公開日】平成14年7月5日(2002.7.5)

【出願番号】特願2001-287568(P2001-287568)

【国際特許分類】

G 0 6 F 12/06 (2006.01)

G 0 6 F 12/16 (2006.01)

G 1 1 C 29/56 (2006.01)

G 0 1 R 31/28 (2006.01)

【F I】

G 0 6 F 12/06 5 2 3 C

G 0 6 F 12/16 3 3 0 D

G 1 1 C 29/00 6 5 1 S

G 0 1 R 31/28 B

G 0 1 R 31/28 M

【手続補正書】

【提出日】平成20年9月19日(2008.9.19)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

所与のアドレス空間内における個々のアドレスに関する情報ワードについてDRAM(73)内においてメモリ動作を実行する方法であって、

(a) DRAMの $n \times m$ 個のバンク(113~124)を、 m 個のバンクにより 1 グループが形成される n 個のグループ(88~90)へと構成し、該バンクの各々が、前記アドレス空間内の各アドレス毎にアドレス指定可能な位置を 1 つずつ有しており、

(b) 各々の次のメモリ動作を、順序付けされた周期的なシーケンスで次のグループへと順次送り、

(c) 各グループ内において、該グループ内の各バンクを、順序付けされた周期的なシーケンスで選択し、

(d) 各グループ内において、該グループへと前記ステップ(b)により送られた連続するメモリ動作について、該連続するメモリ動作を、前記ステップ(c)の順序付けされた周期的なシーケンスに従って該グループの m 個のバンク間で、順次インタリーブし、及び、

(e) 1 グループ内における選択された各バンクについて、及び前記ステップ(d)によりそれらのバンクへ送られたインタリーブされたメモリ動作について、前記ステップ(d)による次の連続するメモリ動作を、前記アドレス空間内におけるアドレスにおいて実行する、

という各ステップを含む、方法。

【請求項 2】

前記メモリ動作が書き込み動作であり、

アドレス指定可能な被験装置(14)に対して実行されるテストから、書き込まれることとなる情報を取得するステップを更に含むことからなる、請求項 1 に記載の方法。

【請求項 3】

前記被験装置(14)がメモリであり、書き込まれることとなるワード内におけるビットが、メモリテスト装置内におけるチャンネルを表しており、

$n \times m$ 個のバンク内におけるアドレス指定可能な位置を、前記被験装置に提供されたアドレスから導出されたアドレスでアドレス指定するステップを更に含むことからなる、請求項2に記載の方法。

【請求項4】

前記メモリ動作が読み出し動作であり、

前記 $n \times m$ 個の全バンク(113~124)内の同じアドレスにおけるアドレス指定可能な位置から読み出しを行って $n \times m$ 個のワードを生成し、該 $n \times m$ 個のワードをマージして(146) 1つの最終的なワードを生成し、該最終的なワードを前記メモリ動作の結果として選択し、及び、該最終的なワードを前記 $n \times m$ 個の全バンク内へと前記同じアドレスで書き込む、という各ステップを更に含むことからなる、請求項1に記載の方法。

【請求項5】

前記最終的なワードが前記 $n \times m$ 個の全バンク(113~124)内へ書き込まれる時点に近接したフラグ(191)をセットし、及び、次の連続するメモリ動作が書き込み動作である前記ステップ(b)の後続するインスタンスで該フラグをクリアする、という各ステップを更に含むことからなる、請求項4に記載の方法。

【請求項6】

DRAM(73)内において、グループ選択部分及びバンク内アドレス部分を有するアドレス空間内における個々のアドレスに関連する情報ワードについてメモリ動作を実行する方法であって、

(a) DRAMの $n \times m$ 個のバンク(113~124)を、 m 個のバンクにより1グループが形成される n 個のグループ(88~90)へと構成し、該グループの各々が、前記グループ選択部分(167,169,171)により選択可能なものであり、1グループ内における各バンクが、前記バンク内アドレス部分(176)によりアドレス指定可能な位置を有しており、

(b) 各々の次のメモリ動作を、前記グループ選択部分により識別されたグループへ送り、

(c) 各グループ内において、該グループ内の各バンクを、順序付けされた周期的なシーケンスで選択し、

(d) 各グループ内において、該グループへと前記ステップ(b)により送られた連続するメモリ動作について、前記ステップ(c)の前記順序付けされた周期的なシーケンスに従って各バンクが選択される際に、それら連続するメモリ動作を該グループの m 個のバンク間で順次インタリーブし(161)、及び、

(e) 1グループ内において選択された各バンクについて、及び前記ステップ(d)によりそれらのバンクへ送られたインタリーブされたメモリ動作について、前記ステップ(d)による次の連続するメモリ動作を、前記バンク内アドレス部分により選択されたバンクの位置において実行する、

という各ステップを含む、方法。

【請求項7】

前記メモリ動作が書き込み動作であり、

アドレス指定可能な被験装置(14)に対して実行されるテストから、書き込まれることとなる情報を取得するステップを更に含むことからなる、請求項6に記載の方法。

【請求項8】

前記被験装置(14)がメモリであり、書き込まれることとなるワード内におけるビットが、メモリテストシステム内におけるチャンネルを表しており、

m 個のバンクの n 個のグループ(88~90)内におけるアドレス指定可能な位置を、前記被験装置に提供されたアドレスから導出されたアドレスでアドレス指定するステップを更に含むことからなる、請求項7に記載の方法。

【請求項9】

前記メモリ動作が読み出し動作であり、

前記グループ選択部分により識別されたグループの m 個の全バンクの同じアドレスにおけるアドレス指定可能な位置から読み出しを行って m 個のワードを生成し、該 m 個のワードをマージして(146) 1つの最終的なワードを生成し、該最終的なワードを前記メモリ動作の結果として選択し、及び、該最終的なワードを該識別されたグループの前記 m 個の全バンク内へと前記同じアドレスで書き込む、という各ステップを更に含むことからなる、請求項6に記載の方法。

【請求項10】

前記最終的なワードが前記 m 個の全バンク(113~124)内へと書き込まれる時点に近接したフラグ(191)をセットし、及び、次の連続するメモリ動作が書き込み動作である前記ステップ(b)の後続するインスタンスで該フラグをクリアする、という各ステップを更に含むことからなる、請求項9に記載の方法。