(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017 年 10 月 19 日(19.10.2017)

WIPO | PCT

(10) 国際公開番号
WO 2017/179265 A1

(51) 国際特許分類:
H04B 17/29 (2015.01) *H04B 1/26* (2006.01)

(21) 国際出願番号: PCT/JP2017/002727

(22) 国際出願日: 2017 年 1 月 26 日(26.01.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2016-080326 2016 年 4 月 13 日(13.04.2016) JP

(71) 出願人: 株式会社デンソー(DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町１丁目１番地 Aichi (JP).

(72) 発明者: 中島 健介(NAKAJIMA, Kensuke); 〒4488661 愛知県刈谷市昭和町１丁目１番地 株式会社デンソー内 Aichi (JP). 山浦 新司(YAMAURA, Shinji); 〒4488661 愛知県刈谷市昭和町１丁目１番地 株式会社デンソー内 Aichi (JP).

(74) 代理人: 特許業務法人 サトー国際特許事務所(SATO INTERNATIONAL PATENT FIRM); 〒4600008 愛知県名古屋市中区栄四丁目６番１５号 フォーティーンヒルズセンタービル Aichi (JP).

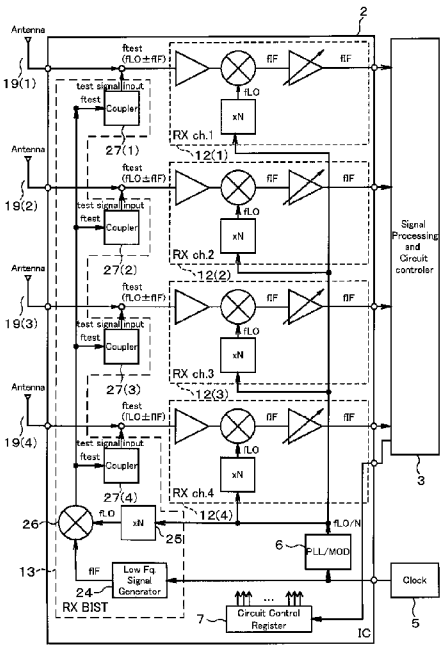
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) **Title**: RECEPTION DEVICE

(54) 発明の名称 : 受信装置



(57) **Abstract**: The disclosed reception device is equipped with: an amplifier (20) that amplifies a received signal received with a reception antenna (19); a frequency signal generation unit (5, 6, 22) that generates a local-frequency signal; a frequency conversion unit (21) that mixes the signal amplified by the amplifier and the local-frequency signal, converting these to an intermediate-frequency signal; an intermediate-frequency band amplifier (23) that amplifies the intermediate-frequency signal; a low-frequency signal generation unit (24, 44, 54) that generates a low-frequency signal the frequency of which is lower than the local-frequency signal; a test signal generation unit (26) that mixes the low-frequency signal and a signal of the same frequency as the local-frequency signal to generate a test signal; couplers (27) coupling the input unit of the amplifier and the test signal; and a control unit (3, 35) that uses the test signal to test the operation of a reception unit (12, 33, 83) having the amplifier, the frequency conversion unit, and the intermediate-frequency band amplifier.

(57) 要約: 本開示の受信装置は、受信アンテナ（１９）で受信した受信信号を増幅する増幅器（２０）と、ローカル周波数信号を生成する周波数信号生成部（５，６，２２）と、前記増幅器により増幅された信号と前記ローカル周波数信号とを混合して中間周波数信号に変換する周波数変換部（２１）と、前記中間周波数信号を増幅する中間周波数帯増幅器（２３）と、前記ローカル周波数信号よりも周波数が低い低周波信号を生成する低周波信号生成部（２４，４４，５４）と、前記低周波信号と、前記ローカル周波数信号と同じ周波数の信号とを混合してテスト信号を生成するテスト信号生成部（２６）と、前記テスト信号と前記増幅器の入力部とを結合させる結合器（２７）と、前記テスト信号を用いて、前記増幅器，前記周波数変換部及び前記中間周波数帯増幅器を有する受信部（１２，３３，８３）の動作をテストする制御部（３，３５）とを備える。

WO 2017/179265 A1

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ： 受信装置

関連出願の相互参照

[0001] 本出願は、２０１６年４月１３日に出願された日本出願番号２０１６－８０３２６号に基づくもので、ここにその記載内容を援用する。

技術分野

[0002] 本開示は、受信信号をローカル周波数信号と混合して中間周波数信号に変換する機能を備えた受信装置に関する。

背景技術

[0003] 受信信号をローカル周波数信号と混合して中間周波数信号に変換する受信装置に関する従来技術として、非特許文献１がある。この技術では、ミリ波帯のBIST（Bilt-In-Self-Test）信号が、送受信機のローカル信号と共通の信号源から生成された同じ周波数を有する信号であり、受信機でローカル信号によりダウンコンバートされた信号は、直流成分しか持たないＤＣ信号に変換される。これは所謂ダイレクトコンバージョン方式である。

先行技術文献

非特許文献

[0004] 非特許文献1：“A High-Linerity 76-85-GHz 16-Element 8-Transmit/8-Receive Phased-Array Chip With High Isolation and Flip-Chip Packaging,” IEEE Trans. Microw. Theory Techn., vol. 62, no 10, pp. 2337-2355, Oct. 2014.

発明の概要

[0005] しかしながら、ダウンコンバートされた信号が直流成分しか持たない場合、中間周波数帯の回路ブロックについては、周波数特性をテストすることができないという問題があった。

[0006] 本開示は、上記事情に鑑みてなされたものであり、変換される信号の周波数に関わらず、中間周波数帯の回路ブロックについて周波数特性をテストで

きる受信装置を提供することを目的とする。

[0007] 本開示の一態様によれば、低周波信号生成部は、中間周波数信号への変換に使用されるローカル周波数信号よりも周波数が低い低周波信号を生成し、テスト信号生成部は、その低周波信号と、ローカル周波数信号と同じ周波数の信号とを混合してテスト信号を生成する。そして、テスト信号と受信信号を増幅する増幅器の入力部とを結合器により結合させ、制御部は、テスト信号を用いて増幅器，周波数変換部及び中間周波数帯増幅器を有する受信部の動作をテストする。

[0008] このように構成すれば、結合器を介してテスト信号を入力した際に、周波数変換部により変換されて出力される信号は、前記低周波信号の周波数を有するものとなる。つまり、テスト時には既定の周波数の信号が得られるようになるので、周波数変換部により変換される中間周波数信号の周波数に関わらず、受信部の動作をテストすることが可能になる。

図面の簡単な説明

[0009] 本開示についての上記目的およびその他の目的、特徴や利点は、添付の図面を参照しながら下記の詳細な記述により、より明確になる。その図面は、

[図1]図１は、第１実施形態において、ＩＣの構成を中心に示す機能ブロック図であり、

[図2]図２は、受信部及び受信ＢＩＳＴ部における各周波数信号の具体数値例，及びパワースペクトルを示す図であり、

[図3]図３は、車載ミリ波レーダシステムの構成を示す図であり、

[図4]図４は、制御部によるＢＩＳＴ処理の内容を示すフローチャートであり、

[図5]図５は、第２実施形態において、ＩＣの構成を中心に示す機能ブロック図であり、

[図6]図６は、第３実施形態において、ＩＣの構成を中心に示す機能ブロック図であり、

[図7]図７は、第４実施形態において、ＩＣの構成を中心に示す機能ブロック

図であり、

[図8]図８は、第５実施形態において、ＩＣの構成を中心に示す機能ブロック図であり、

[図9]図９は、第６実施形態において、ＩＣの構成を中心に示す機能ブロック図であり、

[図10]図１０は、第７実施形態において、ＩＣの構成を中心に示す機能ブロック図であり、

[図11]図１１は、第８実施形態において、ＩＣの構成を中心に示す機能ブロック図であり、

[図12]図１２は、第９実施形態において、ＩＣの構成を中心に示す機能ブロック図である。

発明を実施するための形態

[0010] （第１実施形態）

図３に示すように、本実施形態の車載ミリ波レーダシステム１は、ＩＣ２，信号処理を行うと共にＩＣ２を制御する制御部３を備えている。制御部３は、車両の安全制御を行う制御ユニット４との間でデータの転送を行う。制御ユニット４は、車両の各部に配置されている他の制御ユニットとの間で、車載ＬＡＮ等により通信を行う。

[0011] ＩＣ２には、基準クロック生成部５により生成された基準クロック信号ｆｃｌｋが入力されている。基準クロック信号ｆｃｌｋは、内部のＰＬＬ（Phase Locked Loop）周波数シンセサイザ６に与えられている。尚、以下において、信号の名称は、対応する信号の周波数を示すことがある。周波数シンセサイザ６は、ＩＣ２において使用するローカル周波数信号ｆＬＯの周波数をＮ分周した信号ｆＬＯ／Ｎを生成し、以下に述べるよう各部に出力する。

[0012] また、ＩＣ２は回路制御レジスタ７を備えており、制御部３は、回路制御レジスタ７を介してＩＣ２の各部を制御する。制御部３と回路制御レジスタ７との間では、例えばＳＰＩ（Serial Peripheral Interface）やＩ２Ｃ（Inter-Integrated Circuit）などの通信規格によりデータを転送するが、用い

る通信規格はこれらに限ることはない。

[0013] ＩＣ２は、送信部１１，受信部１２及び受信ＢＩＳＴ部１３を備えている。送信部１１は、信号ｆＬＯ／Ｎを逓倍器１４により受けることでＮ逓倍し、周波数ｆＬＯの信号を、移相器１５を介してパワーアンプ１６に入力する。パワーアンプ１６は、入力された信号を増幅して送信アンテナ１７に出力し、送信アンテナ１７は、周波数ｆＬＯの電波信号を外部に送信する。

[0014] 上記のようにして送信部１１により送信された電波信号は、例えば他の車両などのターゲット１８により反射され、その反射波が受信アンテナ１９により受信される。受信部１２は、受信アンテナ１９により受信された信号を低雑音増幅器２０により増幅してミクサ２１に入力する。

[0015] 前記信号ｆＬＯ／Ｎは、受信部１２においても逓倍器２２によりＮ逓倍され、周波数ｆＬＯのローカル周波数信号が生成される。そのローカル周波数信号ｆＬＯはミクサ２１に入力されて、低雑音増幅器２０により増幅された信号と混合される。ミクサ２１より出力される信号は中間周波数信号となり、その中間周波数信号は、増幅利得が可変である中間周波数帯増幅器２３により増幅されて制御部３に入力される。

[0016] 中間周波数信号は、制御部３に内蔵されている図示しないＡ／Ｄコンバータによりａ／ｄ変換されて読み込まれる。尚、図１に示すように、実際の受信部１２は、複数，例えば４つの受信チャネル（１）～（４）を備えて構成されている。また、図１では、制御ユニット４及び送信部１１の図示を省略している。

[0017] 受信ＢＩＳＴ部１３は、受信部１２の周波数特性をテストするために使用されるテスト信号ｆｔｅｓｔを生成するため、基準クロック信号ｆｃｌｋをテスト信号生成器２４により分周して低周波数信号ｆＩＦを生成する。また受信ＢＩＳＴ部１３は、周波数シンセサイザ６により生成された分周信号ｆＬＯ／Ｎを逓倍器２５によりＮ逓倍し、ローカル周波数信号ｆＬＯと周波数が同一の信号を生成する。これらの信号は、ミクサ２６に入力されて混合されることでテスト信号ｆｔｅｓｔが生成される。テスト信号ｆｔｅｓｔは、

結合器２７を介して低雑音増幅器２０の入力端子に入力される。ミクサ２６は、テスト信号生成部に相当する。

[0018] 例えば図２に示すように、基準クロック信号の周波数ｆｃｌｋを５２ＭＨｚとし、ローカル周波数信号の周波数ｆＬＯを８０ＧＨｚとする。この時、周波数シンセサイザ６は、基準クロック信号を用いて周波数４０ＧＨｚの信号ｆＬＯ／２を生成する。信号ｆＬＯ／２は、逓倍器２２で２逓倍されてローカル周波数信号ｆＬＯとなる。また、受信ＢＩＳＴ部１３においても、信号ｆＬＯ／２は、逓倍器２５で２逓倍されて周波数がローカル周波数信号に等しい信号ｆＬＯが生成される。

[0019] 送信部１１より送信される信号の周波数は８０ＧＨｚであり、受信部１２のミクサ２１に入力されるローカル周波数信号ｆＬＯの周波数は８０ＧＨｚである。したがって、ミリ波レーダシステム１を構成する送受信機であるＩＣ２は、ミクサ２１より出力される中間周波数信号が直流成分のみとなるダイレクトコンバージョン方式を採用している。

[0020] 例えば、ミリ波レーダシステム１の通常動作では、周波数シンセサイザ６により生成されたレーダ用変調信号（ＦＭＣＷ）がターゲット１８で反射される。その反射波を受信部１２で受信した際にミクサ２１より出力される中間周波数信号は、距離に応じた時間差分だけ周波数が異なるレーダ用変調信号でダウンコンバートされ、その時間差分に応じた周波数成分のみが得られる。

[0021] 受信ＢＩＳＴ部１３では、基準クロック信号ｆｃｌｋを低周波信号生成器２４により１０００分周して周波数５２ｋＨｚの低周波数信号ｆＩＦを生成する。ミクサ２６では、信号ｆＬＯと低周波数信号ｆＩＦとが混合されるので、生成されるテスト信号ｆｔｅｓｔの周波数は（８０ＧＨｚ±５２ｋＨｚ）となる。したがって、受信部１２にテスト信号ｆｔｅｓｔのみが入力されていれば、ミクサ２１より出力される信号の周波数は５２ｋＨｚとなる。ここで、アップコンバート用のミクサ２６にダブルバランスミクサを用いれば、図２中に示すようにローカル周波数の信号成分ｆＬＯのレベルを抑圧でき

る。

[0022] 次に、本実施形態の作用について説明する。図４に示すように、制御部３は、周波数シンセサイザ６及び受信部１２がＯＮしている受信モードの状態から、受信ＢＩＳＴ部１３をＯＮにしてＢＩＳＴモードに移行し（Ｓ１）テスト項目を設定する（Ｓ２）。テスト項目の一例を以下に示す。

[0023] ・テスト信号ｆｔｅｓｔを受信部１２に入力した際に、受信部１２の出力である中間周波数信号ｆＩＦの電圧振幅が所望の特性の許容範囲内か。

・本実施形態のように受信部１２を多チャンネル集積したＩＣ２において、各チャンネル１２（１）～１２（４）の中間周波数信号ｆＩＦの電圧振幅が、所望の特性の許容範囲内で揃っているか。

・中間周波数信号ｆＩＦの電圧振幅の周波数特性が、所望の周波数特性の許容範囲内か。つまり、所望のフィルタ特性，カットオフ周波数が得られているか。

[0024] 続いて、前記テスト項目に応じた周波数シンセサイザ６の設定を行い、ＢＩＳＴで使用するローカル周波数信号ＬＯを設定する（Ｓ３）。このとき、無変調のＣＷ（Continuous Wave）信号の場合はその信号の周波数を、また、レーダ用変調信号（ＦＭＣＷ）の場合は変調周波数範囲，変調周期を設定する。

[0025] 次に、受信部１２の回路パラメータ，つまり受信部１２を構成する各回路ブロックの利得や周波数特性（フィルタのカットオフ周波数），バイアス値等を設定すると（Ｓ４）、受信ＢＩＳＴ回路１３を構成する低周波信号生成器２４を設定する（Ｓ５）。本実施形態では、低周波信号生成器２４の分周比は固定であるから、ここでは低周波信号の振幅のみを設定する。上述のように、低周波信号の周波数ｆＩＦが受信部１２のミクサ２１より出力される信号の周波数と同じ値になることで、中間周波数帯増幅器２３の周波数帯域特性をセルフテストすることができる。

[0026] 各種設定が終了したら、ＢＩＳＴを開始する（Ｓ６）。すなわち、中間周波数信号や受信部１２を介して得られる受信信号について、制御部３が所望

の特性を満たしているか否かを判定する。このテストの判定結果が不良であれば（Ｓ７，ＮＯ）、受信部１２を構成する各回路ブロックの設定パラメータを変更することで改善可能か否か、回路調整可否を判定する（Ｓ１１）。そして、調整可能であれば（ＹＥＳ）、パラメータ設定を変更して（Ｓ１４）ステップＳ２に戻る。これにより、受信部１２の故障発生の有無だけでなく、ミリ波信号受信特性（利得、周波数）を判定し、受信部１２の各回路ブロックの調整機能を用いて所望のミリ波信号受信特性が得られるように校正，調整する。

[0027] 一方、ステップＳ１１において回路調整が不可であれば（ＮＯ）、不良テスト項目／条件，及びテスト結果を保存して（Ｓ１２）必要なテスト項目が完了したか否かを判定する（Ｓ１３）。必要なテスト項目が完了していなければ（ＮＯ）ステップＳ２に戻る。また、ステップＳ７において、テストの判定結果が良であれば（ＹＥＳ）、良テスト項目／条件，及びテスト結果を保存し（Ｓ８）、必要なテスト項目が完了したか否かを判定する（Ｓ９）。必要なテスト項目が完了していなければ（ＮＯ）ステップＳ２に戻る。

[0028] ステップＳ９又はＳ１３において、必要なテスト項目が完了していれば（ＹＥＳ）、受信ＢＩＳＴ回路１３をＯＦＦすることで受信ＢＩＳＴを終了し（Ｓ１０）、受信モードに戻る。

[0029] 以上のように本実施形態によれば、低周波信号生成器２４は、中間周波数信号への変換に使用されるローカル周波数信号ｆＬＯよりも周波数が低い低周波信号ｆＩＦを生成し、ミクサ２６は、その低周波信号ｆＩＦと、ローカル周波数信号ｆＬＯと同じ周波数の信号とを混合してテスト信号ｆｔｅｓｔを生成する。そして、テスト信号ｆｔｅｓｔと受信信号を増幅する増幅器２０の入力部とを結合器２７により結合させ、制御部３は、テスト信ｆｔｅｓｔ号を用いて増幅器２０，ミクサ２１及び中間周波数帯増幅器２３を有する受信部１３の動作をテストする。

[0030] このように構成すれば、結合器２７を介してテスト信号ｆｔｅｓｔを入力した際に、ミクサ２１により変換されて出力される信号は、低周波信号ｆＩ

Ｆの周波数を有するものとなる。つまり、テスト時には既定の周波数ｆＩＦの信号が得られるようになるので、通常の通信動作においてミクサ２１により変換される中間周波数信号の周波数に関わらず、受信部１３の動作をテストすることが可能になる。

[0031] （第２実施形態）

以下、第１実施形態と同一部分には同一符号を付して説明を省略し、異なる部分について説明する。図５に示すように、第２実施形態のミリ波レーダシステム３１は、ＩＣ２がＩＣ３２に置き換えられている。ＩＣ３２は、受信部３３において、中間周波数帯増幅器２３の出力部にＡ／Ｄ変換器３４を備えている。したがって、制御部３５は、自身がＡ／Ｄ変換器を内蔵せずとも、ＩＣ３２より受信信号をデジタルデータとして取得することができる。

[0032] （第３実施形態）

図６に示すように、第３実施形態のミリ波レーダシステム４１は、第２実施形態のシステム３１におけるＩＣ３２がＩＣ４２に置き換えられている。ＩＣ４２は、受信ＢＩＳＴ部４３が、低周波信号生成器２４をプログラマブル分周器４４に置き換えたもので構成されている。この場合、第１実施形態の図４に示すステップＳ５において、制御部３５がプログラマブル分周器４４に分周比を適宜設定する。以上のように構成される第３実施形態によれば、受信ＢＩＳＴ部４３にプログラマブル分周器４４を備えるので、低周波信号ｆＩＦの周波数を任意に変更することができる。

[0033] （第４実施形態）

図７に示すように、第４実施形態のミリ波レーダシステム４１Ａは、第３実施形態のシステム４１においてプログラマブル分周器４４に入力されるクロック信号が、基準クロック信号ｆｃｌｋに換えて、周波数シンセサイザ６より出力される信号ｆＬＯ／Ｎとなっている。この場合、各周波数の一例が第１実施形態の図２に示すものと同様であれば、プログラマブル分周器４４に設定する分周比を（１３／１００００００）とすれば良い。

[0034] このようにプログラマブル分周器４４に入力されるクロック信号を、基準

クロック信号ｆｃｌｋに換えて、周波数シンセサイザ６より出力される信号ｆＬＯ／Ｎにすることで、基準クロック信号ｆｃｌｋ周波数より高い周波数を生成することができる。

[0035] （第５実施形態）

図８に示すように、第５実施形態のミリ波レーダシステム５１は、第２実施形態のシステム３１におけるＩＣ３２がＩＣ５２に置き換えられている。ＩＣ５２は、受信ＢＩＳＴ部５３が、低周波信号生成器２４をＰＬＬ周波数シンセサイザ５４に置き換えたもので構成されている。以上のように構成される第５実施形態によれば、ＰＬＬ周波数シンセサイザ５４により、低周波信号ｆＩＦの設定をより柔軟に行うことができる。

[0036] （第６実施形態）

図９に示すように、第６実施形態のミリ波レーダシステム６１は、第２実施形態のシステム３１におけるＩＣ３２がＩＣ６２に置き換えられている。ＩＣ６２では、受信ＢＩＳＴ部６３において、ミクサ２６と各受信チャネル３３（１）～３３（４）との間に、スイッチ回路６４（１）～６４（４）が配置されている。スイッチ回路６４は例えばアナログスイッチ等で構成され、制御部３５が回路制御レジスタ６５を介してそのＯＮ／ＯＦＦを制御可能となっている。スイッチ回路６４は出力停止部に相当する。

[0037] このようにスイッチ回路６４（１）～６４（４）を配置することで、ミリ波レーダシステム１の通常動作おいて、スイッチ回路６４をＯＦＦにすることで、各受信チャネル３３（１）～３３（４）間のアイソレーションを高めることができる。例えば、スイッチ回路６４（１）～６４（４）がない場合、各受信チャネル１２（１）～１２（４）間のアイソレーションは、２つの結合器２７のカップリング量でほぼ決まる。

[0038] 尚、スイッチ回路６４をテスト信号ｆｔｅｓｔが伝送される線路に対して、図９に示すように直列に接続する方法でも良いし、並列にＤＣカットコンデンサを介してグランドとの間に接続し、結合器２７の入力端子をグランドレベルに落として前記信号の入力を阻止しても良い。

[0039] （第７実施形態）

図１０に示すように、第７実施形態のミリ波レーダシステム７１は、第６実施形態のシステム６１におけるＩＣ６２がＩＣ７２に置き換えられている。ＩＣ７２では、受信ＢＩＳＴ部７３において、スイッチ回路６４（１）～６４（４）に替えて増幅器７４（１）～７４（４）が配置されている。増幅器７４は、制御部３５が回路制御レジスタ６５を介して増幅動作を停止可能に構成されており、出力停止部に相当する。

[0040] このように増幅器７４（１）～７４（４）を配置することで、ミクサ２６から各受信チャネル３３（１）～３３（４）までの接続線路の損失や、結合器２７の損失により減衰したテスト信号ｆｔｅｓｔを増幅できる。また、制御部３５が、第６実施形態と同様にミリ波レーダシステム１の通常動作おいて、増幅器７４をＯＦＦさせることで、各受信チャネル３３（１）～３３（４）間のアイソレーションを高めることができる。

[0041] （第８実施形態）

図１１に示すように、第８実施形態のミリ波レーダシステム８１は、第７実施形態のシステム７１におけるＩＣ７２がＩＣ８２に置き換えられている。ＩＣ８２では、受信８３において、ミクサ２１と中間周波数増幅器２３との間にハイパスフィルタ８４を備えている。このように構成すれば、ミクサ２１より出力される信号に含まれる不要な低周波成分をハイパスフィルタ８４により除去できる。

[0042] （第９実施形態）

図１２に示すように、第９実施形態のミリ波レーダシステム８１Ａは、第８実施形態のシステム８１におけるＩＣ８２がＩＣ８２Ａに置き換えられている。ＩＣ８２Ａでは、受信ＢＩＳＴ部７３Ａにおいて、増幅器７４の接続位置が第８実施形態と異なるだけである。第９実施形態では、ミクサ２６の出力端子に４つの増幅器７４（１）～７４（４）が直列に接続されており、各増幅器７４（１）～７４（４）の出力端子と、対応する結合器２７（１）～２７（４）の入力端子とがそれぞれ接続されている。以上のように構成さ

れる第９実施形態によれば、第８実施形態と同様の効果が得られる。

[0043] （その他の実施形態）

受信チャネルの数は「４」に限らず、「３」以下又は「５」以上，例えば８チャネルや１６チャネル等であっても良い。また、必ずしも複数の受信チャネルを備える必要はない。

ステップＳ７で「ＮＯ」と判断した場合に、ステップＳ１４は必要に応じて実行すれば良い。

ダイレクトコンバージョン方式を行うものに限らず、適用が可能である。

また、車載ミリ波レーダシステムに適用するものに限らず、受信系においてダウンコンバートを行う受信装置であれば適用が可能である。

周波数の具体数値については、個別の設計に応じて適宜変更すれば良い。

[0044] 本開示は、実施例に準拠して記述されたが、本開示は当該実施例や構造に限定されるものではないと理解される。本開示は、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。

請求の範囲

[請求項1] 受信アンテナ（１９）で受信した受信信号を増幅する増幅器（２０）と、

ローカル周波数信号を生成する周波数信号生成部（５，６，２２）と、

前記増幅器により増幅された信号と前記ローカル周波数信号とを混合して中間周波数信号に変換する周波数変換部（２１）と、

前記中間周波数信号を増幅する中間周波数帯増幅器（２３）と、

前記ローカル周波数信号よりも周波数が低い低周波信号を生成する低周波信号生成部（２４，４４，５４）と、

前記低周波信号と、前記ローカル周波数信号と同じ周波数の信号とを混合してテスト信号を生成するテスト信号生成部（２６）と、

前記テスト信号と前記増幅器の入力部とを結合させる結合器（２７）と、

前記テスト信号を用いて、前記増幅器，前記周波数変換部及び前記中間周波数帯増幅器を有する受信部（１２，３３，８３）の動作をテストする制御部（３，３５）とを備える受信装置。

[請求項2] 前記制御部は、前記テストの結果より、前記受信部の動作が所望の周波数特性を満たしていないと判断すると、前記周波数特性を満たすように周波数調整制御，及び／又は前記増幅器若しくは前記中間周波数帯増幅器の利得調整制御を行う請求項１記載の受信装置。

[請求項3] 前記中間周波数信号を、Ａ／Ｄ変換して前記制御部に入力するＡ／Ｄ変換器（３４）を備える請求項１又は２記載の受信装置。

[請求項4] 前記低周波信号生成部は、前記周波数信号生成部に入力される基準クロック信号から、前記低周波信号を生成する周波数シンセサイザ（５４）で構成される請求項１から３の何れか一項に記載の受信装置。

[請求項5] 前記低周波信号生成部は、前記周波数信号生成部に入力される基準クロック信号を分周する分周比の設定が、前記制御部により変更可能

な分周器（４４）で構成される請求項１から３の何れか一項に記載の受信装置。

[請求項6] 前記低周波信号生成部は、前記周波数信号生成部より出力される信号を分周する分周器で構成される請求項１から３の何れか一項に記載の受信装置。

[請求項7] 前記テスト信号生成部と前記結合器との間に、前記テスト信号の出力を停止させる出力停止部（６４，７４）を備える請求項１から６の何れか一項に記載の受信装置。

[請求項8] 前記受信部は、複数の受信チャネルを備え、

前記出力停止部は、前記テスト信号生成部と前記複数の受信チャネルに対応する結合器との間の線路にそれぞれ配置されている請求項７記載の受信装置。

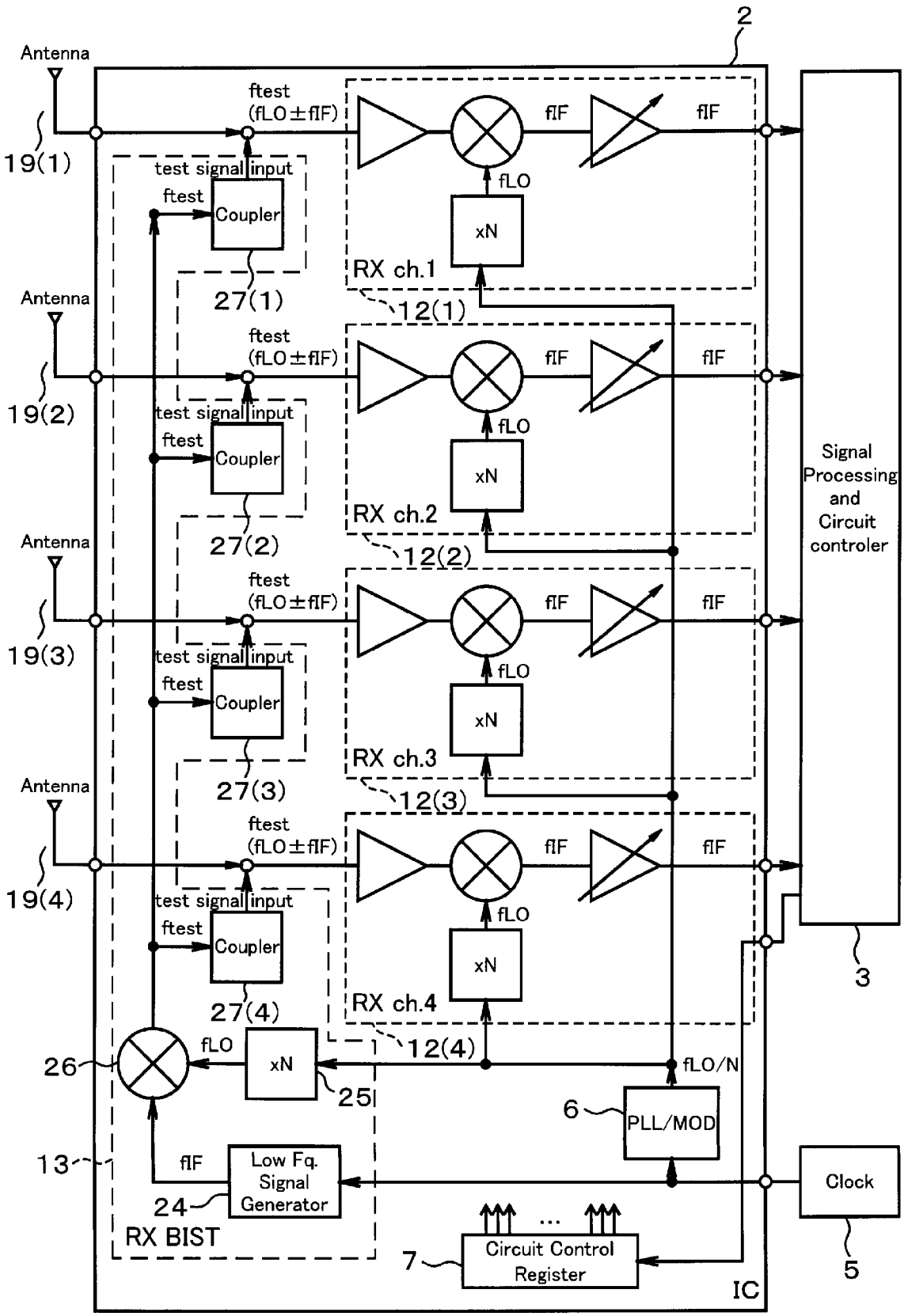
[請求項9] 前記出力停止部は、スイッチ（６４）である請求項７又は８記載の受信装置。

[請求項10] 前記出力停止部は、増幅動作を停止可能な増幅器（７４）である請求項７又は８記載の受信装置。

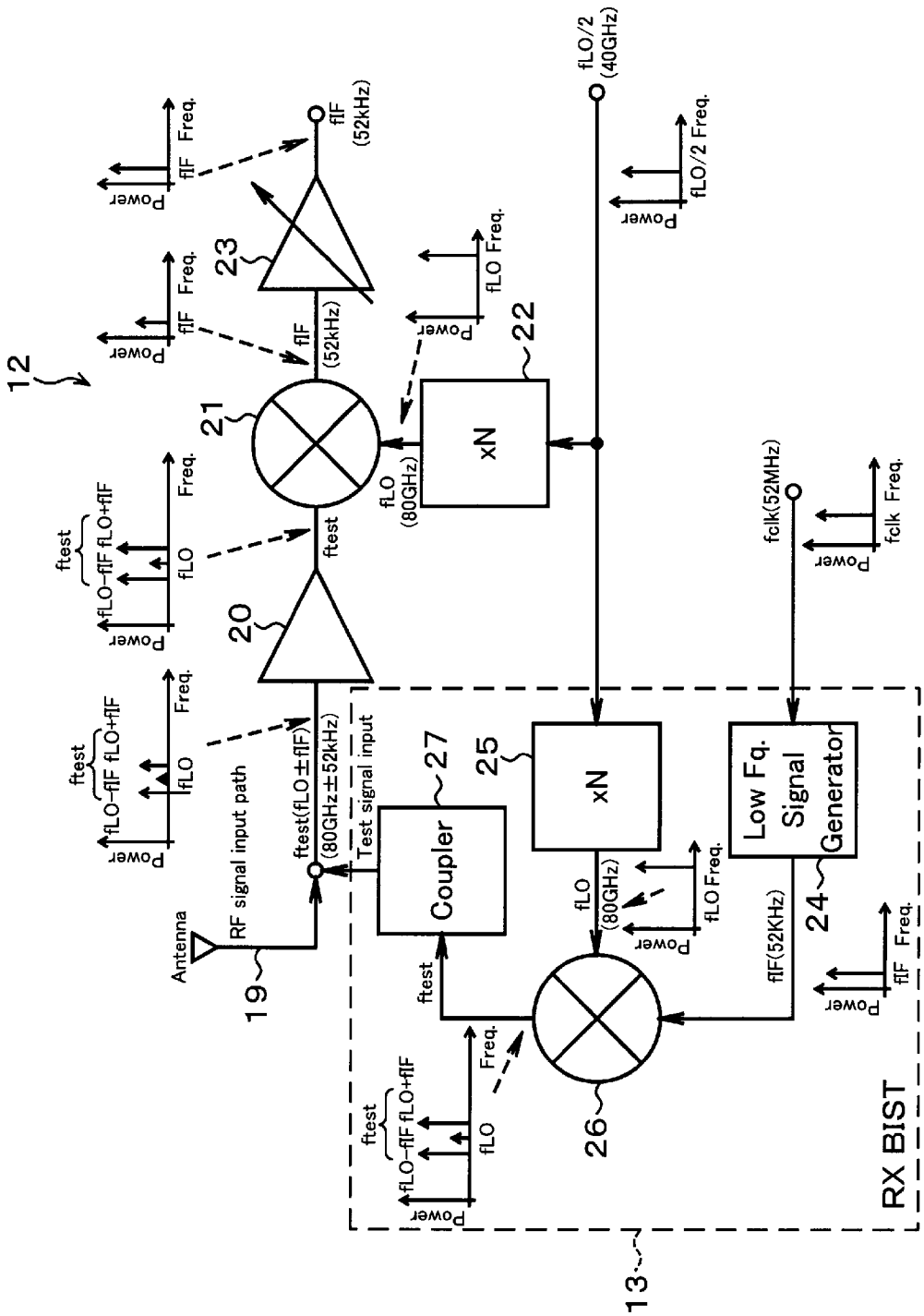
[請求項11] 前記周波数変換部と前記中間周波数帯増幅器との間に、ハイパスフィルタ（８４）を備える請求項１から１０の何れか一項に記載の受信装置。

[請求項12] 車載ミリ波レーダシステム（１，２１，３１，４１，４１Ａ，５１，６１，７１，８１，８１Ａ）に適用される請求項１から１１の何れか一項に記載の受信装置。

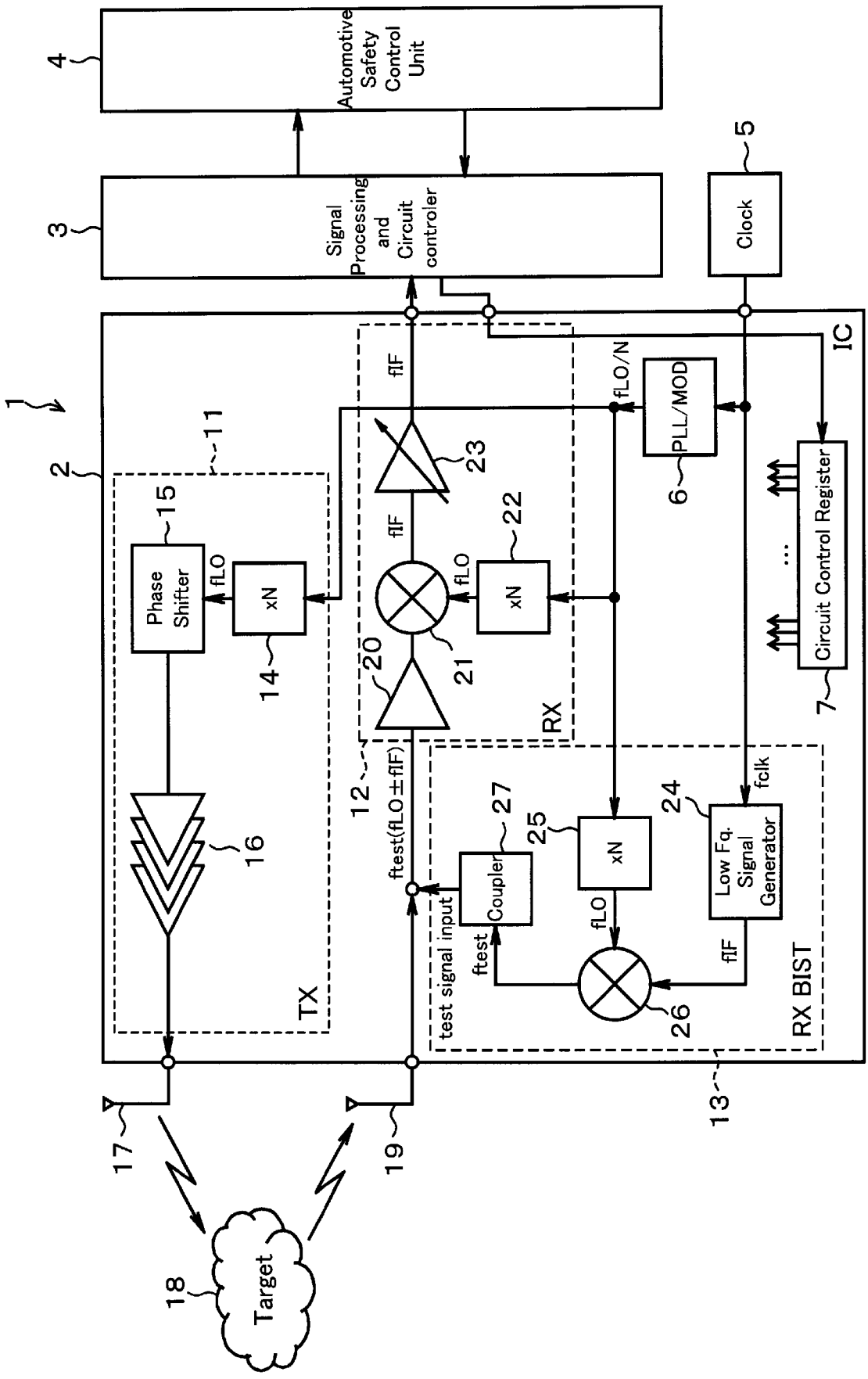
[図1]


2
Antenna
19(1)
ftest
(fLO±fIF)
fIF
fIF
test signal input
ftest
Coupler
fLO
xN
RX ch.1
27(1)
12(1)
Antenna
19(2)
RX ch.2
27(2)
12(2)
Antenna
19(3)
RX ch.3
27(3)
12(3)
Antenna
19(4)
RX ch.4
27(4)
12(4)
Signal Processing and Circuit controler
3
26
25
fLO/N
6
PLL/MOD
13
fIF
Low Fq. Signal Generator
24
RX BIST
Clock
5
7
Circuit Control Register
IC

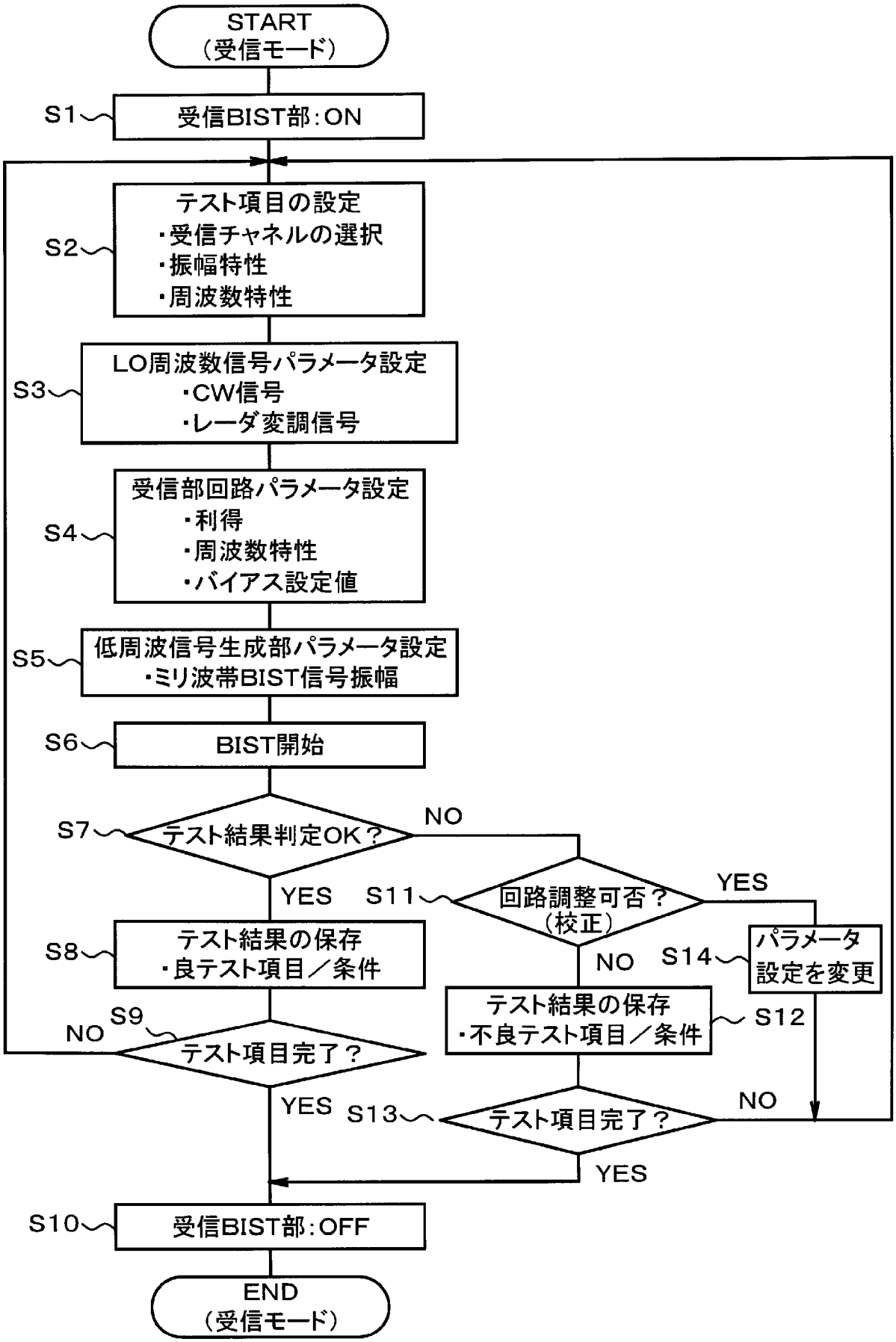
[図2]


12
13
RX BIST
19
20
21
22
23
24
25
26
27
Antenna
RF signal input path
ftest(fLO±fIF)
(80GHz±52kHz)
Test signal input
Coupler
xN
xN
fLO
(80GHz)
fLO
(80GHz)
fLO/2
(40GHz)
fIF
(52kHz)
fIF
(52kHz)
ftest
fLO−fIF fLO+fIF
fLO
fIF Freq.
fLO Freq.
fLO/2 Freq.
Power
Freq.
fclk(52MHz)
fclk Freq.
Low Fq.
Signal
Generator
fIF(52KHz)

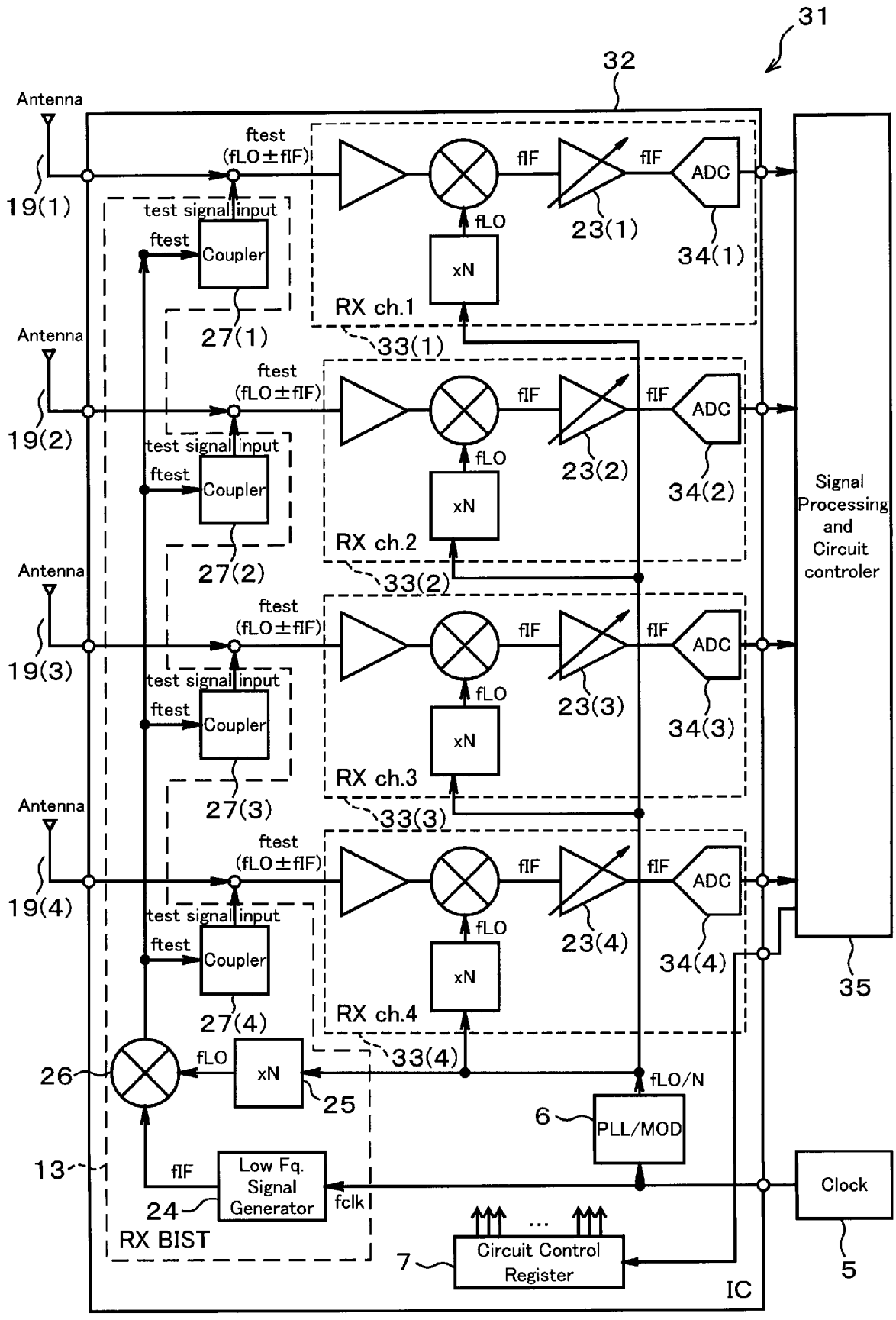
[図3]


4
Automotive Safety Control Unit
3
Signal Processing and Circuit controler
5
Clock
IC
1
2
11
fIF
fLO/N
PLL/MOD
6
23
15
Phase Shifter
fLO
xN
14
22
20
21
RX
Circuit Control Register
7
12
ftest(fLO±fIF)
27
25
24
fclk
16
Coupler
Low Fq. Signal Generator
test signal input
ftest
fLO
fIF
26
TX
RX BIST
13
17
19
18
Target

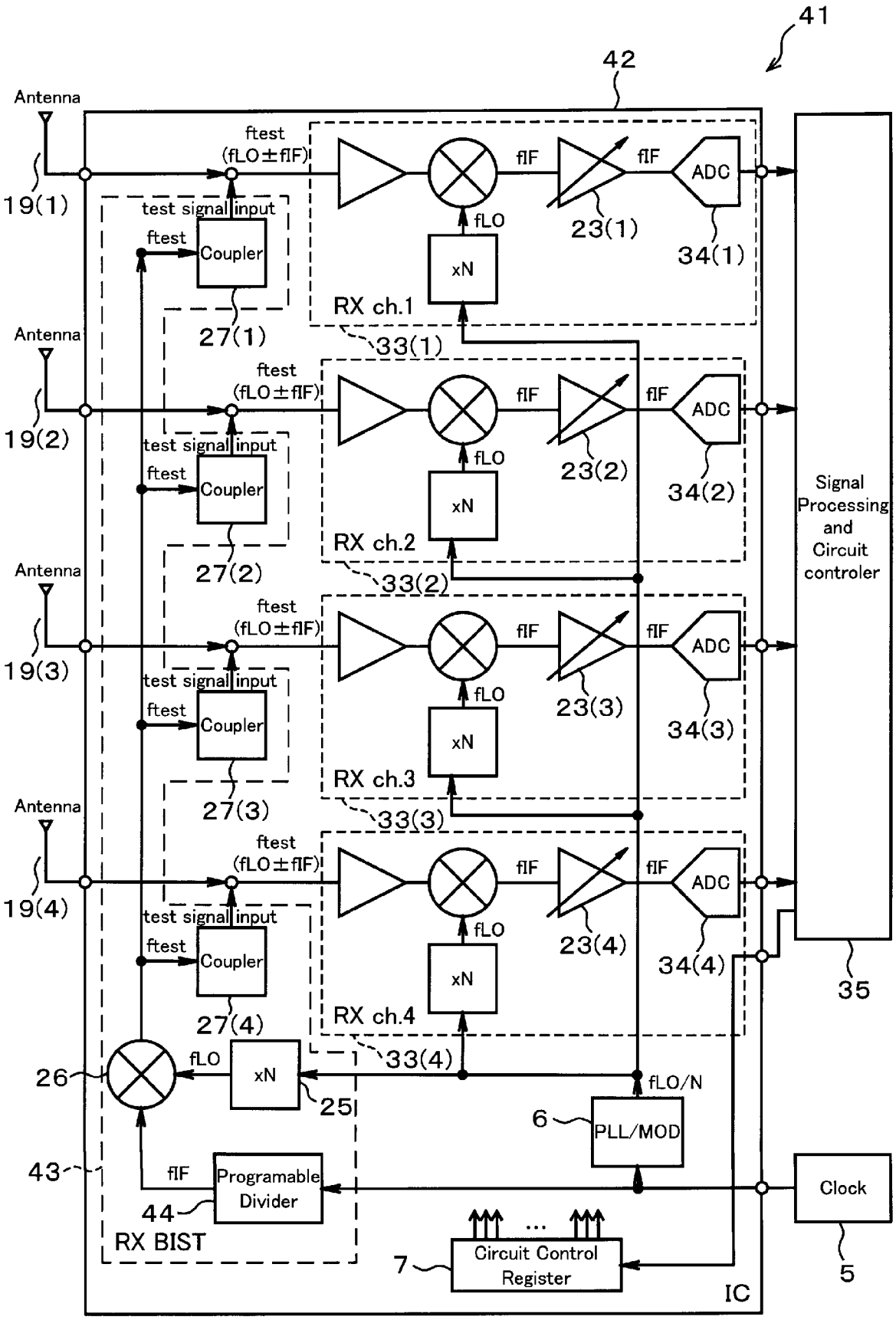
[図4]


START
（受信モード）
S1
受信BIST部：ON
S2
テスト項目の設定
・受信チャネルの選択
・振幅特性
・周波数特性
S3
LO周波数信号パラメータ設定
・CW信号
・レーダ変調信号
S4
受信部回路パラメータ設定
・利得
・周波数特性
・バイアス設定値
S5
低周波信号生成部パラメータ設定
・ミリ波帯BIST信号振幅
S6
BIST開始
S7
テスト結果判定OK？
NO
YES
S11
回路調整可否？
（校正）
YES
NO
S14
パラメータ
設定を変更
S8
テスト結果の保存
・良テスト項目／条件
テスト結果の保存
・不良テスト項目／条件
S12
S9
NO
テスト項目完了？
YES
S13
テスト項目完了？
NO
YES
S10
受信BIST部：OFF
END
（受信モード）

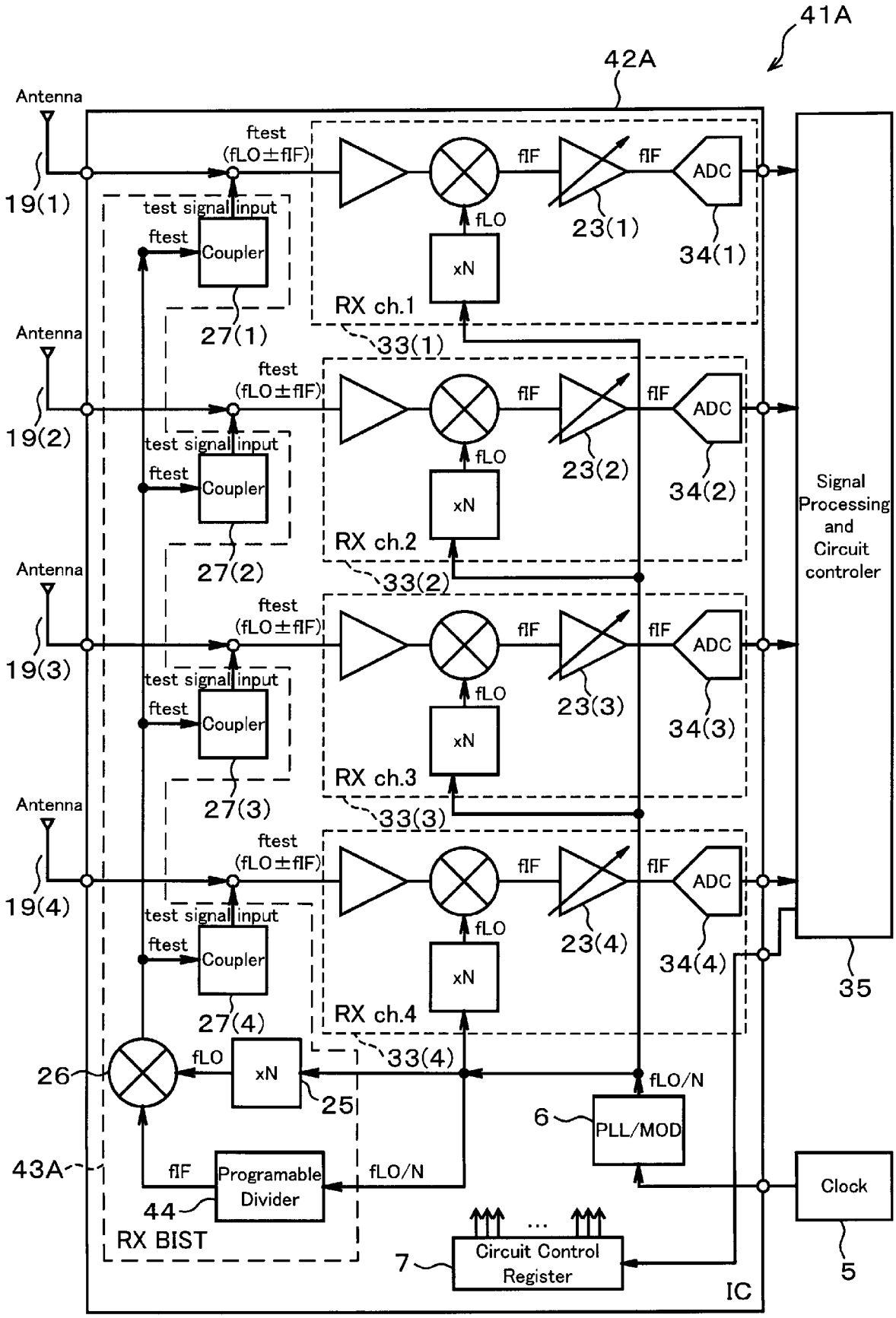
[図5]


31
32
Antenna
19(1)
ftest
(fLO±fIF)
test signal input
ftest
Coupler
27(1)
fIF
fIF
ADC
fLO
xN
23(1)
34(1)
RX ch.1
33(1)
Antenna
19(2)
27(2)
23(2)
34(2)
RX ch.2
33(2)
Antenna
19(3)
27(3)
23(3)
34(3)
RX ch.3
33(3)
Antenna
19(4)
27(4)
23(4)
34(4)
RX ch.4
33(4)
Signal Processing and Circuit controler
35
26
25
fLO/N
6
PLL/MOD
13
fIF
Low Fq. Signal Generator
24
fclk
RX BIST
Clock
5
7
Circuit Control Register
IC

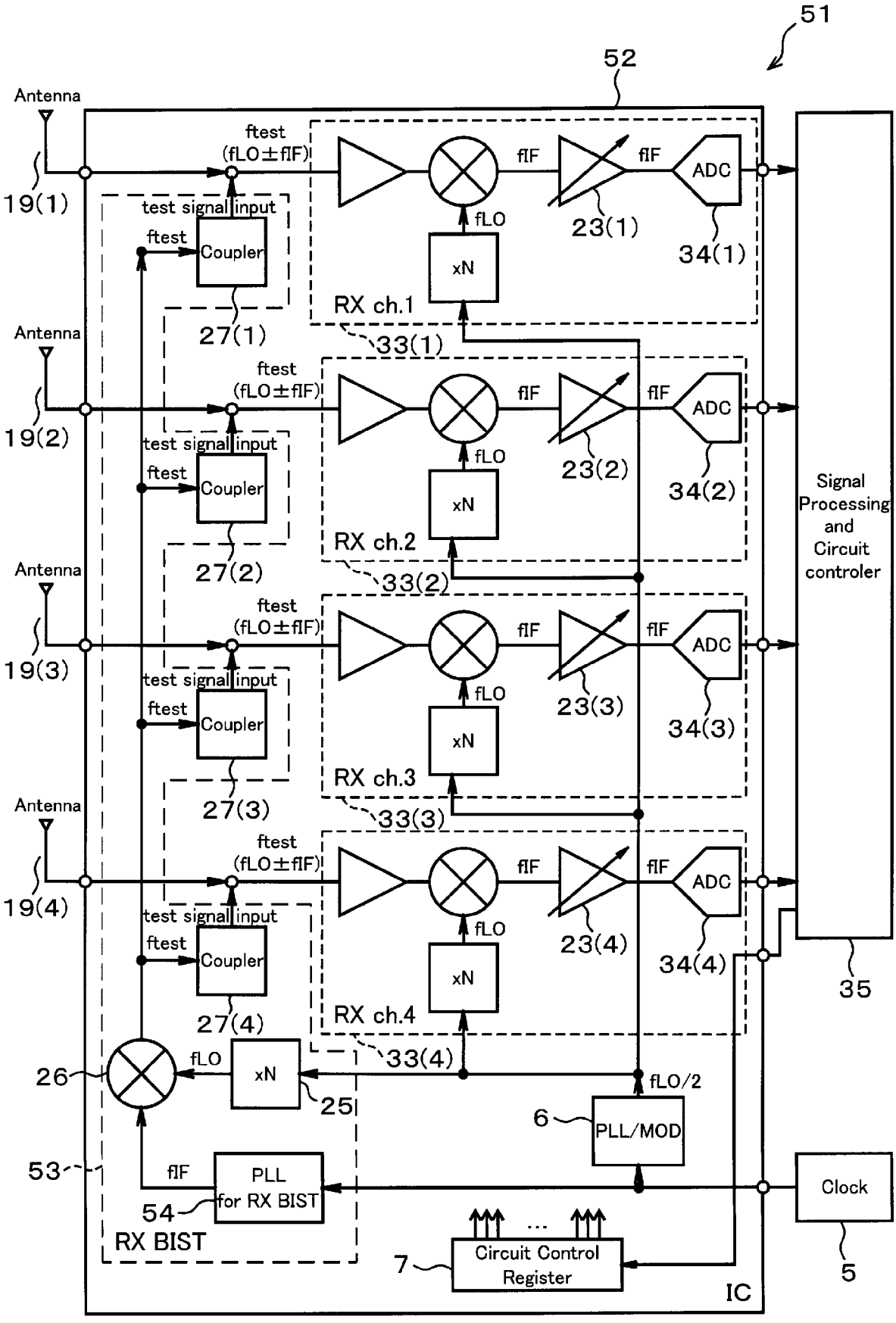
[図6]


41
42
Antenna
19(1)
ftest
(fLO±fIF)
test signal input
ftest
Coupler
27(1)
fIF
fIF
ADC
fLO
xN
23(1)
34(1)
RX ch.1
33(1)
Antenna
19(2)
27(2)
23(2)
34(2)
RX ch.2
33(2)
Antenna
19(3)
27(3)
23(3)
34(3)
RX ch.3
33(3)
Antenna
19(4)
27(4)
23(4)
34(4)
RX ch.4
33(4)
Signal Processing and Circuit controler
35
26
25
fLO/N
6
PLL/MOD
43
44
Programable Divider
RX BIST
Clock
5
7
Circuit Control Register
IC

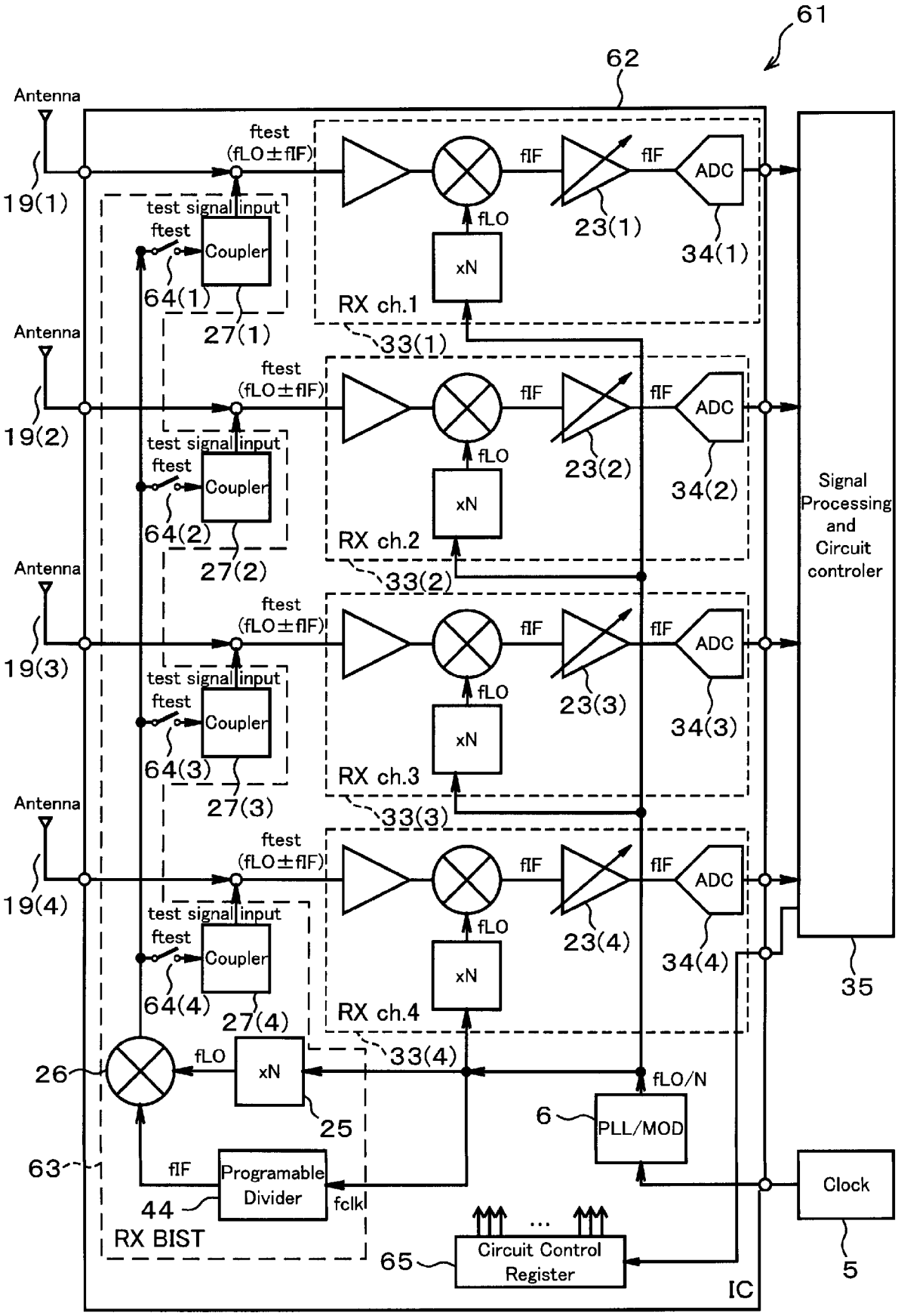
[図7]


41A
42A
Antenna
19(1)
19(2)
19(3)
19(4)
ftest
(fLO±fIF)
test signal input
ftest
Coupler
27(1)
27(2)
27(3)
27(4)
fIF
fLO
xN
ADC
23(1)
23(2)
23(3)
23(4)
34(1)
34(2)
34(3)
34(4)
RX ch.1
RX ch.2
RX ch.3
RX ch.4
33(1)
33(2)
33(3)
33(4)
Signal Processing and Circuit controler
35
26
25
fLO/N
6
PLL/MOD
43A
Programable Divider
44
RX BIST
Clock
5
7
Circuit Control Register
IC

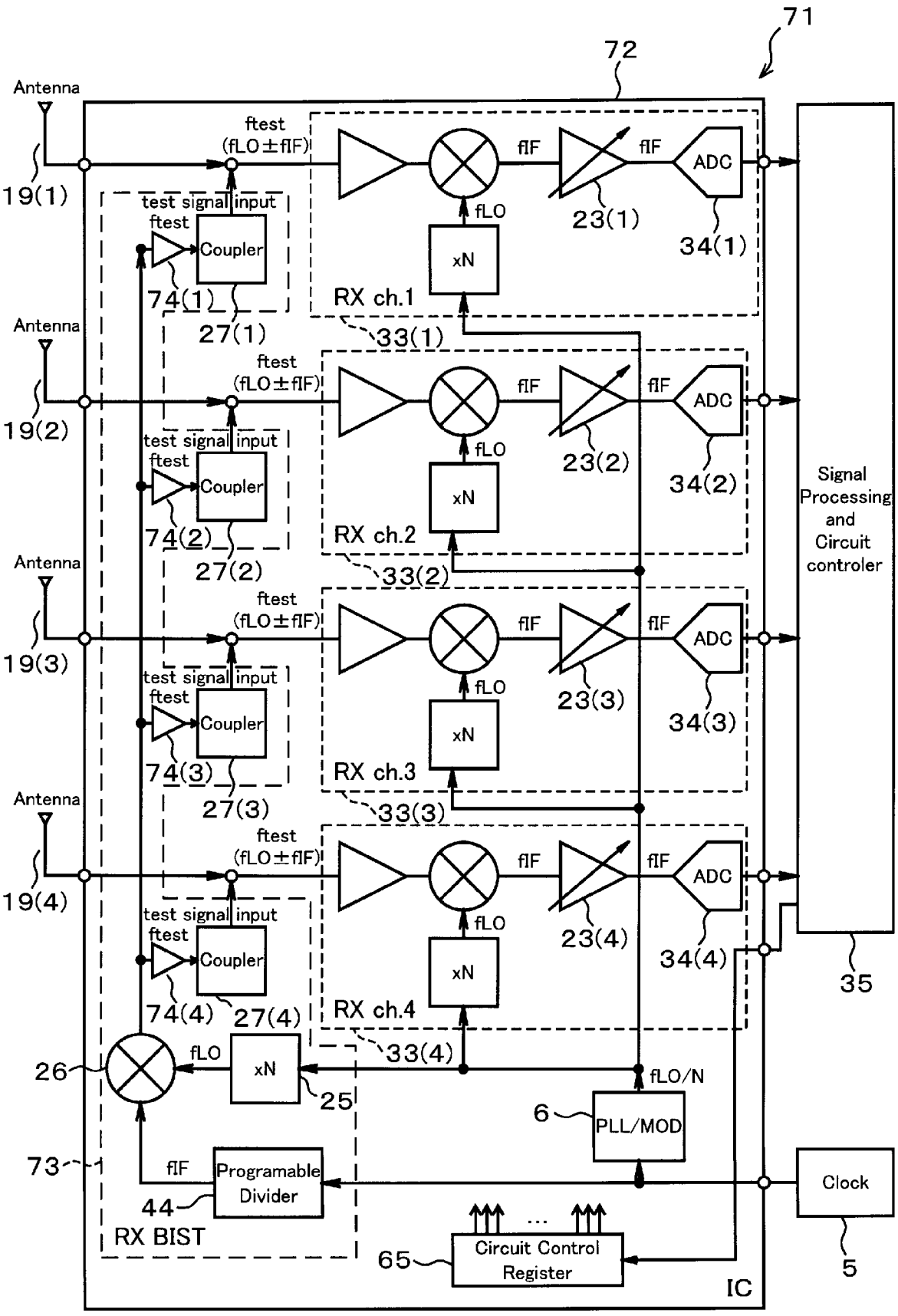
[図8]


51
52
Antenna
19(1)
ftest
(fLO±fIF)
test signal input
ftest
Coupler
27(1)
fIF
fIF
ADC
fLO
xN
23(1)
34(1)
RX ch.1
33(1)
Antenna
19(2)
27(2)
23(2)
34(2)
RX ch.2
33(2)
Antenna
19(3)
27(3)
23(3)
34(3)
RX ch.3
33(3)
Antenna
19(4)
27(4)
23(4)
34(4)
RX ch.4
33(4)
Signal Processing and Circuit controler
35
26
25
fLO/2
6
PLL/MOD
53
54
PLL for RX BIST
RX BIST
Clock
5
7
Circuit Control Register
IC

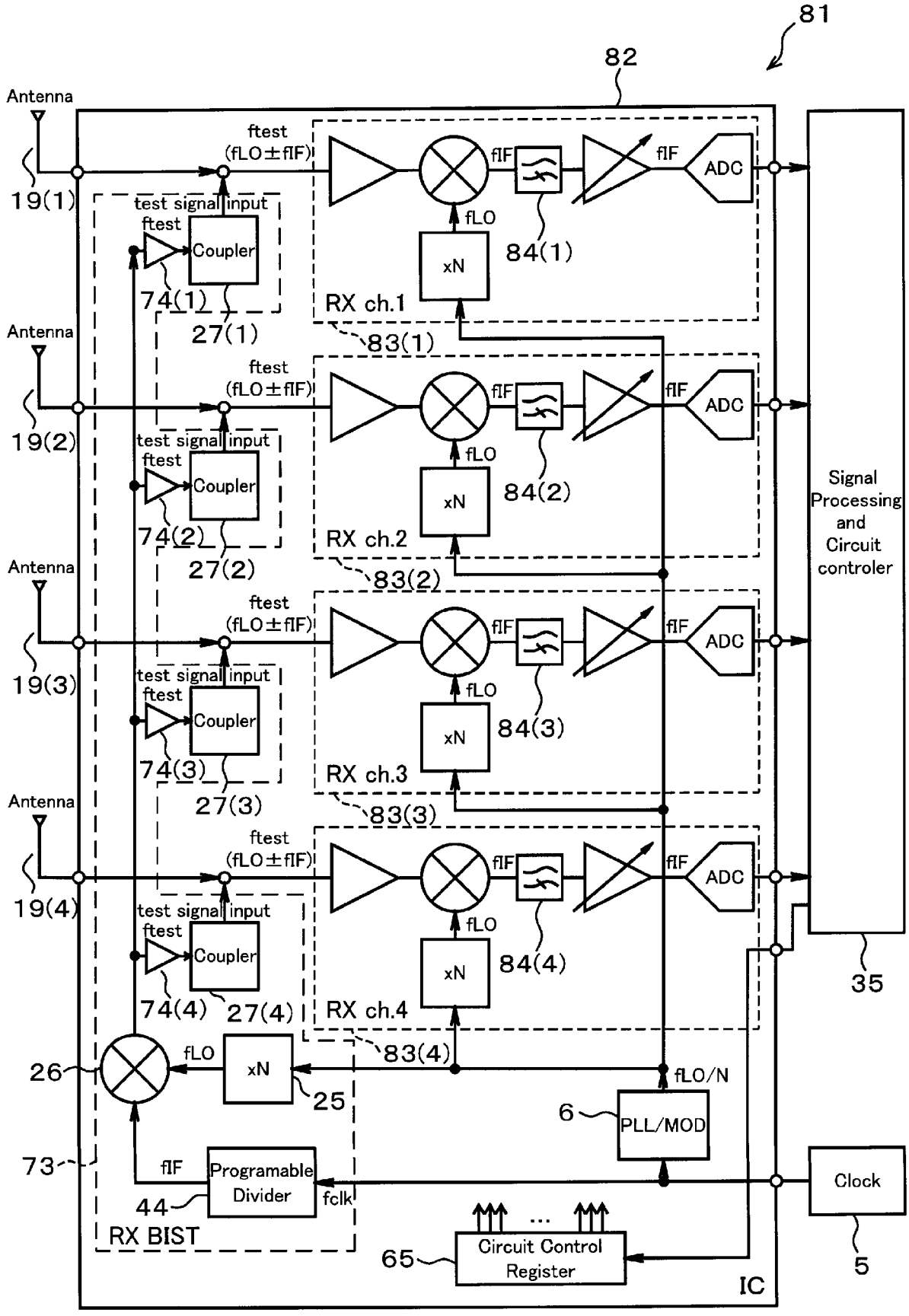
[図9]


61
62
Antenna
19(1)
ftest
(fLO±fIF)
test signal input
ftest
Coupler
64(1)
27(1)
fIF
fIF
ADC
fLO
xN
23(1)
34(1)
RX ch.1
33(1)
Antenna
19(2)
ftest
(fLO±fIF)
test signal input
ftest
Coupler
64(2)
27(2)
fIF
fIF
ADC
fLO
xN
23(2)
34(2)
RX ch.2
33(2)
Antenna
19(3)
ftest
(fLO±fIF)
test signal input
ftest
Coupler
64(3)
27(3)
fIF
fIF
ADC
fLO
xN
23(3)
34(3)
RX ch.3
33(3)
Antenna
19(4)
ftest
(fLO±fIF)
test signal input
ftest
Coupler
64(4)
27(4)
fIF
fIF
ADC
fLO
xN
23(4)
34(4)
RX ch.4
33(4)
Signal Processing and Circuit controler
35
26
fLO
xN
25
fLO/N
6
PLL/MOD
63
fIF
Programable Divider
fclk
44
RX BIST
Clock
5
65
Circuit Control Register
IC

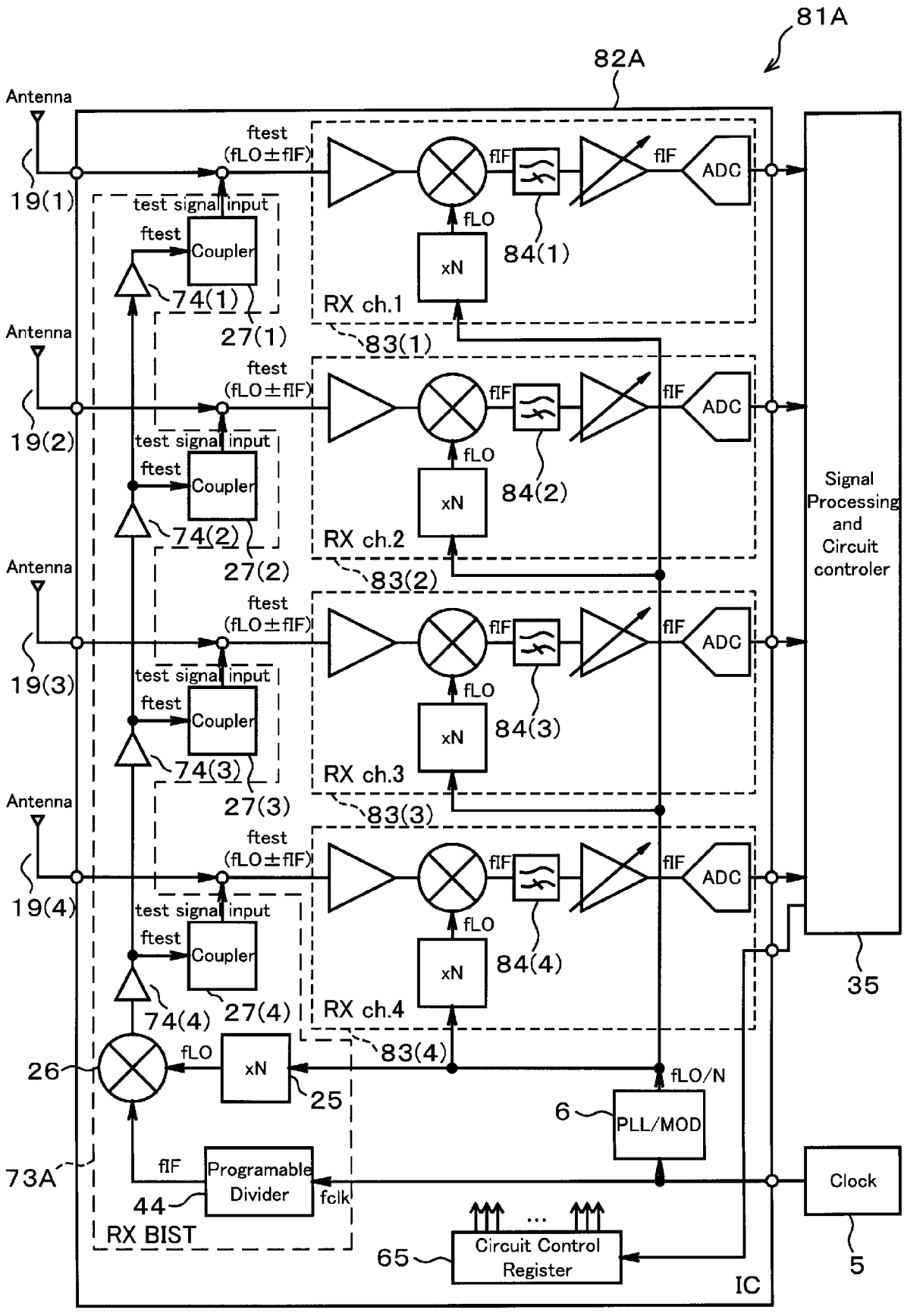
[図10]


71
72
Antenna
19(1)
ftest
(fLO±fIF)
test signal input
ftest
Coupler
74(1)
27(1)
fIF
fIF
ADC
fLO
xN
23(1)
34(1)
RX ch.1
33(1)
Antenna
19(2)
ftest
(fLO±fIF)
test signal input
ftest
Coupler
74(2)
27(2)
fIF
fIF
ADC
fLO
xN
23(2)
34(2)
RX ch.2
33(2)
Antenna
19(3)
ftest
(fLO±fIF)
test signal input
ftest
Coupler
74(3)
27(3)
fIF
fIF
ADC
fLO
xN
23(3)
34(3)
RX ch.3
33(3)
Antenna
19(4)
ftest
(fLO±fIF)
test signal input
ftest
Coupler
74(4)
27(4)
fIF
fIF
ADC
fLO
xN
23(4)
34(4)
RX ch.4
33(4)
Signal Processing and Circuit controler
35
26
fLO
xN
25
fLO/N
6
PLL/MOD
73
fIF
Programable Divider
44
RX BIST
Clock
5
65
Circuit Control Register
IC

[図11]


81
82
Antenna
19(1)
ftest
(fLO±fIF)
test signal input
ftest
Coupler
74(1)
27(1)
fIF
fLO
xN
84(1)
RX ch.1
83(1)
ADC
Antenna
19(2)
74(2)
27(2)
84(2)
RX ch.2
83(2)
Antenna
19(3)
74(3)
27(3)
84(3)
RX ch.3
83(3)
Antenna
19(4)
74(4)
27(4)
84(4)
RX ch.4
83(4)
Signal Processing and Circuit controler
35
26
25
fLO/N
6
PLL/MOD
73
Programable Divider
44
fclk
RX BIST
Clock
5
65
Circuit Control Register
IC

[図12]


81A
82A
Antenna
19(1)
19(2)
19(3)
19(4)
ftest
(fLO±fIF)
test signal input
Coupler
74(1)
74(2)
74(3)
74(4)
27(1)
27(2)
27(3)
27(4)
fIF
ADC
fLO
xN
84(1)
84(2)
84(3)
84(4)
RX ch.1
RX ch.2
RX ch.3
RX ch.4
83(1)
83(2)
83(3)
83(4)
Signal Processing and Circuit controler
35
26
25
fLO/N
6
PLL/MOD
73A
44
Programable Divider
fclk
RX BIST
Clock
5
65
Circuit Control Register
IC

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/002727

A. CLASSIFICATION OF SUBJECT MATTER
H04B17/29(2015.01)i, *H04B1/26*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H04B17/29, H04B1/26

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2017
Kokai Jitsuyo Shinan Koho 1971-2017 Toroku Jitsuyo Shinan Koho 1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2007-96647 A (Hitachi Kokusai Electric Inc.), 12 April 2007 (12.04.2007), paragraphs [0017] to [0020]; fig. 1 (Family: none)	1,3-7,9-12 2,8
Y	JP 2008-228038 A (Renesas Technology Corp.), 25 September 2008 (25.09.2008), paragraphs [0101] to [0109]; fig. 8 (Family: none)	2
Y	JP 2008-300900 A (Fujitsu Ltd.), 11 December 2008 (11.12.2008), paragraphs [0005] to [0006]; fig. 17 (Family: none)	8

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
04 April 2017 (04.04.17)	11 April 2017 (11.04.17)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Authorized officer Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１７／００２７２７

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H04B17/29(2015.01)i, H04B1/26(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H04B17/29, H04B1/26

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１７年
日本国実用新案登録公報	１９９６－２０１７年
日本国登録実用新案公報	１９９４－２０１７年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X Y	JP 2007-96647 A (株式会社日立国際電気) 2007.04.12, [0017]-[0020], 図１ (ファミリーなし)	1, 3-7, 9-12 2, 8
Y	JP 2008-228038 A (株式会社ルネサステクノロジ) 2008.09.25, [0101]-[0109], 図８ (ファミリーなし)	2
Y	JP 2008-300900 A (富士通株式会社) 2008.12.11, [0005]-[0006], 図17 (ファミリーなし)	8

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０４．０４．２０１７	１１．０４．２０１７

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｋ　３３６０
原田　聖子
電話番号　０３－３５８１－１１０１　内線　３５５６