



[12] 发明专利申请公开说明书

[21] 申请号 90109372.6

[51] Int.Cl⁵

G06F 13/42

[43] 公开日 1991 年 5 月 29 日

[22] 申请日 90.10.23

[30] 优先权

[32] 89.10.23 [33] US [31] 07 / 425,765

[71] 申请人 国际商业机器公司

地址 美国纽约

[72] 发明人 达利尔·艾得蒙得·尤蒂斯

[74] 专利代理机构 中国国际贸易促进委员会专利
代理部

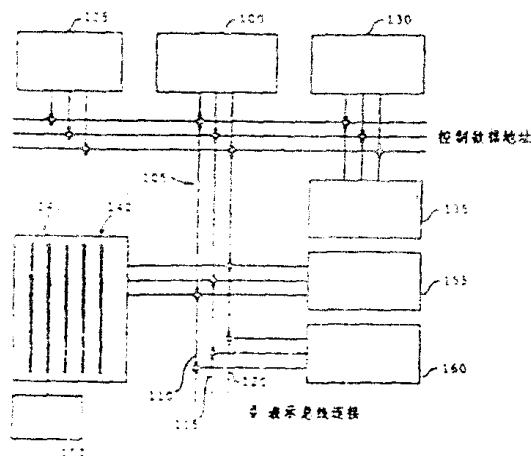
代理人 乔晓东

说明书页数: 6 附图页数: 5

[54] 发明名称 用于避免 CPU 不致于因总线占有而封锁的延迟逻辑

[57] 摘要

一逻辑控制延迟电路连接到具有需经多个主机控制的主数据总线的计算机系统的判断逻辑。该延迟是这样来进行编程的, 以致于该缺席主机-系统的主处理机一分派驻留或缺席优先权, 确保在总线上有效时间的预先确定部分。采用这种插入并控制延迟的方法, 使加到 CPU 的该“HOLD”信号在该 CPU 授权存取该总线时被延迟, 其余的设备在延迟终止之前不可能使用总线, 在延迟终止的时刻, 该 CPU 由延迟信号触发, 以响应允许判断开始的一个应答信号。



1、在一计算机系统中，具有一主处理机，该主处理机能够用一个终止信号被激发到无效状态；有一主数据总线，它由判断逻辑进行分配，该判断逻辑当总线请求到达包括所说主处理机的多于一个主机设备时，根据预先确定的优先权级别反复选择总线占有者，该主处理机分派缺席的优先权级别，一优先占据延迟电路的特征是：

一旦判断逻辑选择所说主处理机，检测逻辑产生一选择信号，
以及

在一个从所说的判断逻辑设备和所说主处理机的终止输入端延伸的路径中，延迟逻辑连接到延时信号。

用于避免CPU不致于因总线占有
而封锁的延迟逻辑

本发明一般涉及计算机系统，特别涉及这样一种计算机系统，该系统用在总线上按分配时间规定的优先权级允许多于一个设备去管理主数据总线上的数据传送。

人们知道，在计算机系统中，例如在适合IBM公司的微通道结构的计算机中，具有多个主机(masters)，它们中每一个均能够在系统的主数据总线上管理数据传送。使用这样一些主机可使主处理单元(CPU)免于卷入在输入/输出(I/O)设备与主存储器之间，以及从I/O设备到I/O设备的数据传送。一旦卸去了这些工作，该CPU即可更充分地致力于处理数据并安排其它设备将要执行的传送任务。

在这种系统中，建立优先权乃是为了使在数据总线上的各个设备去分配总线时间。该CPU指派缺席的或剩余的优先权，辨别总线上的主要工作，已合乎需要地分配到其它的设备。如果对于总线每一个判断周期，一种排队改善了包括CPU的设备的竞争力，并得到最高一级的优先权的话，当字符组(burst)传输设备能够连续认定它们的高优先权时，一种“适当”(fairness)限制通常和该字符组传输设备一起使用，以便在它们重新进行排队之前，促进它们等待，直到当前的排队消失为止。

如果数据总线很繁忙，这种处理工作能有效地分配总线时间。在那种情况下，该CPU在总线上取得指令的机会是罕见的，只要优

先权允许，而且其它设备优先占据，CPU在一个总线周期之后得到“脱离信号”(bumped off)。这种情况能够“封闭”(lock out) CPU，使它不能执行传送数据所必需的准备步骤或者其它的工作，例如为了执行任务所要求的存储器存取工作。当到达这种状态时，整个系统的性能将降低，而且，在极端情况下，系统将可能失效。

因此，本发明的首要目的是，这样一种系统的CPU在数据总线上确保一预先选定的时间值用于数据传送，即使在高的占空周期期间进行数据传送。

本发明进一步的目的是提供这样的时间而不必重新调整系统的判断过程。本发明的另一目的是提供这样的时间而不必改变系统的控制总线或者要求另外一台微处理器—即要求具有扩展指令组的一台微处理器。

所有这些以及其它的目的都可以借助改善响应优先占有的办法来达到，结果是该CPU占有数据总线。这种改善的最佳方法是把一逻辑控制的延迟加到判断者和CPU之间的信号线中。

根据下面表示的最佳实施例以及附图的详细说明，可以获得对本发明的全面的了解，用它们来说明发明的目的，但无论如何并不意味着对本发明范围的限制，它们是：

图1是适宜于实施本发明的系统的方块图；

图2是具有优先权判断的现有系统中的中心判断控制器和CPU之间信号连接的方块图；

图3是按照本发明最佳实施例，表示对从判断控制器到CPU的信号改进的方块图；

图4是表示用于实施本发明的最佳电路和设备的方块图；

图5是说明图2所示用于现有系统的控制信号的时序图；

图6是说明根据本发明最佳实施例的控制信号的时序图。

现在将参照附图详细阐述本发明的最佳实施例。参照图1，一个用于实施本发明的最佳系统包括一个CPU100，例如它是一台Intel公司80386微处理机，它通过包括控制总线110、数据总线115和地址总线120的一组系统信号总线105连接到其它系统元件。一个永久保持驻留系统逻辑的只读存储器 (ROM) 125，一个直接选址读/写存储的主存储器130，和一个存储控制器135连接到总线105。

对于按照本发明的系统，更可取的是提供了一个连结点140，以允许总线接口设备140，例如总线主设备能够控制连接到系统总线105的数据总线。如在现有技术中所熟悉的那样，通常是用将电路板插入到适合于卡片边缘连接的槽中这种进行连接(在图1中仅用侧图表示)。这些接口设备145可以连接到其它各种各样的设备，例如输入/输出 (I/O) 设备150。像150这样的设备，例如它可以包括磁盘驱动器或磁带设备(未示出)。这种包括可以是总线主装置的接口设备145和控制数据总线115的系统安排，是专门用于IBM公司的微通道结构的，后者在IBM公司手册中有详细说明，其题目是

“personal system/2 hardware interface technical Reference 68X2330”。对于这种系统，一中心判断控制器155建立用于控制数据总线115的设备的优先权，而如人们所熟悉的，一DMA控制器160协调在这种总线上的实际的数据传送。表1说明一组典型的判断优先权级的分派。

表 1

判断级	一次的 分派
—2	存储器刷新
—1	误差校正
0	DMA端口0
1	DMA端口1
2	DMA端口2
3	DMA端口3
4	DMA端口4
5	DMA端口5
6	DMA端口6
7	DMA端口7
8	备用
9	备用
A	备用
B	备用
C	备用
D	备用
E	备用
F	系统插件处理器

现在参照图2，该现有技术包括路径200，它提供中心判断控制155和CPU之间的连接，以便在引线上(未示出)按照具体处理器(如使用CPU)的信号输入传送终止操作信号(“HOLD”)。而路径210是用来传送一个应答信号返回至判断控制155。如指出的那样，控制总张110的通道(参见图1)用于分配数据总线115。

通道200传送的+ARB/-GRANT信号在当建立总线占有的判断发生时(ARB)，以及当占有已经确定(GRANT)时，用来识别周期，而不同的主机230能够用来负责对占有的分派。通道240用来传送一PREEPT信号，该信号表示一个或多个主机设备，例如设备240，还包括CPU100正在等待对数据总线115进行存取。通道250传送一BURST信号，该信号在当它占有数据总线115时由设备240认定，以便指出它是否具有多重传送或者字符组传送的能力的设备。

从图还可以看出，包括有四条线(0-3)的判断总线260连接到该中心判断控制155，在这四条线上认定判断级别，以获得数据总线115的占有权，然后，在通道220上认定时间GRANT期间，去认别占有者。

现在参考图3，信号通道200'指向复合体305的逻辑电路300，根据本发明，该复合体305插入一个延迟，并且对HOLD信号产生一个其结果是用信号+CPUHOLD表示的改进，该+CPUHOLD信号加到CPU100的终止操作输入端口。对于Intel公司的80386，它可以是PGA模式的“HOLD”。一解码器310经过线320对该逻辑电路300提供WRITE信号，它被用来把新的延迟宽度信息写入寄存器400(见图4)，该寄存器经总线420加到定时器410。

接着参见图4，AND门430是用来接收线200'上的+HOLD信号的

反相信号，线220上的+ARB/-GRANT信号的反相信号，以及ARB总线260上的总线占有者的信息。该AND门430的输出是在线440上的+CPUSEL信号，该信号加到定时器410，用来对在总线420上指定的周期触发超时信号。该信号+CPUSEL信号将在当一终止请求从判断控制送出，并且该CPU100占据DATA总线115时那样一些情况下，去触发线450上的超时信号+DELAY。（-GRANT有效，以及判断级别为1111，表1中表示的十六进制码F用来识别CPU）。线200'上的信号+HOLD以及+DELAY的反相信号加到AND门460，以便在1a线470上产生加到CPU100（见图3）的信号+CPUHOLD。只要将说明现有技术的时序图（图5）同说明最佳实施例的时序图（图6）作一比较，该终止信号+HOLD的改进效益将一目了然。如上所指出的那样，该CPU100可以保持占据数据总线115，直到延迟周期终止为止。

本发明已参照最佳实施例进行了详尽的描述，但是，可以理解到对本专业技术人员而言将可以启示其中的多种变型，但是为了确定本发明的范围，必须参照权利要求，因为权利要求考虑到申请人称谓的任何等同物。

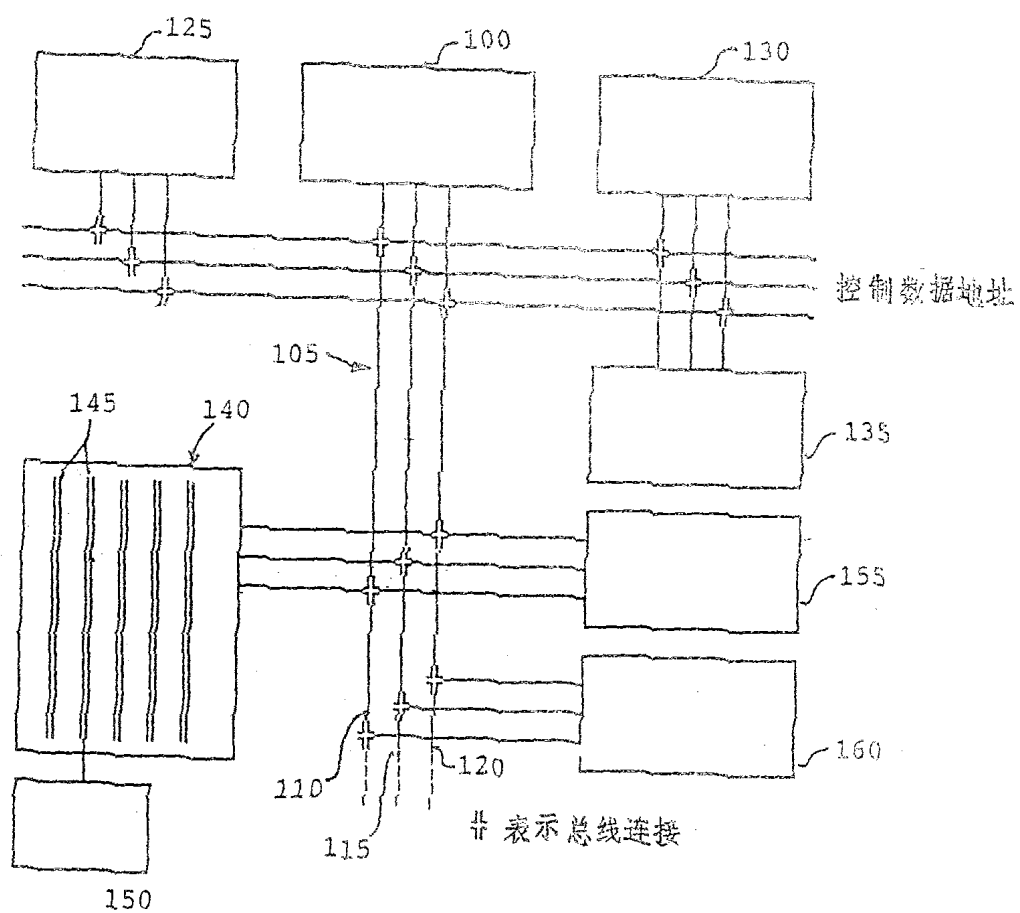
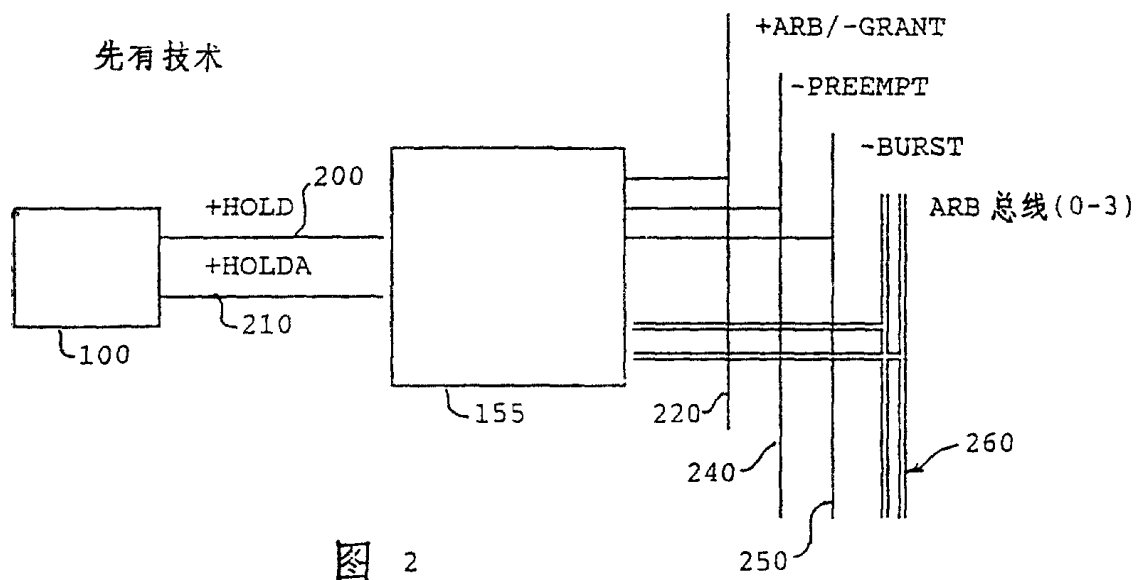


图 1



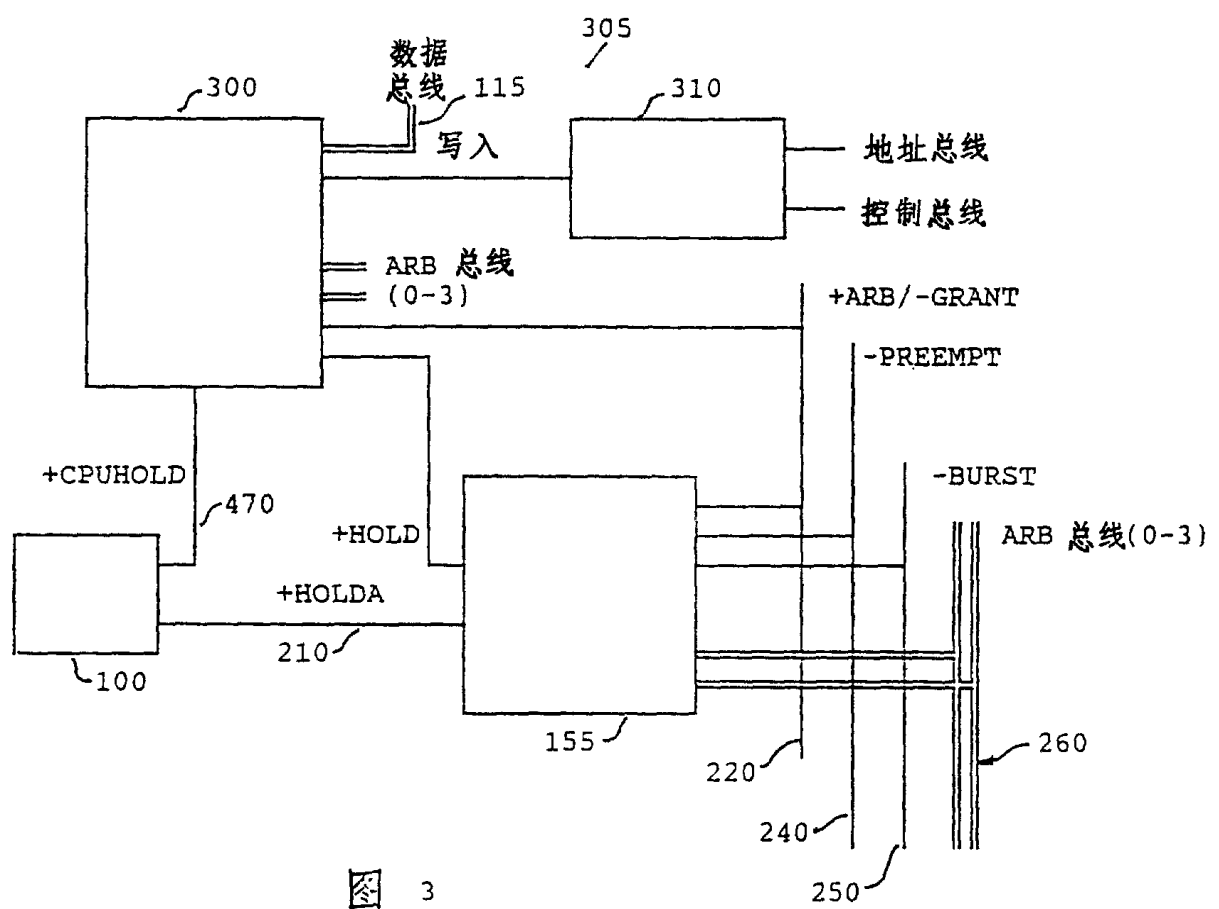


图 3

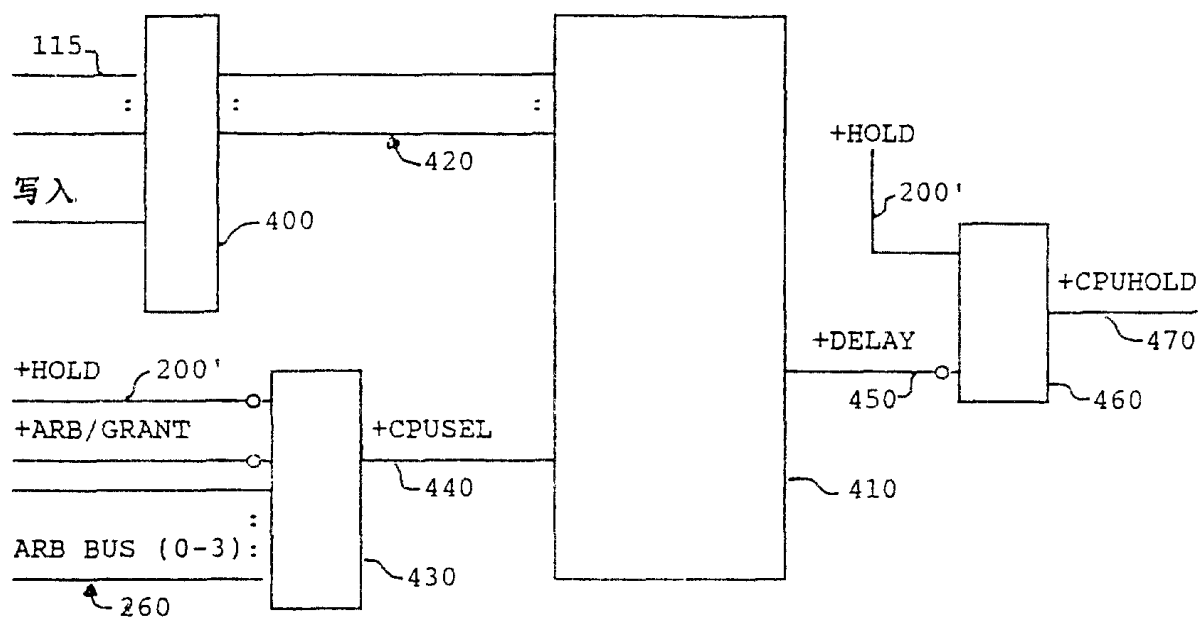
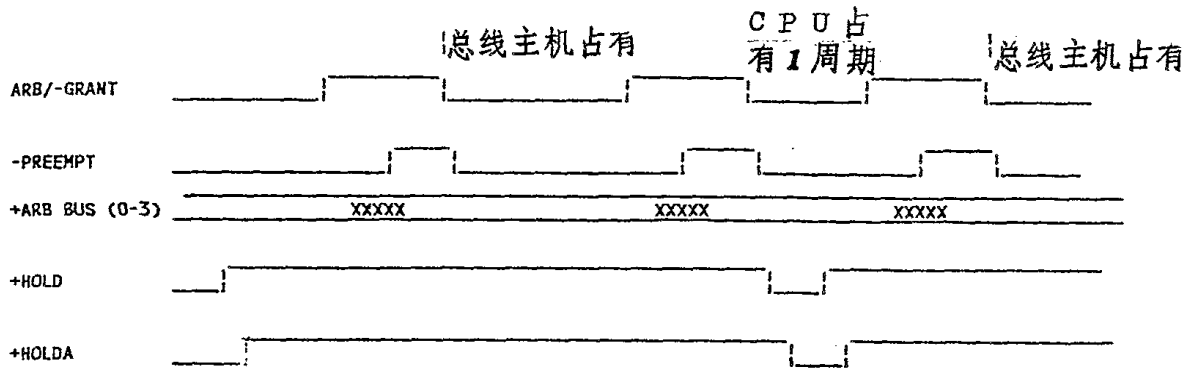


图 4

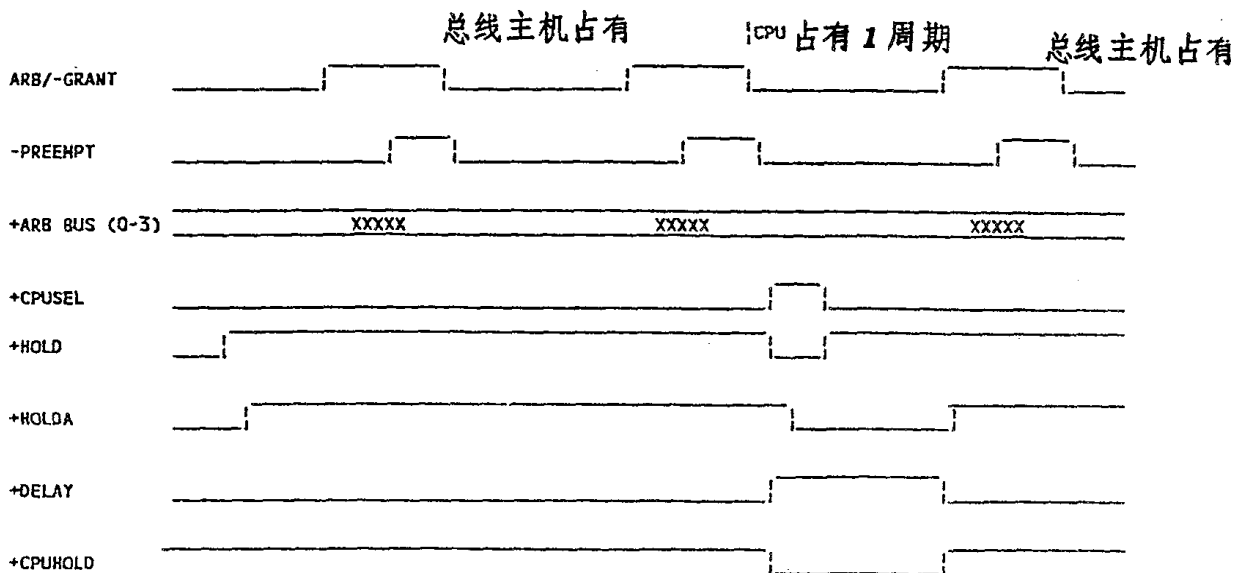
先有技术时序图



x 在判断总线上表示对识别占有的判断

图 5

本发明时序图



当前延迟

x 在判断总线上表示对识别占有的判断

图 6