



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I630658 B

(45)公告日：中華民國 107 (2018) 年 07 月 21 日

(21)申請案號：102127409

(22)申請日：中華民國 102 (2013) 年 07 月 31 日

(51)Int. Cl. : *H01L21/3205(2006.01)**C23C14/14 (2006.01)**C23C14/34 (2006.01)**H01B5/14 (2006.01)*

(30)優先權：2012/07/31 日本

JP2012-169184

(71)申請人：小川倉一 (日本) OGAWA, SOICHI (JP)

日本

日商京都薄膜研究所股份有限公司 (日本) KYOTO INSTITUTE OF THIN-FILM CO., LTD. (JP)

日本

(72)發明人：小川倉一 OGAWA, SOICHI (JP)；安田政智 YASUDA, MASATOMO (JP)；近藤匡俊 KONDO, MASATOSHI (JP)

(74)代理人：閻啟泰；林景郁

(56)參考文獻：

JP 2001-164382A

JP 2004-047216A

JP 2008-184625A

審查人員：黃淑萍

申請專利範圍項數：9 項 圖式數：2 共 23 頁

(54)名稱

透明導電膜及其製造方法

(57)摘要

本發明提供一種成為透明導電膜為最高等級即可見光穿透率為 85%以上且表面電阻為 $10\Omega/\square$ 以下之高穿透率與低表面電阻併存之透明導電膜，又，提供一種用以藉由可工業化且實用之方法來製造該透明導電膜之製造方法。

本發明之透明導電膜係於透明之基體片材上設置包含導電性金屬薄膜及積層於該導電性金屬薄膜上下之氮化物半導體薄膜的積層構造而成者，其特徵在於：上述導電性金屬薄膜係由摻雜有 0.5~10wt%-之 Pd、Nd 及/或 Ni 之銀所構成之薄膜，且上述氮化物半導體薄膜係鋁及/或鋁合金之氮化物薄膜。

指定代表圖：

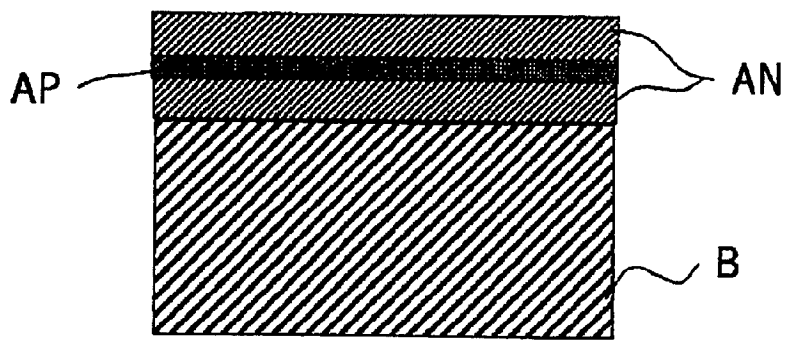


圖1

符號簡單說明：

AP . . . 導電性金屬
薄膜

AN . . . 氮化物半導
體薄膜

B . . . 基體片材

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

透明導電膜及其製造方法

【技術領域】

【0001】 本發明係關於一種包含由介電體薄膜與金屬薄膜積層而成之積層膜的透明導電膜、及其製造方法。

【先前技術】

【0002】 具有優異之透明性及導電性之透明導電膜被用於液晶顯示器、有機 EL 顯示器、面發熱體或觸控面板電極、太陽電池等，並且要求根據用途具有各種物性。例如，於平板顯示器用透明導電膜之情形時，要求為低電阻性且可見光穿透性較高之透明導電膜。

【0003】 於透明導電膜中有摻雜有銻或氟之氧化錫 (SnO_2) 膜、摻雜有鋁或銻之氧化鋅 (ZnO) 膜、摻雜有錫之氧化銦 (In_2O_3) 膜等種類。其中，氧化銦膜 (ITO 膜) 成為主流。ITO 膜係藉由濺鍍或雷射剝蝕 (laser ablation)、離子鍍 (ion plating) 等各種方法而成膜於基板上，膜厚 200 nm 時獲得表面電阻 $25 \Omega/\square$ 左右之電阻值。

【0004】 然而，於 ITO 膜中，存在若使膜厚增加則表面電阻降低，而另一方面可見光穿透率亦會降低之問題。例如，若膜厚為 120 nm，則可獲得可見光穿透率 85%、表面電阻 $30 \Omega/\square$ ，但為了使表面電阻降低至 $10 \Omega/\square$ 而膜厚必須為 500 nm，該膜厚下之可見光穿透率會降低至 70~75%。因此，若為 ITO 膜則導電性與透明性之併存成為課題之一。

【0005】 作為實現透明導電膜之透明性與導電性 (低電阻性) 併存的

方法之一，提出有包含由介電體薄膜與金屬薄膜積層而成之積層膜的透明導電膜。例如，於專利文獻 1 中，揭示有積層氧化銦層及銀層而成之積層膜。專利文獻 1 之積層膜係以透明性及隔熱性為主要效果之所謂透明隔熱膜。實施例中所示之氧化銦/銀/氧化銦/銀/氧化銦之 5 層膜之表面電阻為 $7.4 \sim 7.7 \text{ } \Omega/\square$ 、510 nm 下之透光率 (%) 為 76.7~77.3%，透光率未必稱得上良好。

【0006】 又，於專利文獻 2 中，揭示有一種透明電極膜，其具有金屬層，該金屬層具有 30 nm 以下之層狀構造，且該透明電極膜係使用金作為金屬層，使用氧化銦作為導電性透明氧化物半導體。該發明係關於一種自紫外區域遍及可見區域具有高透明度、低電阻的電極薄膜之製造方法，且針對若為了提高透明度而使金屬層變薄則產生金屬膜構造之不均勻性或凹凸而使電阻值增大之課題，發現了藉由將導電性透明氧化物半導體層之厚度設為適當之範圍，而保持透明性並且可抑制電阻值上升。根據該發明，雖然可獲得膜整體之厚度為數十 nm 之極薄透明導電膜，但所獲得之薄膜之薄片電阻 (sheet resistance) 值為 $18 \text{ } \Omega/\square$ 、550 nm 穿透率之值為 80%，稱不上充分地使低電阻與高穿透率併存。

【0007】 又，於專利文獻 3 中，揭示有一種導電性光選擇性片材，係於由塑膠所構成之透明基體片材上設置由導電性之金屬（例如 Cu）及積層於其上下之陶瓷薄膜所構成的積層膜而成，該陶瓷薄膜係由金屬氮化物（例如 AlN）構成。該發明之目的係使優異之導電性與可見光穿透率併存，著眼於為了抑制於金屬薄膜表面之反射，可藉由利用折射率相對較高之陶瓷薄膜夾持金屬薄膜，而確保導電性並且提高可見光穿透率，並且發現了使用金屬氮化物所構成之薄膜作為陶瓷薄膜。然而，藉由該發明而獲得之 AlN/Cu/AlN 之 3 層膜的面電阻值最佳為 $2.5 \text{ } \Omega$ ，可見光穿透率為 85%，而目前就低電阻值與可見光穿透率併存之方面而言，期望更大之進步。

【0008】

[專利文獻 1]日本專利第 4522320 號公報

[專利文獻 2]日本專利第 4521565 號公報

[專利文獻 3]日本特開 2001-164382 號公報

【發明內容】

[發明所欲解決之課題]

【0009】 本發明係鑒於該情況而完成者，其課題在於提供一種成為透明導電膜為最高等級即可見光穿透率為 85%以上且表面電阻為 $10 \Omega/\square$ 以下之使高穿透率與低電阻併存之透明導電膜，又，提供一種用以藉由可工業化且實用之方法來製造該透明導電膜之製造方法。

[解決課題之技術手段]

【0010】 本發明人等認為由於 ITO 之折射率 (n) 為 1.9，故而若利用 ITO 膜則對實現所要求之低電阻、高穿透率存在限制，而要使用具有更高折射率之氮化物膜來作為介電體薄膜。又，採用比電阻值低之金屬即 Ag 作為金屬層而構成透明導電膜，並反覆進行研究。而且發現了，藉由 AlN/Ag/AlN 之積層膜，可獲得使 80%以上之穿透率與 $10 \Omega/\square$ 左右之電阻值併存的相對高性能之透明導電膜；進而若使用於銀微量地摻雜有其他種類金屬而成之摻雜金屬之銀，則可獲得更高等級之使透過性與電阻值併存之透明導電膜；從而完成了本發明。

【0011】 即，本發明係關於一種透明導電膜，該透明導電膜係於透明之基體片材上設置包含導電性金屬薄膜、及積層於該導電性金屬薄膜上下之氮化物半導體薄膜之積層構造而成；其特徵在於：上述導電性金屬薄膜係由摻雜有 0.5~10 wt%之 Pd、Nd 及/或 Ni 之銀所構成之薄膜，且上述氮化

物半導體薄膜係鋁及/或鋁合金之氮化物薄膜。

【0012】 本發明之透明導電膜係於作為積層膜之透明導電膜中，藉由使用微量地摻雜有 Pd、Nd 及/或 Ni 之異種金屬之銀作為導電性金屬薄膜，而實現之前不存在之透明性與低電阻併存之高性能透明導電膜。雖不受特定之理論約束，但認為若使用微量地摻雜有上述規定之異種金屬之銀，則可成膜為一種於使用純銀製作極薄之薄膜時所產生之凝聚效應受到抑制且維持了銀所具有之低電阻特性的極薄薄膜，並且低電阻與透明性可併存。

【0013】 又，本發明之透明導電膜更佳為，氮化物半導體為含有 0.1～10 wt%之 Cu、Sn 及/或 Ti 之氮化鋁。

鋁係於可見光區域光吸收少之金屬，藉由使用含有少量 Cu、Sn 及/或 Ti 之氮化鋁合金，可獲得更良好特性之透明導電膜。

【0014】 又，本發明之透明導電膜較佳為，上述導電性金屬薄膜之厚度為 5～30 nm，上述氮化物半導體薄膜之厚度為 5～70 nm，進而，更佳為積層構造之厚度為 15～170 nm。

藉由於上述範圍內將導電性金屬薄膜與氮化物半導體薄膜組合，可使更良好之光透過性與低電阻值併存。又，藉由將積層構造之厚度（所積層之導電性金屬薄膜與氮化物半導體薄膜整體之厚度）設為上述範圍，有可提高金屬薄膜表面上之反射，且一面維持薄片電阻值一面提高穿透率之效果。

【0015】 又，本發明係關於一種可見光穿透率為 85%～99%，且薄片電阻值為 0.1～10 $\Omega/\square$ 之具有上述任一種構成之透明導電膜。其係極高之等級且使透明性與低電阻性併存之高性能之透明導電膜。

【0016】 又，本發明係關於一種具有上述任一種構成之透明導電膜之製造方法，該方法包含以下步驟：以鋁及/或鋁合金為靶，使用作為不活性氣體之濺鍍氣體、及含有氮氣之反應氣體，藉由對向靶濺鍍法而進行氮化

物半導體薄膜成膜；及以摻雜有 0.5~10 wt%之 Pd、Nd 及/或 Ni 之銀爲靶，使用爲不活性氣體之濺鍍氣體，藉由對向靶濺鍍法而進行導電性金屬薄膜成膜。

【0017】 根據本發明之製造方法，可藉由能夠量產化之規模及手段使用公知之材料生產具有上述構成之透明導電膜。

【0018】 又，本發明之製造方法較佳爲，用於上述對向靶濺鍍法之裝置爲如下特徵之對向靶濺鍍裝置：隔著間隔相互對向並且使相互對向之面以朝向配置於一方之側面位置之成膜對象即基板側開口之方式傾斜來配置一對靶；且該裝置具有以包圍上述一對靶之各者的方式沿著其周緣配置的具備筒狀之一對永久磁鐵之產生輔助磁場手段。

【0019】 上述裝置係較佳地用於作爲對向靶濺鍍法之改良法之 N-MHVS 法（下述）之裝置，藉由使用該裝置能以低能量、低溫進行成膜，因此，可形成更均勻且缺陷少之導電性金屬薄膜，且可避免因膜之不均勻性導致之電阻值增大等而獲得低電阻且高穿透率之透明導電膜。該成膜步驟更佳爲不加熱基板而進行。

[發明之效果]

【0020】 本發明之透明導電膜係極高之等級且可使可見光穿透性與低電阻值併存之高性能透明導電膜，於作爲習知透明導電膜之用途而公知之各種應用中，可提供特性更高之透明導電膜。又，本發明之透明導電膜可使用公知之材料藉由可大量生產之方法而製造，能以可容許之成本提供高性能之透明導電膜。

【圖式簡單說明】

【0021】

圖 1 係表示本發明之透明導電膜構成之示意圖。

圖 2 係用於本發明之透明導電膜製造之對向靶濺鍍裝置構成的示意圖。

【實施方式】

【0022】（透明導電膜之構成）

作為用於本發明之透明導電膜之透明之基體片材，可使用透光性良好之各種高分子膜及/或片材（所謂塑膠膜或片材）。構成片材之高分子並無特別限定，例如可列舉聚乙烯（PE）、聚丙烯（PP）、聚對酞酸乙二酯（PET）、聚碳酸酯（PC）、聚苯硫醚（PPS）、聚四氟乙烯（PTFE）、三醋酸纖維素（TAC）、聚氯乙烯（PVC）、聚醯亞胺（PI）、聚醯胺（PA）等。

【0023】 所謂「透明之」基體片材係指可見光之穿透率極高之片材，較佳為波長 550 nm 之可見光穿透率為 85% 以上，較佳為 92% 以上。基體片材之厚度並無特別限定，通常使用 5~250 μm 者。

【0024】 為了不阻礙光透過性，透明導電膜中所含之導電性金屬薄膜一般係由被稱為極薄膜之非常薄之膜構成，本發明中之摻雜有 0.5~10 wt% 之 Pd、Nd 及/或 Ni 之銀之薄膜亦相同，其膜厚較佳為 5~30 nm，更佳為 6~20 nm。若膜厚為 30 nm 以上，則難以確保高光透過性，又，若為 5 nm 以下，則膜形成接近島狀構造，薄片電阻增大並且產生光吸收，無法獲得足夠之表面電阻（不會變為 10 $\Omega/\square$ 以下），又，透明性降低。

【0025】 構成導電性金屬薄膜之金屬係摻雜有 0.5~10 wt% 之 Pd、Nd 及/或 Ni 之銀，摻雜量更佳為 0.6~5%，進而較佳為 0.8~3%。若摻雜量超過 10 wt%，則薄片電阻增大，若摻雜量未達 0.5 wt%，則容易產生凝聚，且會促進氧化，故而欠佳。具體而言，例如可使用摻雜有 1 wt% 鈀之銀、摻雜有 1 wt% 鎳之銀等。

【0026】 作為摻雜劑之金屬可為 Pd（鈀）、Nd（釷）、Ni（鎳）中之 1 種，亦可為 2 種以上之組合。又，只要不妨礙本發明之效果，亦可進而含

有其他種類之摻雜劑。作為其他種類之摻雜劑，例如可列舉銅（Cu）、金（Au）、鉑（Pt）、鍺（Ge）、鈾（Ce）、釷（Gd）等。認為摻雜有 Pd、Nd 及/或 Ni 之銀較純銀再結晶化溫度更高且耐蝕性提高，因此發揮銀本來之高透明性及低電阻性。再者，導電性金屬膜係將上述摻雜有異種金屬之銀進行成膜而獲得者，但於不妨礙本發明之效果之範圍內，亦可含有其他成分。

【0027】 於上述導電性金屬薄膜之上下形成有氮化物半導體薄膜。再者，所謂金屬薄膜之「上」「下」係於觀察基體片材與金屬薄膜之位置關係時，將更接近基體片材之側稱為「下」，將與基體片材為相反之側稱為「上」。

【0028】 於本發明之透明導電膜，氮化物半導體薄膜可為於導電性金屬薄膜之上下各形成有 1 層之構成（即，包含導電性金屬薄膜在內為 3 層構造之透明導電膜），亦可為於導電性金屬薄膜之上下分別積層有 2 層以上之構成，但為了使透明性與低電阻性併存，較佳為設為 3 層構造之積層體。

【0029】 本發明之透明導電膜之氮化物半導體薄膜包含鋁及/或鋁合金之氮化膜。作為此種氮化物半導體薄膜，例如有藉由利用氮氣之反應性濺鍍法而成膜之氮化鋁膜。該膜係藉由將鋁及/或鋁合金用作濺鍍成膜之靶，於氬氣中混入流量比 0.1～50% 之氮氣作為濺鍍氣體進行成膜而獲得。

【0030】 作為用於氮化物半導體膜之鋁合金，可為由鋁與 Sn、Ti 等所構成的普通之合金，亦可為於鋁中少量（0.1～10 wt%）添加有選自 Nd、Ni、Ag、Cu、Sn、Pd、Ti 之 1 種或複數種金屬之鋁合金。該等之中，較佳為添加有 0.1～10 wt% 之 Cu、Sn 及/或 Ti 之鋁合金。作為非合金之鋁，較佳為使用純度為 4 N～5 N 之純鋁。

【0031】 氮化物半導體膜之膜厚為 5～70 nm，較佳為 10～65 nm，更佳為 20～60 nm。氮化物半導體膜之穿透率會因光之干涉而提高，因此，有對應於膜之折射率之膜厚區域，即便過厚或過薄穿透率均會降低。若氮化物半導體膜之厚度未達 5 nm 或超過 70 nm，則可見光區域中之抗反射效果

減少，因此穿透率降低，而欠佳。

【0032】 於基體片材上構成之導電性金屬薄膜與氮化物半導體薄膜之積層構造之厚度（不包含基體片材之厚度）為 15～170 nm，若為 20～160 nm 則更佳，進而較佳為 30～150 nm。該膜厚範圍係根據導電性金屬薄膜與氮化物半導體薄膜積層構造各自之膜厚之最佳值所導出者，若厚度未達 15 nm，則薄片電阻值上升，若超過 170 nm 則穿透率降低，故而欠佳。

【0033】 導電性金屬薄膜與氮化物半導體薄膜之膜厚之組合可在上述範圍內根據用途或所需之特性適當選擇，但例如若將氮化物半導體薄膜設為 20～50 nm，將導電性金屬薄膜設為 8～20 nm 而進行組合，則可獲得具有特佳之透明性及低電阻性之透明導電膜。藉由變更導電性金屬薄膜與氮化物半導體薄膜之膜厚的組合，可假定將可見光全域中穿透率設為 80% 以上之透明導電膜、將電阻值抑制為更低之電磁波遮蔽透明導電膜、及具有熱射線遮蔽性之透明導電膜等各種應用。

【0034】 本發明之透明導電膜係可見光穿透率為 85%～99%、且薄片電阻值為 $0.1 \sim 10 \text{ } \Omega/\square$ 之極高等級的使可見光穿透率與薄片電阻值併存者。再者，本說明書中所謂之可見光穿透率表示波長 500 nm 之光穿透率(%)之值。又，薄片電阻值表示藉由四探針法進行測定時之電阻值 ($\Omega/\square$)。

【0035】 將本發明之透明導電膜之示意圖示於圖 1。

圖 1 所示之透明導電膜係積層於塑膠之基體片材 (B) 上，且由例如折射率高 (折射率 2.1) 之氮化物半導體膜即氮化鋁薄膜 (AN) 夾持例如摻雜有鈮之銀薄膜即導電性金屬薄膜 (AP) 之上下兩側而成的 3 層構造之積層膜。

【0036】 於本發明之透明導電膜中，亦可如經常進行般於基體片材 (B) 上設置底漆塗佈層作為基體片材之保護膜，於其上形成透明導電膜積層體。

又，亦可於透明導電積層體之最上層上設置其他面塗層而使其特性提昇或使其具有保護功能。

【0037】 （製造方法）

本發明之透明隔熱片材大致而言係藉由於基體片材上依序成膜氮化物半導體薄膜及導電性金屬薄膜而製造。作為氮化物半導體薄膜及導電性金屬薄膜之成膜方法，可列舉真空蒸鍍法或濺鍍法等物理蒸鍍（PVD）法、及化學蒸鍍（CVD）法等。作為更佳之成膜方法有作為 PVD 法之一種之 New Magnetic Hollow-cathode V 型濺鍍法（以下稱為 N-MHVS 法），根據該方法，可穩定地形成優異之導電性金屬薄膜或氮化物半導體薄膜。

【0038】 關於 N-MHVS 法於日本專利 4473852 號中詳細地進行有說明，其係將較通常之磁控濺鍍法能以低溫、低損傷成膜之濺鍍法即對向靶濺鍍法（FTS 法）進行高性能化之方法。

【0039】 根據 N-MHVS 法，與普通之磁控濺鍍法相比，藉由產生利用對向雙重磁極獲得之高密度電漿而能以極低能量（-300 V 以下之濺鍍電壓）成膜，於金屬極薄膜，可於低溫製程中獲得均勻之組成且缺陷較少的優質薄膜，從而使金屬薄膜之導電性及膜表面之平滑性提昇。又，於藉由利用 N-MHVS 法之反應性濺鍍而成膜之氮化物半導體膜中，可確保於高密度電漿下之充足反應性，而形成表面平滑且吸收較少之金屬氮化薄膜，可不對導電性金屬薄膜或氮化物半導體薄膜之表面造成凹凸損傷而獲得積層膜。

【0040】 利用圖 2 對 N-MHVS 法之具體裝置即詳細之 N-MHV 濺鍍裝置進行說明。圖 2 之濺鍍裝置 1 具備前端部配置有一對靶 10a、10b 之靶固持器 11a、11b、真空腔室 2、濺鍍電力供給用電源 3、基板固持器 4、排氣裝置 5、及氣體供給裝置 6。

【0041】 一對靶 10a、10b 例如由鋁 Al（純度 5 N）構成。該靶 10a、

10b 於真空腔室 2 內對向配置，對向面（被濺鍍之面）10a'、10b'具有特定之間隔而被配置。靶固持器 11a、11b 係介隔襯板（backing plate）12a、12b 而分別支撐、固定靶 10a、10b，以其前端側位於真空腔室 2 內部之方式介隔絕緣板（省略圖示）而安裝於該真空腔室 2。

【0042】 一對靶 10a、10b 藉由靶固持器 11a、11b，於真空腔室 2 內以兩對向面 10a'、10b'均朝向由基板固持器 4 固定之基板 B 之被成膜面 B'之方式傾斜配置，例如可將傾斜角設為 5° 。如此，兩對向面 10a'、10b'會成為大致 V 字狀之配置之靶 10a、10b 一般被稱為「V 型對向靶」

【0043】 於固定有靶 10a、10b 之襯板 12a、12b 之外側面（與固定有靶 10a、10b 之面為相反側之面）配置有靶間磁場產生手段 20a、20b。靶間磁場產生手段係用以使靶 10a、10b 間產生（形成）磁場空間（靶間磁場空間）之手段，例如由永久磁鐵構成。靶間磁場產生手段 20a、20b 例如由釹系（例如釹、鐵、硼）磁鐵或鋁鎳鈷系磁鐵等強磁性體構成。

【0044】 其中一個靶間磁場產生手段 20a 爲了在相對於對向面 10a'垂直之方向產生磁場而以 N 極與一個靶 10a 之外側面對向之方式配置，另一個靶間磁場產生手段 20b 爲了在相對於對向面 10b'垂直之方向產生磁場而以 S 極與另一個靶 10b 之外側面對向之方式配置。如此，於靶 10a、10b 之對向面 10a'、10b'間會形成磁力線自對向面 10a'朝向對向面 10b'之靶間磁場空間 K。

【0045】 輔助磁場產生手段 30a、30b 與靶間磁場產生手段 20a、20b 同樣地由永久磁鐵形成，且形成爲沿靶固持器 11a、11b 之外周之（可外嵌之）角筒狀。輔助磁場產生手段 30a、30b 以磁極與靶間磁場產生手段 20a、20b 爲相同朝向，且外嵌於靶固持器 11a、11b 之前端側外周之方式配置。藉由以此方式配置而形成如下之輔助磁場空間，該輔助磁場空間係沿著上述靶間磁場產生手段 20a、20b 所形成之靶間磁場空間並且磁力線之朝向成

為與上述靶間磁場空間中之磁力線為相同方向。

【0046】 濺鍍電力供給用電源 3 係可施加 DC 之恆定電力之電源，且係將處於接地電位（earth potential）之真空腔室 2 設為陽極，將靶 10a、10b 設為陰極而供給濺鍍電力者。

【0047】 基板固持器 4 以支撐基體片材 B 並且基體片材 B 之被成膜面 B'朝向藉由靶 10a、10b 而形成於兩對向面 10a'、10b'間之空間 K 之方式配置。

【0048】 於真空腔室 2 連接有排氣裝置 5 並且連接有放電用氣體之氣體供給裝置 6。氣體供給裝置 6 包含分別配置於靶 10a、10b 之附近之用以供給作為不活性氣體之濺鍍氣體之濺鍍氣體導入供給口 6'、6'、及用以供給反應性氣體之反應氣體供給口 6''、6''。

【0049】 於該裝置，藉由靶背面之靶間磁場產生手段 20a、20b 及以包圍靶之方式沿其周緣配置之輔助磁場產生手段 30a、30b 之雙重磁極，可在形成於兩對向面 10a'、10b'間之空間 K 中形成高密度電漿。而且，自配置於對向靶之基板相反面之濺鍍氣體供給口 6'、6'及配置於基板附近之兩側之反應氣體供給口 6''、6''分別供給濺鍍氣體及反應氣體。因此，於進行反應性濺鍍之情形時，於濺鍍靶附近僅進行靶材料（金屬）之濺鍍，藉由氧化、氮化等電漿反應進行之陶瓷薄膜之形成係於基板附近側活性濺鍍粒子與反應氣體反應而形成反應薄膜。因此，成為靶表面不會暴露於氧化或氮化等電漿反應並且穩定之反應性濺鍍得以持續之構造。

【0050】 上述裝置為此種構成之靶構造，因此，藉由利用靶磁極及輔助磁極之雙重磁極而產生之強力靶間磁場空間，而可在壓力較低之狀態且使濺鍍電壓極其降低。又，藉由強力之雙重磁極可更良好地發揮電漿之封閉效果、及二次電子等荷電粒子之封閉效果，可實現低溫、低損傷之成膜。

【0051】 於使用該 N-MHV 濺鍍裝置進行氮化物半導體薄膜成膜時，

將成爲氮氧化物之金屬材料用作靶 10a、10b，將欲成膜之基體片材 B 置於基板固持器 4，對真空腔室 2 進行真空排氣直至成爲特定之真空度，添加特定量之濺鍍氣體（氬氣）及反應氣體（氮氣），以特定之濺鍍功率及濺鍍時間進行濺鍍。藉由該濺鍍，於基體片材 B 上形成特定膜厚之氮化物半導體薄膜。於進行導電性金屬薄膜成膜時，藉由不供給反應氣體而僅供給濺鍍氣體（氬氣）來進行濺鍍。

【0052】 成膜步驟可不加熱基板片材 B 或真空腔室 2 內而（於室溫下）進行，藉由不加熱基板而進行成膜可獲得良好之薄膜。藉由不加熱基板而於室溫（20～50℃左右）下進行成膜，可進行低損傷成膜，可獲得更均勻且缺陷較少之薄膜，且可獲得使透明性與低電阻性併存之透明導電膜。

[實施例]

【0053】 按照以下之順序製作本發明之實施例及比較例之透明導電膜。

作爲基體片材，對 100 mm×100 mm×100 μ m 之 PET 膜（波長 500 nm 之可見光穿透率 92%）進行脫脂、洗淨、乾燥。於該膜上藉由圖 2 所示之 N-MHV 濺鍍裝置而成膜特定之薄膜。各種薄膜以如下條件進行成膜。

【0054】 1. AlN 膜之成膜

將 125 mm×300 mm 之鋁 Al（純度 5 N）用作靶。將該 Al 設置於靶固持器，將上述 PET 膜置於基板固持器。繼而，於將真空腔室內進行真空排氣爲 10^{-5} Pa 以下之後，依序供給作爲濺鍍氣體之氬氣及作爲反應氣體之氮氣，將真空腔室內設爲氬氣 0.3 Pa、氮氣 0.15 Pa。將濺鍍電力設爲 500 W，根據所需之膜厚調整濺鍍時間，獲得特定膜厚之 AlN 薄膜。

【0055】 2. 摻雜有 1%之鈮之銀薄膜之成膜

將 125 mm×300 mm 之含有 1 wt%鈮 Pd 之銀（以下記爲 AgPd）用作靶。將該 AgPd 設置於靶固持器，將上述 PET 膜（表面上成膜有 AlN 膜者）置

於基板固持器。繼而，於將真空腔室內進行真空排氣為 10^{-5} Pa 以下之後，供給流量為 99 c 之氬氣作為濺鍍氣體，將真空腔室內設為氬氣 1.0 Pa。將濺鍍電力設為 500 W，根據所需之膜厚調整濺鍍時間，獲得特定膜厚之 AgPd 薄膜。

再者，於成膜純 Ag 薄膜之情形時，除使用純 Ag 作為靶以外，與上述同樣地進行成膜。

【0056】 [實施例 1] AlN/AgPd/AlN 積層膜

基於上述成膜條件，製作 AlN 為 20 nm/AgPd 為 8 nm/AlN 為 20 nm 之積層膜。將 AlN 為 20 nm 薄膜之成膜（濺鍍）時間設為 4 分鐘，將 AgPd 為 8 nm 薄膜之成膜（濺鍍）時間設為 40 秒。

【0057】 [實施例 2]

除將 AgPd 膜設為 10 nm（濺鍍時間 50 秒）以外係與實施例 1 同樣地製成積層膜。

【0058】 [實施例 3]

除將 AlN 膜設為 30 nm（濺鍍時間 6 分鐘）以外係與實施例 1 同樣地製成積層膜。

【0059】 [實施例 4]

除將 AlN 膜設為 30 nm（濺鍍時間 6 分鐘）、將 AgPd 膜設為 10 nm（濺鍍時間 50 秒）以外係與實施例 1 同樣地製成積層膜。

【0060】 [實施例 5]

除將 AlN 膜設為 30 nm（濺鍍時間 6 分鐘）、將 AgPd 膜設為 12 nm（濺鍍時間 60 秒）以外係與實施例 1 同樣地製成積層膜。

【0061】 [實施例 6]

除將 AlN 膜設為 40 nm（濺鍍時間 8 分鐘）以外係與實施例 1 同樣地製成積層膜。

【0062】 [實施例 7]

除將 AlN 膜設為 40 nm（濺鍍時間 8 分鐘）、將 AgPd 膜設為 10 nm（濺鍍時間 50 秒）以外係與實施例 1 同樣地製成積層膜。

【0063】 [實施例 8]

除將 AlN 膜設為 40 nm（濺鍍時間 8 分鐘）、將 AgPd 膜設為 12 nm（濺鍍時間 60 秒）以外係與實施例 1 同樣地製成積層膜。

【0064】 [實施例 9]

除將 AlN 膜設為 40 nm（濺鍍時間 8 分鐘）、將 AgPd 膜設為 14 nm（濺鍍時間 70 秒）以外係與實施例 1 同樣地製成積層膜。

【0065】 [實施例 10]

除將 AlN 膜設為 40 nm（濺鍍時間 8 分鐘）、將 AgPd 膜設為 16 nm（濺鍍時間 80 秒）以外係與實施例 1 同樣地製成積層膜。

【0066】 [實施例 11]

除將 AlN 膜設為 40 nm（濺鍍時間 8 分鐘）、將 AgPd 膜設為 18 nm（濺鍍時間 90 秒）以外係與實施例 1 同樣地製成積層膜。

【0067】 [實施例 12]

除將 AlN 膜設為 40 nm（濺鍍時間 8 分鐘）、將 AgPd 膜設為 20 nm（濺鍍時間 100 秒）以外係與實施例 1 同樣地製成積層膜。

【0068】 [實施例 13]

除將 AlN 膜設為 50 nm（濺鍍時間 10 分鐘）以外係與實施例 1 同樣地製成積層膜。

【0069】 [實施例 14]

除將 AlN 膜設為 50 nm（濺鍍時間 10 分鐘）、將 AgPd 膜設為 10 nm（濺鍍時間 50 秒）以外係與實施例 1 同樣地製成積層膜。

【0070】 [實施例 15]

除將 AlN 膜設為 50 nm (濺鍍時間 10 分鐘)、將 AgPd 膜設為 12 nm (濺鍍時間 60 秒) 以外係與實施例 1 同樣地製成積層膜。

【0071】 [實施例 16]

除將 AlN 膜設為 50 nm (濺鍍時間 10 分鐘)、將 AgPd 膜設為 14 nm (濺鍍時間 70 秒) 以外係與實施例 1 同樣地製成積層膜。

【0072】 [比較例 1] AlN/純 Ag/AlN 積層膜

基於上述成膜條件製作 AlN 為 50 nm/純 Ag 為 8 nm/AlN 為 50 nm 之積層膜。將 AlN 為 50 nm 薄膜之成膜 (濺鍍) 時間設為 10 分鐘, 將純 Ag 為 8 nm 薄膜之成膜 (濺鍍) 時間設為 40 秒。

【0073】 [比較例 2]

除將純 Ag 膜設為 10 nm (濺鍍時間 50 秒) 以外係與比較例 1 同樣地製成積層膜。

【0074】 [比較例 3]

除將純 Ag 膜設為 12 nm (濺鍍時間 60 秒) 以外係與比較例 1 同樣地製成積層膜。

【0075】 [比較例 4]

除將純 Ag 膜設為 14 nm (濺鍍時間 70 秒) 以外係與比較例 1 同樣地製成積層膜。

【0076】 [比較例 5]

除將純 Ag 膜設為 16 nm (濺鍍時間 80 秒) 以外係與比較例 1 同樣地製成積層膜。

【0077】 [比較例 6]

除將純 Ag 膜設為 18 nm (濺鍍時間 90 秒) 以外係與比較例 1 同樣地製成積層膜。

【0078】 將於實施例及比較例中獲得之積層膜 (透明導電膜) 之波長

500 nm 下之穿透率 (%) 及薄片電阻值 ($\Omega/\square$) 示於下表中。

穿透率係使用朝日分光股份有限公司製造之分光光度計 HUS-100S 以各基材之基準而進行測定。

薄片電阻值係使用三菱化學股份有限公司製造之 Loresta AX (MCP-T370) 利用四探針法而進行測定。

【0079】 [表 1]

	AlN (nm)	AgPd 或純 Ag (nm)	穿透率 $\lambda = 500(\%)$	薄片電阻值 ($\Omega/\square$)
實施例 1	20	8	90	7.4
實施例 2	20	10	89	5.5
實施例 3	30	8	91	9.3
實施例 4	30	10	90	4.8
實施例 5	30	12	90	4.3
實施例 6	40	8	92	9.0
實施例 7	40	10	88	6.4
實施例 8	40	12	90	4.7
實施例 9	40	14	90	3.8
實施例 10	40	16	88	3.0
實施例 11	40	18	88	2.2
實施例 12	40	20	85	2.0
實施例 13	50	8	92	8.9
實施例 14	50	10	86	5.8
實施例 15	50	12	86	4.0
實施例 16	50	14	90	3.2
比較例 1	50	8	83	16
比較例 2	50	10	82	11
比較例 3	50	12	78	8.5
比較例 4	50	14	77	7.2
比較例 5	50	16	75	6.1
比較例 6	50	18	72	5.2

【0080】 如表 1 所示，實施例 1~16 之透明導電膜均為使穿透率為 85% 以上、且薄片電阻值為 $10 \Omega/\square$ 以下併存的極高性能之透明導電膜。又，比較相同膜厚之實施例（使用 AgPd 作為導電性金屬膜者）與比較例（使用 Ag 作為導電性金屬膜者）可知，藉由使用 AgPd，穿透率及薄片電阻值均變得更良好。

【0081】 如上所述，根據本發明，可獲得使 85% 以上之穿透率與 $10 \Omega/\square$

□以下之電阻值併存的極高性能之透明導電膜。

【符號說明】

【0082】

- 1：濺鍍裝置
- 2：真空腔室
- 3：濺鍍電力供給用電源
- 4：基板固持器
- 5：排氣裝置
- 6：氣體供給裝置
- 6'：濺鍍氣體導入供給口
- 6"：反應氣體供給口
- 10a、10b：靶
- 10a'、10b'：濺鍍面（對向面）
- 11a、11b：靶固持器
- 12a、12b：襯板
- 20a、20b：靶間磁場產生手段
- 30a、30b：輔助磁場產生手段
- K：電漿產生空間
- B：基體片材
- B'：被成膜面
- AP：導電性金屬薄膜
- AN：氮化物半導體薄膜

I630658

發明摘要

※ 申請案號：102127409

※ 申請日：102/07/31

※IPC 分類：H01L 21/3205 (2006.01)
C23C 14/14 (2006.01)
C23C 14/34 (2006.01)
H01B 5/14 (2006.01)

【發明名稱】(中文/英文)

透明導電膜及其製造方法

【中文】

本發明提供一種成為透明導電膜為最高等級即可見光穿透率為 85%以上且表面電阻為 $10 \Omega/\square$ 以下之高穿透率與低表面電阻併存之透明導電膜，又，提供一種用以藉由可工業化且實用之方法來製造該透明導電膜之製造方法。

本發明之透明導電膜係於透明之基體片材上設置包含導電性金屬薄膜及積層於該導電性金屬薄膜上下之氮化物半導體薄膜的積層構造而成者，其特徵在於：上述導電性金屬薄膜係由摻雜有 0.5~10 wt% 之 Pd、Nd 及/或 Ni 之銀所構成之薄膜，且上述氮化物半導體薄膜係鋁及/或鋁合金之氮化物薄膜。

【英文】

無

圖式

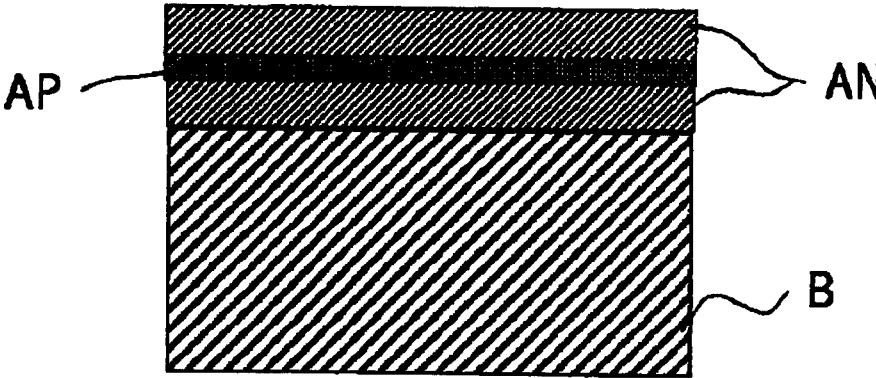


圖1

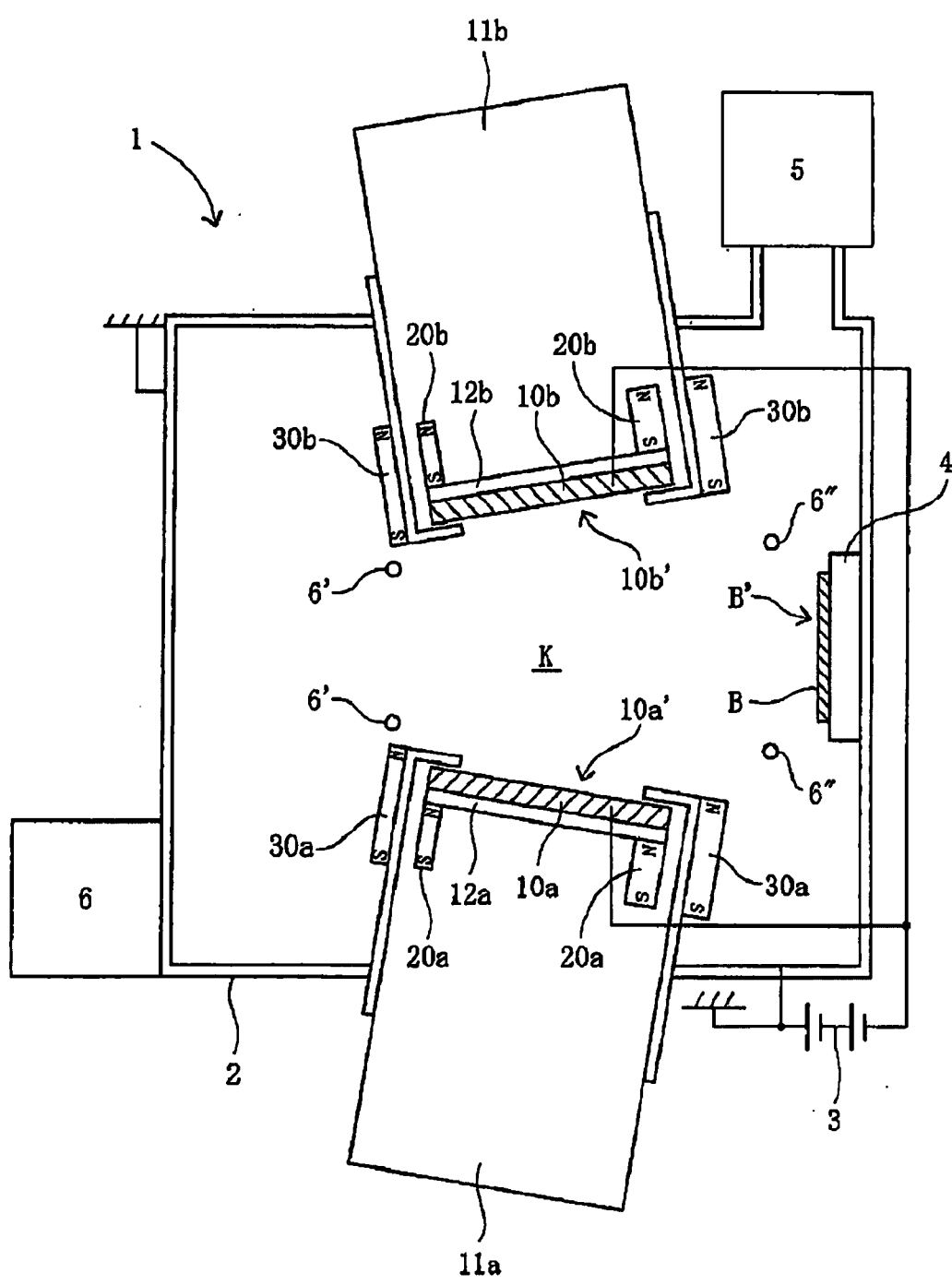


圖2

【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】：

AP：導電性金屬薄膜

AN：氮化物半導體薄膜

B：基體片材

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

申請專利範圍

1. 一種透明導電膜，係於透明之基體片材上設置包含導電性金屬薄膜及積層於該導電性金屬薄膜上下之氮化物半導體薄膜的積層構造而成，其特徵在於：

上述導電性金屬薄膜係由摻雜有 0.5~10 wt% 之 Pd、Nd 及/或 Ni 之銀所構成之膜，且

上述氮化物半導體薄膜係含有 0.1~10 wt% 之 Cu、Sn 及/或 Ti 之氮化鋁之薄膜。

2. 如申請專利範圍第 1 項之透明導電膜，其中，上述導電性金屬薄膜之厚度為 5~30 nm，上述氮化物半導體薄膜之厚度為 5~70 nm。
3. 如申請專利範圍第 2 項之透明導電膜，其中，上述導電性金屬薄膜之厚度為 5~30 nm，上述氮化物半導體薄膜之厚度為 5~70 nm。
4. 如申請專利範圍第 1 至 3 項中任一項之透明導電膜，其中，上述積層構造之厚度為 15~170 nm。
5. 如申請專利範圍第 1 至 3 項中任一項之透明導電膜，其可見光穿透率為 85%~99%、且薄片電阻值為 0.1~10 $\Omega/\square$ 。
6. 如申請專利範圍第 4 項中任一項之透明導電膜，其可見光穿透率為 85%~99%、且薄片電阻值為 0.1~10 $\Omega/\square$ 。
7. 一種透明導電膜之製造方法，係製造申請專利範圍第 1 至 6 項中任一項之透明導電膜之方法，其包含以下步驟：

將含有 0.1~10 wt% 之 Cu、Sn 及/或 Ti 之鋁作為靶，使用為不活性氣體之濺鍍氣體及含有氮氣之反應氣體，藉由對向靶濺鍍法而進行氮化物半導體薄膜成膜；及

將摻雜有 0.5~10 wt% 之 Pd、Nd 及/或 Ni 之銀作為靶，使用為不活性氣體之濺鍍氣體藉由對向靶濺鍍法而進行導電性金屬薄膜成膜。

8. 如申請專利範圍第 7 項之透明導電膜之製造方法，其中，用於上述對向靶濺鍍法之裝置係如下特徵之對向靶濺鍍裝置：

隔著間隔相互對向並且使相互對向之面以朝向配置於一方之側面位置之成膜對象即基板側開口之方式傾斜來配置一對靶；且該裝置具有以包圍上述一對靶之各者的方式沿著其周緣配置之具備筒狀之一對永久磁鐵之輔助磁場產生手段。

9. 如申請專利範圍第 7 或 8 項之透明導電膜之製造方法，其中，上述成膜步驟不加熱基板而進行。