



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년12월17일
 (11) 등록번호 10-1474126
 (24) 등록일자 2014년12월11일

(51) 국제특허분류(Int. Cl.)
 H01G 4/12 (2006.01) H01G 4/30 (2006.01)
 H01G 2/06 (2006.01)
 (21) 출원번호 10-2013-0050754
 (22) 출원일자 2013년05월06일
 심사청구일자 2013년05월06일
 (65) 공개번호 10-2014-0131756
 (43) 공개일자 2014년11월14일
 (56) 선행기술조사문헌
 JP09260206 A
 JP2007266223 A
 KR101141402 B1
 JP2007123835 A

(73) 특허권자
 삼성전기주식회사
 경기도 수원시 영통구 매영로 150 (매탄동)
 (72) 발명자
 이승호
 경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)
 오대복
 경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)
 (뒷면에 계속)
 (74) 대리인
 특허법인씨엔에스

전체 청구항 수 : 총 12 항

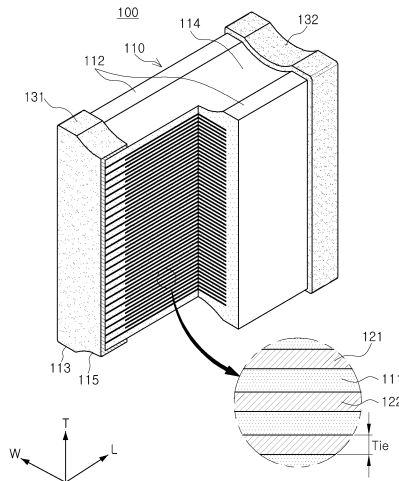
심사관 : 전한철

(54) 발명의 명칭 **적층 세라믹 전자 부품 및 그 실장 기판**

(57) 요약

본 발명은, 복수의 유전체층을 포함하며, 폭을 W로, 두께를 T로 규정할 때, $T/W > 1.0$ 을 만족하며, 적어도 일 주면에 내측으로 오목하게 길이 방향의 홈부를 갖는 세라믹 본체; 상기 세라믹 본체 내에서 상기 유전체층을 사이에 두고 서로 대향하도록 배치되며, 상기 세라믹 본체의 양 단면을 통해 번갈아 노출된 복수의 제1 및 제2 내부 전극; 및 상기 세라믹 본체의 양 단면에서 상기 홈부가 형성된 일 주면까지 형성되며, 상기 제1 및 제2 내부 전극과 각각 전기적으로 연결된 제1 및 제2 외부 전극; 을 포함하며, 상기 세라믹 본체를 전체 두께의 70 내지 90 %인 상부 영역(A_t)과 10 내지 30 %인 하부 영역(A_b)으로 구분할 때, A_b 공재의 평균 입경 / A_t 공재의 평균 입경 < 0.5 인 적층 세라믹 전자 부품을 제공한다.

대표도 - 도1



(72) 발명자

김중환

경기 수원시 영통구 매영로 150, (매탄동, 삼성
전기)

조수환

경기 수원시 영통구 매영로 150, (매탄동, 삼성
전기)

이민곤

경기 수원시 영통구 매영로 150, (매탄동, 삼성
전기)

김위현

경기 수원시 영통구 매영로 150, (매탄동, 삼성
전기)

특허청구의 범위

청구항 1

복수의 유전체층을 포함하며, 폭을 W로, 두께를 T로 규정할 때, $T/W > 1.0$ 을 만족하며, 적어도 일 주면에 내측으로 오목하게 길이 방향의 홈부를 갖는 세라믹 본체;

상기 세라믹 본체 내에서 상기 유전체층을 사이에 두고 서로 대향하도록 배치되며, 상기 세라믹 본체의 양 단면을 통해 번갈아 노출된 복수의 제1 및 제2 내부 전극; 및

상기 세라믹 본체의 양 단면에서 상기 홈부가 형성된 일 주면까지 형성되며, 상기 제1 및 제2 내부 전극과 각각 전기적으로 연결된 제1 및 제2 외부 전극; 을 포함하며,

상기 세라믹 본체를 전체 두께의 70 내지 90 %인 상부 영역(A_t)과 10 내지 30 %인 하부 영역(A_b)으로 구분할 때, A_b 공재의 평균 입경 / A_t 공재의 평균 입경 < 0.5인 적층 세라믹 전자 부품.

청구항 2

제1항에 있어서,

상기 제1 및 제2 내부 전극의 두께 Tie는, $0.2 \mu\text{m} \leq \text{Tie} \leq 0.85 \mu\text{m}$ 의 범위를 만족하는 것을 특징으로 하는 적층 세라믹 전자 부품.

청구항 3

제1항에 있어서,

상기 세라믹 본체의 하부 영역에 배치된 제1 및 제2 내부 전극의 두께가 상기 세라믹 본체의 상부 영역에 배치된 제1 및 제2 내부 전극의 두께 보다 두껍게 형성된 것을 특징으로 하는 적층 세라믹 전자 부품.

청구항 4

제1항에 있어서,

상기 세라믹 본체의 T/W는, $1.2 < T/W < 3.0$ 의 범위를 만족하는 것을 특징으로 하는 적층 세라믹 전자 부품.

청구항 5

제1항에 있어서,

상기 세라믹 본체의 일 측면의 두께를 Te로, 중앙부의 두께를 Tc로 규정할 때, $0.910 \leq Tc/Te < 0.995$ 의 범위를 만족하는 것을 특징으로 하는 적층 세라믹 전자 부품.

청구항 6

제1항에 있어서,

상기 세라믹 본체의 상부 영역의 전극 연결성은 80 % 이상인 것을 특징으로 하는 적층 세라믹 전자 부품.

청구항 7

제1항에 있어서,

상기 세라믹 본체의 하부 영역의 전극 연결성은 90 % 이상인 것을 특징으로 하는 적층 세라믹 전자 부품.

청구항 8

제1항에 있어서,

상기 세라믹 본체의 하부 영역과 상부 영역 간의 전극 연결성의 차가 5 % 이상인 것을 특징으로 하는 적층 세라믹 전자 부품.

청구항 9

제1항에 있어서,

상기 세라믹 본체는 유전체층이 두께 방향으로 적층된 것을 특징으로 하는 적층 세라믹 전자 부품.

청구항 10

제1항에 있어서,

상기 세라믹 본체는 유전체층이 폭 방향으로 적층된 것을 특징으로 하는 적층 세라믹 전자 부품.

청구항 11

제1항에 있어서,

상기 홈부는 상기 세라믹 본체의 양 주면에 서로 대향되게 각각 형성된 것을 특징으로 하는 적층 세라믹 전자 부품.

청구항 12

상부에 제1 및 제2 전극 패드를 갖는 인쇄회로기판; 및

상기 제1 및 제2 전극 패드 위에 설치된 제1항 내지 제11항 중 어느 한 항의 적층 세라믹 전자부품; 을 포함하는 적층 세라믹 전자 부품의 실장 기관.

명세서

기술분야

[0001] 본 발명은 적층 세라믹 전자 부품 및 그 실장 기관에 관한 것이다.

배경기술

[0002] 최근 전자 제품의 소형화 추세에 따라, 이러한 전자 제품에 사용되는 적층 세라믹 전자 부품 역시 소형화 및 고용량화가 요구되고 있다.

[0003] 이에 따라 유전체층과 내부 전극의 박막화 및 다층화가 다양한 방법으로 시도되고 있으며, 근래에는 유전체층의 두께를 얇게 하면서 그 적층 수를 증가시킨 적층 세라믹 전자 부품이 제조되고 있다.

- [0004] 상기 적층 세라믹 전자 부품의 소형화가 가능하고, 유전체층과 내부 전극의 박막화가 가능하면서 고용량화 구현을 위해 적층 수를 증가시킬 수 있게 되었다.
- [0005] 그러나, 위와 같이 유전체층 및 내부 전극의 두께를 얇게 하면서 적층 수를 증가시키면 적층 세라믹 전자 부품의 고용량 구현은 가능하나, 적층 수 증가로 인해 적층 세라믹 전자 부품의 두께가 폭에 비해 큰 형태가 된다.
- [0006] 위와 같이 적층 세라믹 전자 부품의 두께가 폭에 비해 크게 형성된 경우, 일반적으로 적층 세라믹 전자 부품의 양 단면에 형성된 외부 전극은 그 둘레 면이 불룩하게 라운드 된 현상을 갖게 된다.
- [0007] 따라서, 적층 세라믹 전자 부품을 인쇄회로기판 등에 실장 할 때 적층 세라믹 전자 부품이 실장된 상태를 유지하지 못하고 넘어지는 문제가 빈번히 발생하여 적층 세라믹 전자 부품의 실장 불량율이 증가되는 문제점이 있다.
- [0008] 하기 특허문헌 1은 소형화 및 고용량화 대응의 적층 세라믹 콘덴서를 개시하고 있으나, 적층 세라믹 콘덴서를 인쇄회로기판에 실장 했을 때 넘어지는 문제를 해결하기 위한 수단은 개시하지 않는다.

선행기술문헌

특허문헌

- [0009] (특허문헌 0001) 일본공개특허 제2005-129802호

발명의 내용

해결하려는 과제

- [0010] 당 기술 분야에서는, 적층 수 증가에 따라 두께가 폭에 비해 커 고용량을 구현하면서도, 적층 세라믹 전자 부품을 인쇄회로기판 등에 실장 할 때 넘어지는 문제를 해결하여 실장 불량 및 쇼트 발생을 줄일 수 있는 새로운 방안이 요구되어 왔다.

과제의 해결 수단

- [0011] 본 발명의 일 측면은, 복수의 유전체층을 포함하며, 폭을 W로, 두께를 T로 규정할 때, $T/W > 1.0$ 을 만족하며, 적어도 일 주면에 내측으로 오목하게 길이 방향의 홈부를 갖는 세라믹 본체; 상기 세라믹 본체 내에서 상기 유전체층을 사이에 두고 서로 대향하도록 배치되며, 상기 세라믹 본체의 양 단면을 통해 번갈아 노출된 복수의 제1 및 제2 내부 전극; 및 상기 세라믹 본체의 양 단면에서 상기 홈부가 형성된 일 주면까지 형성되며, 상기 제1 및 제2 내부 전극과 각각 전기적으로 연결된 제1 및 제2 외부 전극; 을 포함하며, 상기 세라믹 본체를 전체 두께의 70 내지 90 %인 상부 영역(At)과 10 내지 30 %인 하부 영역(Ab)으로 구분할 때, Ab 공재의 평균 입경 / At 공재의 평균 입경 < 0.5 인 적층 세라믹 전자 부품을 포함한다.
- [0012] 본 발명의 일 실시 예에서, 상기 제1 및 제2 내부 전극의 두께 Tie는, $0.2 \mu\text{m} \leq \text{Tie} \leq 0.85 \mu\text{m}$ 의 범위를 만족할 수 있다.
- [0013] 본 발명의 일 실시 예에서, 상기 세라믹 본체의 하부 영역에 배치된 제1 및 제2 내부 전극의 두께가 상기 세라

믹 본체의 상부 영역에 배치된 제1 및 제2 내부 전극의 두께 보다 두껍게 형성될 수 있다.

- [0014] 본 발명의 일 실시 예에서, 상기 세라믹 본체의 T/W는, $1.2 < T/W < 3.0$ 의 범위를 만족할 수 있다.
- [0015] 본 발명의 일 실시 예에서, 상기 세라믹 본체의 일 측면의 두께를 T_e 로, 중앙부의 두께를 T_c 로 규정할 때, $0.910 \leq T_c/T_e < 0.995$ 의 범위를 만족할 수 있다.
- [0016] 본 발명의 일 실시 예에서, 상기 세라믹 본체의 상부 영역의 전극 연결성은 80 % 이상일 수 있다.
- [0017] 본 발명의 일 실시 예에서, 상기 세라믹 본체의 하부 영역의 전극 연결성은 90 % 이상일 수 있다.
- [0018] 본 발명의 일 실시 예에서, 상기 세라믹 본체의 하부 영역과 상부 영역 간의 전극 연결성의 차가 5 % 이상일 수 있다.
- [0019] 본 발명의 일 실시 예에서, 상기 세라믹 본체는 유전체층이 두께 방향으로 적층되거나, 폭 방향으로 적층될 수 있다.
- [0020] 본 발명의 일 실시 예에서, 상기 홈부는 상기 세라믹 본체의 양 주면에 서로 대향되게 각각 형성될 수 있다.

발명의 효과

- [0021] 본 발명의 일 실시 형태에 따르면, 적층 수 증가에 따라 고용량을 구현하면서도, 세라믹 본체의 하부 영역에 두께 방향의 수축률을 키지도록 미립공재를 적용하여 세라믹 본체의 실장 면에 내측으로 오목하게 길이 방향의 홈부를 형성함으로써, 인쇄회로기판 등에 실장시 넘어지는 현상을 방지하여 적층 세라믹 전자 부품의 실장 불량률 및 쇼트 발생을 줄일 수 있는 효과가 있다.

도면의 간단한 설명

- [0022] 도 1은 본 발명의 일 실시 형태에 따른 적층 세라믹 커패시터의 일부를 절개하여 개략적으로 나타낸 사시도이다.
- 도 2는 본 발명의 일 실시 형태에 따른 적층 세라믹 커패시터의 두께-폭 방향 단면도이다.
- 도 3은 본 발명의 다른 실시 형태에 따른 적층 세라믹 커패시터의 일부를 절개하여 개략적으로 나타낸 사시도이다.
- 도 4는 본 발명의 다른 실시 형태에 따른 적층 세라믹 커패시터의 두께-폭 방향 단면도이다.
- 도 5는 본 발명의 일 실시 형태에 따른 적층 세라믹 커패시터가 인쇄회로기판에 실장된 모습을 적층 세라믹 커패시터의 일부를 절개하여 개략적으로 나타낸 사시도이다.

발명을 실시하기 위한 구체적인 내용

- [0023] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 형태들을 설명한다.
- [0024] 그러나, 본 발명의 실시 형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시 형태로 한정되는 것은 아니다.
- [0025] 또한, 본 발명의 실시 형태는 당해 기술 분야에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다.
- [0026] 도면에서 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있다.
- [0027] 또한, 각 실시 형태의 도면에서 나타난 동일한 사상의 범위 내의 기능이 동일한 구성 요소는 동일한 참조 부호를 사용하여 설명한다.
- [0028] 이하에서는 본 발명의 일 실시 형태에 따른 적층 세라믹 전자 부품을 설명하되, 특히 적층 세라믹 커패시터로 설명하지만 본 발명이 이에 한정되는 것은 아니다.

- [0029] **적층 세라믹 커패시터**
- [0030] 도 1은 본 발명의 일 실시 형태에 따른 적층 세라믹 커패시터의 일부를 절개하여 개략적으로 나타낸 사시도이고, 도 2는 본 발명의 일 실시 형태에 따른 적층 세라믹 커패시터의 두께-폭 방향 단면도이다.
- [0031] 도 1 및 도 2를 참조하면, 본 발명의 일 실시 형태에 따른 적층 세라믹 커패시터(100)는 세라믹 본체(110), 복수의 제1 및 제2 내부 전극(121, 122) 및 제1 및 제2 외부 전극(131, 132)를 포함한다.
- [0032] 세라믹 본체(110)는 복수의 유전체층(111)을 두께 방향으로 적층한 다음 소성한 것으로서, 인접하는 유전체층(111) 사이의 경계는 주사전자현미경(SEM: Scanning Electron Microscope)를 이용하지 않고 확인하기 곤란할 정도로 일체화될 수 있다. 이러한 세라믹 본체(110)의 형상은 특별히 제한되지 않으며, 예를 들어 육면체 형상을 가질 수 있다.
- [0033] 본 발명의 실시 형태를 명확하게 설명하기 위해 세라믹 본체(110)의 육면체 방향을 정의하면, 도면 상에 표시된 L, W 및 T는 각각 길이 방향, 폭 방향 및 두께 방향을 나타낸다.
- [0034] 또한, 본 실시 형태에서는 설명의 편의를 위해 세라믹 본체(110)의 서로 대향하는 두께 방향의 단면을 제1 및 제2 주면으로, 제1 및 제2 주면을 연결하며 서로 대향하는 길이 방향의 단면을 제1 및 제2 단면으로, 서로 대향하는 폭 방향의 단면을 제1 및 제2 측면으로 정의하기로 한다.
- [0035] 세라믹 본체(110)는 고용량 구현을 위해 유전체층(111)의 적층 수를 증가시킨 형태로서, 폭을 W로, 두께를 T로 규정할 때, $T/W > 1.0$ 을 만족하여 세라믹 본체(110)의 폭에 비하여 두께가 더 크게 형성되며, 이때 상기 T/W는 더 바람직하게는 $1.2 < T/W < 3.0$ 의 범위를 만족할 수 있다.
- [0036] 이때, 유전체층(111)의 적층 수는 특별히 제한 되지 않으나, 기판에 실장시 충분한 공간 확보가 되면서 고용량을 구현하기 위해 예를 들어 500 층 이상으로 적층할 수 있다.
- [0037] 또한, 세라믹 본체(110)는 제2 주면을 실장 면으로 설정할 때, 제2 주면에 내측으로 오목하게 길이 방향의 홈부(115)가 형성된다. 이에 세라믹 본체(110)의 제2 주면에는 홈부(115)를 기준으로 그 양측에 소정 면적을 갖는 지지부(113)가 마련될 수 있으며, 이 지지부(113)는 적층 세라믹 커패시터(100)를 인쇄회로기판 등에 실장 했을 때 적층 세라믹 커패시터(100)가 예기치 않게 넘어지는 것을 방지하는 받침 다리 역할을 수행한다.
- [0038] 또한, 세라믹 본체(110)의 제2 주면과 마주보는 제1 주면에는 필요시 제2 주면에 형성된 홈부(115)와 서로 대향되게 내측으로 오목하게 길이 방향의 홈부(114)가 형성될 수 있다.
- [0039] 이렇게 세라믹 본체(110)의 제1 및 제2 주면을 서로 대칭 구조로 형성하는 것은, 적층 세라믹 커패시터(100)가 상하 방향을 반대로 하여 인쇄회로기판에 실장 되었을 때를 대비하기 위한 것이다. 이 경우, 세라믹 본체(110)의 제1 주면에는 홈부(114)를 기준으로 그 양측에 지지부(113)와 대응되는 지지부(112)가 마련될 수 있다.
- [0040] 유전체층(111)은 고유전률의 세라믹 재료를 포함할 수 있으며, 예를 들어 티탄산바륨($BaTiO_3$)계 세라믹 분말 등을 포함할 수 있으나, 충분한 정전 용량을 얻을 수 있는 한 본 발명이 이에 한정되는 것은 아니다.
- [0041] 또한, 유전체층(111)에는 상기 세라믹 분말과 함께, 필요시 전이금속 산화물 또는 탄화물, 희토류 원소, 마그네슘(Mg) 또는 알루미늄(Al) 등과 같은 다양한 종류의 세라믹 첨가제, 유기용제, 가소제, 결합제 및 분산제 등이 더 첨가될 수 있다.
- [0042] 이때, 세라믹 본체(110)를 전체 두께의 70 내지 90 %인 상부 영역(At)과 10 내지 30 %인 하부 영역(Ab)으로 구

분할 때, Ab 공재의 평균 입경 / At 공재의 평균 입경 < 0.5일 수 있다. 즉, 하부영역(Ab) 공재의 평균 입경이 작을수록 높은 전극 연결성을 구현하는데 유리하며, 상부 영역(At) 공재의 평균 입경이 하부영역(Ab) 공재의 2 배 이상일 때 이런 효과가 커진다.

- [0043] 또한, 세라믹 본체(110)의 일 측면의 두께를 Te로, 중앙부의 두께를 Tc로 규정할 때, $0.910 \leq Tc/Te < 0.995$ 의 범위를 만족할 수 있다. Tc/Te 값은 홈부(115)의 깊이에 따라 달라지는데, 상기 Tc/Te 값이 0.910 미만일 경우 세라믹 본체(110)에 크랙이 발생할 수 있으며, 상기 Tc/Te 값이 0.995를 초과하게 되면 실장시 문제가 발생할 수 있다.
- [0044] 이때, 세라믹 본체(110)의 상부 영역(At)의 전극 연결성은 80% 이상일 수 있으며, 세라믹 본체(110)의 하부 영역(Ab)의 전극 연결성은 90 % 이상이 될 수 있다. 또한, 세라믹 본체(110)의 하부 영역(Ab)과 상부 영역(At) 간의 전극 연결성의 차는 5 % 이상이 될 수 있다. 즉, 하부 영역(Ab)에 상부 영역(At)에 비해 더 미립의 공재를 적용함으로써 전극연결성을 더 높게 형성할 수 있다.
- [0045] 제1 및 제2 내부 전극(121, 122)은 서로 다른 극성을 갖는 전극으로서, 유전체층(111)을 형성하는 세라믹 시트를 사이에 두고 서로 대향되게 배치되며, 세라믹 본체(100) 내에서 세라믹 본체(110)의 제1 및 제2 단면을 통해 각각 노출되도록 형성될 수 있다.
- [0046] 이때, 제1 및 제2 내부 전극(121, 122)은 중간에 배치된 유전체층(111)에 의해 서로 전기적으로 절연될 수 있다.
- [0047] 또한, 제1 및 제2 내부 전극(121, 122)은 도전성 금속으로 형성되며, 예를 들어 은(Ag), 팔라듐(Pd), 백금(Pt), 니켈(Ni) 및 구리(Cu) 중 하나 또는 이들의 합금 등으로 이루어진 것을 사용할 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0048] 또한, 제1 및 제2 내부 전극(121, 122)의 평균 두께는 정전 용량을 형성할 수 있다면 특별히 제한은 없으며, 예를 들어 $0.2 \mu\text{m} \leq T_{ie} \leq 0.85 \mu\text{m}$ 의 범위를 만족할 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0049] 다만, 제1 및 제2 내부 전극(121, 122)의 평균 두께가 $0.85 \mu\text{m}$ 를 초과하여 너무 두껍게 형성되는 경우 세라믹 본체(110) 내부에 크랙이 발생할 수 있다.
- [0050] 제1 및 제2 내부 전극(121, 122)의 평균 두께는 세라믹 본체(110)의 폭 방향 단면을 주사전자현미경(SEM, Scanning Electron Microscope)으로 이미지를 스캔 하여 측정할 수 있다.
- [0051] 예를 들어, 세라믹 본체(110)의 길이(L) 방향의 중앙부에서 절단한 폭 및 두께 방향(W-T) 단면을 주사전자현미경(SEM, Scanning Electron Microscope)로 스캔한 이미지에서 추출된 임의의 내부 전극에 대해서, 폭 방향으로 등 간격인 30개의 지점에서 그 두께를 측정하여 평균값을 측정할 수 있다.
- [0052] 상기 등 간격인 30개의 지점은 제1 및 제2 내부 전극(121, 122)이 중첩되는 영역을 의미하는 용량 형성부에서 측정될 수 있다.
- [0053] 또한, 이러한 평균값 측정을 10개 이상의 내부 전극으로 확장하여 평균값을 측정하면, 내부 전극의 평균 두께를 더욱 일반화할 수 있다.
- [0054] 또한, 세라믹 본체(110)의 하부 영역(Ab)에 배치된 제1 및 제2 내부 전극(121, 122)의 두께는 세라믹 본체(110)의 상부 영역(At)에 배치된 제1 및 제2 내부 전극(121, 122)의 두께 보다 두껍게 형성될 수 있다.
- [0055] 제1 및 제2 외부 전극(131, 132)은 세라믹 본체(110)의 양 단면에서 상하 홈부(114, 115)가 형성된 제1 및 제2 주면까지 연장 형성되며, 세라믹 본체(110)의 양 단면을 통해 각각 노출된 복수의 제1 및 제2 내부 전극(121, 122)의 노출된 부분을 덮어 각각 전기적으로 연결된다.
- [0056] 또한, 제1 및 제2 외부 전극(131, 132)은 도전성 금속으로 형성되며, 예를 들어 은(Ag), 니켈(Ni) 및 구리(Cu) 등으로 형성될 수 있다. 이러한 제1 및 제2 외부 전극(131, 132)은 상기 도전성 금속 분말에 글라스 프린트를 첨가하여 마련된 도전성 페이스트를 도포한 후 소성하여 형성될 수 있으며, 본 발명이 이에 한정되는 것은

아니다.

[0057] 한편, 제1 및 제2 외부 전극(131, 132) 상에는 필요시 제1 및 제2 도금층(미도시)이 형성될 수 있다.

[0058] 상기 제1 및 제 2 도금층은 적층 세라믹 커패시터(100)를 인쇄회로기판에 솔더로 실장 할 때 상호 간의 접촉 강도를 높이기 위한 것이다.

[0059] 상기 제1 및 제2 도금층은 예를 들어 제1 및 제2 외부 전극(131, 132) 상에 형성된 니켈(Ni) 도금층과, 상기 니켈 도금층 상에 형성된 주석(Sn) 도금층을 포함할 수 있으며, 본 발명이 이에 한정되는 것은 아니다.

[0060] 하기 표 1은 세라믹 본체의 하부 영역의 두께 및 세라믹 본체(110)의 일 측면의 두께 Te와 중앙부의 두께 Tc의 비율에 따른 적층 세라믹 커패시터의 인쇄회로기판 실장시 넘어짐 여부, 용량 만족 여부 및 신뢰성 만족 여부를 나타낸 것이다.

표 1

샘플#	하부영역의 두께 비율(%)	Tc/Te	실장 여부	용량 만족 여부	신뢰성 만족 여부
1	0	1.012	X	X	0
2	5	0.995	X	0	0
3	10	0.987	0	0	0
4	15	0.966	0	0	0
5	20	0.941	0	0	0
6	25	0.929	0	0	0
7	30	0.910	0	0	0
8	35	0.882	0	0	X(크랙발생)
9	40	0.875	0	0	X(크랙발생)
10	45	0.858	0	X	X(크랙발생)
11	50	0.831	0	X	X(크랙발생)

[0062] 상기 표 1을 참조하면, 샘플 1 및 2의 경우, 세라믹 본체의 실장 면, 즉 제2 주면이 아래로 볼록하거나 평평한 형상으로서, 적층 세라믹 커패시터를 인쇄회로기판 위에 20번 실장 했을 때 수차례 넘어지는 실장 불량률이 발생함을 확인할 수 있다. 특히, 샘플 1의 경우 용량 면에서도 기준치를 만족시키지 못하였다.

[0063] 샘플 3 내지 7의 경우, 세라믹 본체(110)의 실장 면, 즉 제2 주면이 내측으로 오목하게 길이 방향의 홈부(115)를 갖는 것으로서, 적층 세라믹 커패시터(100)를 인쇄회로기판 위에 20번 실장 했을 때, 넘어짐이 발생하지 않음을 확인할 수 있다. 또한, 용량면에서도 기준치를 만족시키며 신뢰성 면에서도 크랙이 발생하지 않음을 확인할 수 있다.

[0064] 샘플 8 및 12의 경우, 세라믹 본체의 실장 면, 즉 제2 주면이 내측으로 오목하게 길이 방향의 홈부를 갖는 것으로서, 적층 세라믹 커패시터를 인쇄회로기판 위에 20번 실장 했을 때, 넘어짐이 발생하지 않음을 확인할 수 있었다. 그러나, 홈부의 형상이 지나치게 오목하여 용량 불량률이 발생함과 동시에 세라믹 본체의 두께 방향의 마진부가 너무 얇아지면서 내습에 대한 신뢰성이 악화되는 문제가 발생함을 확인할 수 있다.

[0065] **변형 예**

[0066] 도 3은 본 발명의 다른 실시 형태에 따른 적층 세라믹 커패시터의 일부를 절개하여 개략적으로 나타낸 사시도이

고, 도 4는 본 발명의 다른 실시 형태에 따른 적층 세라믹 커패시터의 두께-폭 방향 단면도이다.

[0067] 여기서, 제1 및 제2 외부 전극(131, 132)이 형성된 구조는 앞서 설명한 일 실시 형태와 동일하므로 중복을 피하기 위하여 이에 대한 구체적인 설명을 생략하며, 앞서 설명한 실시 형태와 상이한 구조를 갖는 제1 및 제2 내부 전극(121', 122')을 토대로 구체적으로 설명하기로 한다.

[0068] 도 3 및 도 4를 참조하면, 본 발명의 다른 실시 형태에 따른 적층 세라믹 커패시터는 복수의 유전체층(111)이 폭 방향으로 적층된 세라믹 본체(110)를 포함한다.

[0069] 따라서, 제1 및 제2 내부 전극(121', 122')은 유전체층(111)을 형성하는 세라믹 시트를 사이에 두고 서로 대향되게 폭 방향으로 배치되며, 세라믹 본체(110) 내에서 세라믹 본체(110)의 제1 및 제2 단면을 통해 각각 노출되도록 형성될 수 있다. 이때, 제1 및 제2 내부 전극(121', 122')은 중간에 배치된 유전체층(111)에 의해 서로 전기적으로 절연될 수 있다.

[0070] **적층 세라믹 커패시터의 실장 기판**

[0071] 도 5는 본 발명의 일 실시 형태에 따른 적층 세라믹 커패시터가 인쇄회로기판에 실장된 모습을 적층 세라믹 커패시터의 일부를 절개하여 개략적으로 나타낸 사시도이다.

[0072] 도 5를 참조하면, 본 실시 형태에 따른 적층 세라믹 커패시터(100)의 실장 기판(200)은 적층 세라믹 커패시터(100)가 수평하도록 또는 수직하도록 실장된 인쇄회로기판(210)과, 인쇄회로기판(210)의 상면에 서로 이격되게 형성된 제1 및 제2 전극 패드(221, 222)를 포함한다.

[0073] 이때, 적층 세라믹 커패시터(100)는 홈부(115)가 형성된 세라믹 본체(110)의 두께 방향의 제2 주면이 실장 면으로서 하측에 배치되며, 제1 및 제2 외부 전극(131, 132)의 제2 주면이 각각 제1 및 제2 전극 패드(221, 222) 위에 접촉되게 위치한 상태에서 솔더(230)에 의해 인쇄회로기판(210)과 전기적으로 연결될 수 있다.

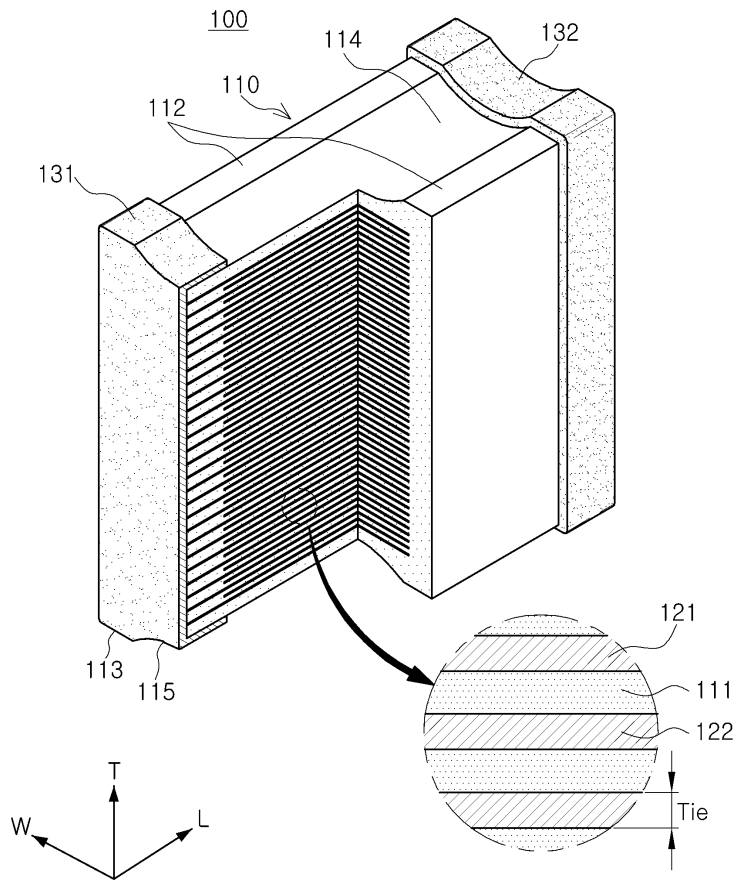
[0074] 이상에서 본 발명의 실시 형태들에 대하여 상세하게 설명하였지만 본 발명의 권리 범위는 이에 한정되는 것은 아니고, 청구 범위에 기재된 본 발명의 기술적 사항을 벗어나지 않는 범위 내에서 다양한 수정 및 변형이 가능하다는 것은 당 기술 분야의 통상의 지식을 가진 자에게는 자명할 것이다.

부호의 설명

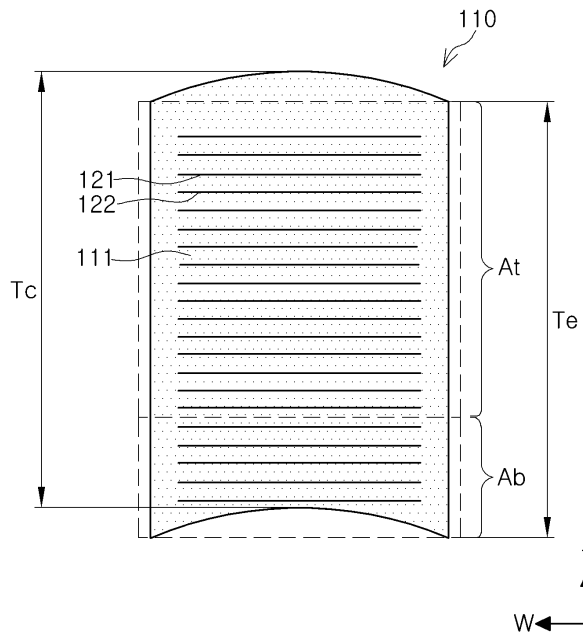
- [0075] 100, 100' ; 적층 세라믹 커패시터
 110 ; 세라믹 본체
 111 ; 유전체층
 112, 113 ; 지지부
 114, 115 ; 홈부
 121, 122, 121', 122' ; 제1 및 제2 내부 전극
 131, 132 ; 제1 및 제2 외부 전극

도면

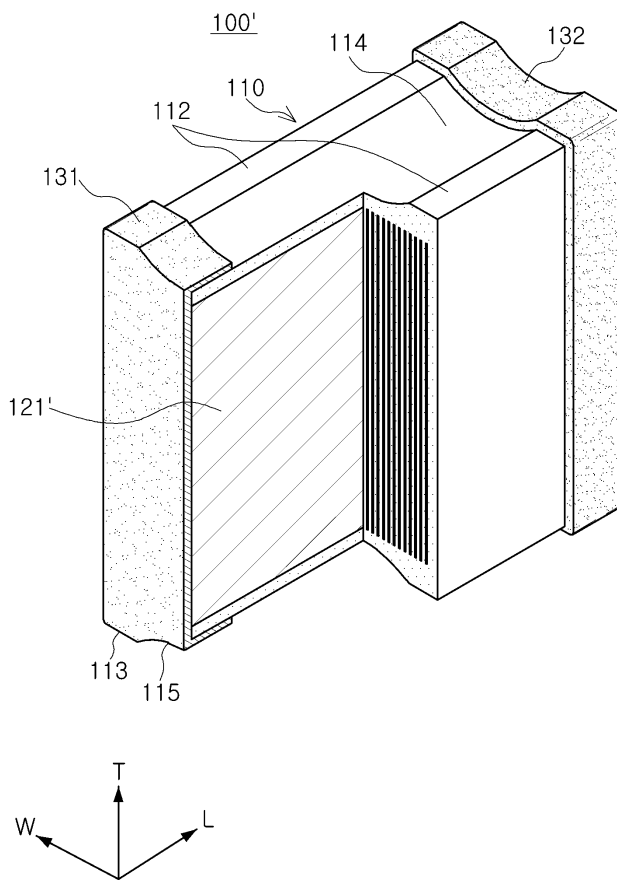
도면1



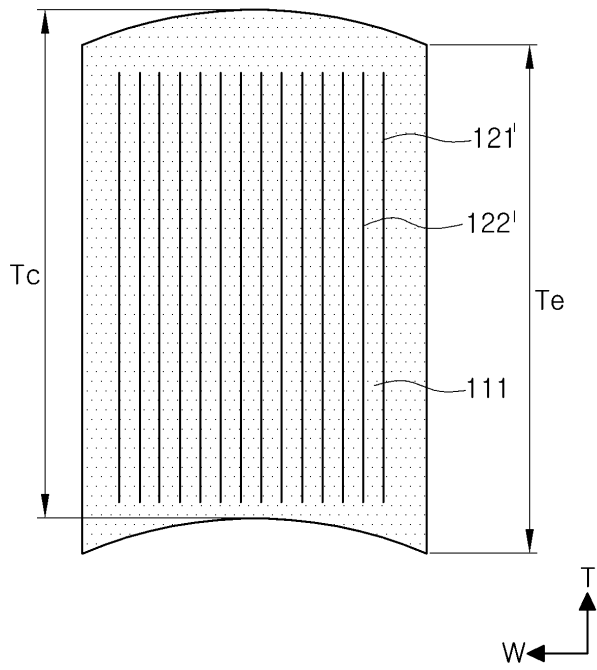
도면2



도면3



도면4



도면5

