



(12) 发明专利

(10) 授权公告号 CN 1661576 B

(45) 授权公告日 2010.04.28

(21) 申请号 200410003417. X

US 2003105906 A1, 2003.06.05, 全文.

(22) 申请日 2004.02.25

CN 1387646 A, 2002.12.25, 权利要求 4.

(73) 专利权人 中国科学院计算技术研究所

审查员 邹斌

地址 100080 北京市海淀区中关村科学院南路 6 号

(72) 发明人 张志敏 吴登峰

(74) 专利代理机构 北京泛华伟业知识产权代理有限公司 11280

代理人 王凤华

(51) Int. Cl.

G06F 13/00 (2006.01)

G06F 1/04 (2006.01)

(56) 对比文件

CN 1227933 A, 1999.09.08, 全文.

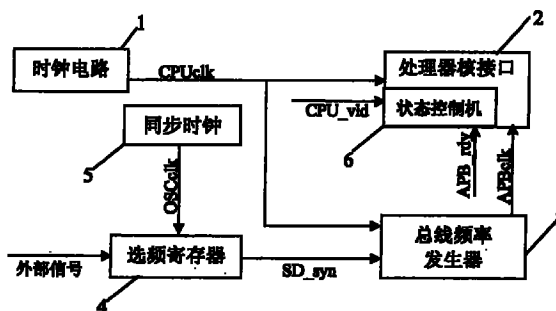
权利要求书 1 页 说明书 3 页 附图 2 页

(54) 发明名称

SOC 架构下的高速总线动态变频装置和处理器核接口

(57) 摘要

本发明公开了一种 SOC 架构下的高速总线动态变频装置和处理器核接口。该变频装置包括提供时钟电路、总线频率发生器、选频寄存器和同步时钟。选频寄存器内存储有分频关系值，同步时钟将分频关系值同步后发送给总线频率发生器分频信号，时钟电路向总线频率发生器提供总线基准频率，总线频率发生器接收分频信号将总线基准频率分频后提供总线频率。本发明的处理器核接口包括一个状态处理机，状态处理机接收总线和处理器核的工作状态信号以控制处理器核进行总线操作。本发明的总线动态变频装置可以实现总线频率的动态变频，供总线在不同的负载下使用，合理利用功耗并节省电能，包含状态处理机的处理器核接口可以让处理器核适应总线变快或变慢的节奏。



1. 一种 SOC 架构下的高速总线动态变频装置,包括提供处理器核主频的时钟电路,其特征在于,还包括:

一个用于提供总线频率的总线频率发生器;

一个与所述总线频率发生器连接的选频寄存器,所述选频寄存器内存储有总线频率与处理器核主频的分频关系值;

一个与所述选频寄存器连接的同步时钟,所述同步时钟将所述选频寄存器内的分频关系值同步后发送给所述总线频率发生器一个分频信号;

所述时钟电路向所述总线频率发生器提供总线基准频率,所述总线频率发生器接收所述分频信号并根据该分频信号将总线基准频率分频后提供总线频率。

2. 一种应用在权利要求 1 所述的 SOC 架构下的高速总线动态变频装置的处理器核接口,该接口工作于处理器核主频和可动态变频的总线频率两个时钟域,其特征在于,该处理器核接口包括一个状态处理机,该状态控制机接收 APB_rdy 和 CPU_vld 这两个状态信号,并根据这两个状态信号组合出四种状态,并对这四种状态进行切换。

SOC 架构下的高速总线动态变频装置和处理器核接口

技术领域

[0001] 本发明涉及 CPU/SOC 领域,更具体地说,本发明涉及在 SOC 架构下的高速总线动态变频技术。

背景技术

[0002] 在一般的主板设计中,总线主频又称外频,由主板频率发生器产生,由跳线来控制,一旦改频,需要重新启动系统,缺乏灵活性。

[0003] 然而在 SOC 设计领域,总线主频往往与处理器核的主频相关联,常规的做法是二分频。但随着处理器核的主频愈来愈高,对 SOC 架构的总线频率要求更具灵活性,以便适应片外的主频要求,如片外访存是 100 或 133MHz 等, SOC 总线频率应相应跟随。

[0004] 此外,在 SOC 设计中,随着片内 Cache 容量增大(指令 Cache、数据 Cache 各 32KB),在相当时间段内,处理器对总线访存需求不明显,总线可能比较空闲,出于节省功耗考虑,可降低总线主频。

[0005] 随着 SOC 集成的功能愈来愈多,功耗与总线频率关联度愈来愈高,因为很多 IP 核工作于总线频率。为此如何合理利用总线频率,对节省功耗很有益处。

[0006] 因此,就需要有一种变频装置,能够在动态情况下实现对总线主频的改变,使得总线能在多种主频下运行。这样,允许在总线负载重的情况下选择高频运行,在总线负载轻的情况下选择低频运行。当总线频率能够变频时,还需要对处理器核接口进行改进,以便让处理器核适应总线变快或变慢的节奏。

发明内容

[0007] 本发明的目的是提供一种对 SOC 中的总线主频进行动态变频的变频装置。本发明的另一目的是提供一种与本发明的变频装置一起使用的处理器核接口。

[0008] 为了实现上述目的,本发明提供一种 SOC 架构下的高速总线动态变频装置,包括提供处理器核主频的时钟电路,还包括:

[0009] 一个用于提供总线频率的总线频率发生器;

[0010] 一个与所述总线频率发生器连接的选频寄存器,所述选频寄存器内存储有总线频率与处理器核主频的分频关系值;

[0011] 一个与所述选频寄存器连接的同步时钟,所述同步时钟将所述选频寄存器内的分频关系值同步后发送给所述总线频率发生器一个分频信号;

[0012] 所述时钟电路向所述总线频率发生器提供总线基准频率,所述总线频率发生器接收所述分频信号并根据该分频信号将总线基准频率分频后提供总线频率。

[0013] 本发明还提供一种处理器核接口,该接口工作于处理器核主频和可动态变频的总线频率两个时钟域,其特征在于,该处理器核接口包括一个状态处理机,该状态控制机接收 APB_rdy 和 CPU_vld 这两个状态信号,并根据这两个状态信号组合出四种状态,并对这四种状态进行切换。

[0014] 采用本发明的总线动态变频装置可以实现总线频率的动态变频,在变频时只要将分频关系值写入总线选频锁存器中即可,对系统开发人员来说,完全透明。本发明的变频装置可以提供多种总线频率并且实现动态切换,以供总线在不同的负载下使用,达到系统合理利用功耗、节省电能的目的。本发明的包含状态处理机的处理器核接口根据总线和处理器核的工作状态控制处理器核进行总线操作,可以让处理器核适应总线变快或变慢的节奏。

附图说明

[0015] 图 1 是本发明的总线动态变频装置图;

[0016] 图 2 是采用本发明变频装置将总线频率由高频切换到低频的示意图;

[0017] 图 3 是采用本发明变频装置将总线频率由低频切换到高频的示意图;

[0018] 图 4 是处理器核接口的状态控制机配合工作原理图。

具体实施方式

[0019] 下面结合附图和具体实施方式对本发明作进一步详细描述。

[0020] 如图 1 所示的高速总线动态变频装置,时钟电路 1 是常规的,一般由锁相环组成,该时钟电路 1 通过处理器核接口 2 为处理器核(图中未示出)提供主频 CPUclk。

[0021] 在本发明中,处理器核主频 CPUclk 同时也作为总线基准频率输送给总线频率发生器 3,总线频率发生器 3 将处理器核主频 CPUclk 分频后提供总线频率 APBclk。如图 1 所示,选频寄存器 4 中存放总线频率 APBclk 与处理器核主频 CPUclk 的分频关系值 SD。因跨时钟域需要同步,分频关系值 SD 经同步时钟 5 的时钟信号 OSC_clk 同步后产生分频信号 SD_syn,并送到总线频率发生器 3,总线频率发生器 3 根据分频信号 SD_syn 将处理器核主频 CPUclk 分频产生总线频率 APBclk。在一个实施例中,总线频率 APBclk 为处理器核主频 CPUclk 的 $1/(2 \times SD)$,若 $SD = 3$,则 APBclk 是 CPUclk 的 $1/6$ 。

[0022] 在系统运行时,通过外部信号动态地改变并更新选频寄存器 4 中的分频关系值 SD,就可以实现总线频率 APBclk 的动态变频。在实际应用时,选频寄存器 4 中的值 SD 可以在 BIOS 中设置,也可以在任务(或进程)调度时设置;优选一种方式是由系统自动侦测总线负载,根据负载情况发送程序指令,更新选频寄存器 4 中的分频关系值 SD,从而在总线繁忙时提升总线频率或者在总线空闲时降低总线频率,合理利用性能和功耗,达到节省电能的目的。

[0023] 图 2 和图 3 是本发明的动态变频装置进行变频的两个实施例,其中图 2 是总线由高频切换到低频的波形图,图 3 是总线由低频切换到高频的波形图。

[0024] 如图 2 所示,SD 是由外部信号写入的寄存器值,在变频前后,SD 从 1 改变为 2,经时钟 OSC_clk 同步后产生 SD_syn,总线频率产生器根据处理器核主频 CPUclk 和选频寄存器值 SD_syn,产生总线频率 APBclk。如前所述,当总线频率 APBclk 为处理器核主频 CPUclk 的 $1/(2 \times SD)$ 时,则变频前 APBclk 为 CPUclk 的二分频,变频后 APBclk 为 CPUclk 的四分频。

[0025] 图 3 和图 2 的原理是相同的,在图 3 中,分频关系值 SD 在变频时从 2 更新为 1,则变频前 APBclk 为 CPUclk 的四分频,变频后 APBclk 为 CPUclk 的二分频。

[0026] 与现有技术相同,处理器核工作在处理器核主频 CPUclk 和总线频率 APBclk 二个

时钟域中,需要异步握手来实现处理器核接口协议。在现有技术中,由于总线频率 APBclk 和处理器核主频 CPUclk 的关系是确定的,通常 APBclk 为 CPUclk 的二分频,需要将 CPUclk 域的信号延长 1 个时钟宽度,一般通过延迟再相“或”就能实现,但在本发明中,由于总线频率 APBclk 是可动态变频的,为了让处理器核适应总线变快或变慢的节奏,因此需要一个状态机来确定跨时钟信号被有效获取。

[0027] 在本发明中,处理器核在处理器核主频 CPUclk 和总线频率 APBclk 两个时钟域的异步握手是通过为处理器核接口 2 提供一个状态控制机 6 来实现的。如图 1 所示,APB_rdy 是 APB 总线的工作状态信号,CPU_vld 是处理器核的工作状态信号,其中 APB_rdy 信号受 APBclk 同步,CPU_vld 信号受 CPUclk 同步。状态控制机 6 接收 APB_rdy 和 CPU_vld 这两个状态信号,并根据这两个状态信号组合出四种状态,并对这四种状态进行切换。

[0028] 在下面的描述中,用“APB_rdy”表示 APB 总线在忙,“ $\sim$ APB_rdy”表示 APB 总线在闲,“CPU_vld”表示处理器核在忙且不接受总线操作,“ $\sim$ CPU_vld”表示处理器核在闲且需要总线操作。用“00”、“01”、“10”和“11”表示四个状态。其中:

[0029] 状态“00”:满足 $\sim$ APB_rdy/ $\sim$ CPU_vld 或复位,进入状态“00”,此时,处理器核接受总线操作;

[0030] 状态“01”:满足 APB_rdy/ $\sim$ CPU_vld,进入状态“01”,此时,APB 总线忙,处理器核需要总线操作;

[0031] 状态“10”:满足 APB_rdy/CPU_vld,进入状态“10”,此时,APB 总线忙,处理器核在忙且不接受总线操作;

[0032] 状态“11”:满足 $\sim$ APB_rdy/CPU_vld,进入状态“11”,APB 总线空闲,处理器核不接受总线操作。

[0033] 状态控制机 6 根据 APB_rdy 和 CPU_vld 这两个状态信号进行状态转换如图 4 所示。系统复位 Reset,此时 $\sim$ APB_rdy/ $\sim$ CPU_vld,进入状态“00”,接受总线操作;当满足 APB_rdy/ $\sim$ CPU_vld,进入状态“01”,APB 总线忙,否则还是状态“00”;当满足 APB_rdy/CPU_vld,进入状态“10”,APB 总线忙且处理器核忙,否则还是状态“01”;当满足 $\sim$ APB_rdy/CPU_vld,进入状态“11”,处理器核忙,不接受总线操作,否则还是状态“10”;当 $\sim$ APB_rdy/ $\sim$ CPU_vld,进入状态“00”,接受总线操作,否则还是状态“11”。

[0034] 经过上述步骤处理,处理器核能和总线动态变频能很好配合工作,确保整个 SOC 工作稳定可靠。

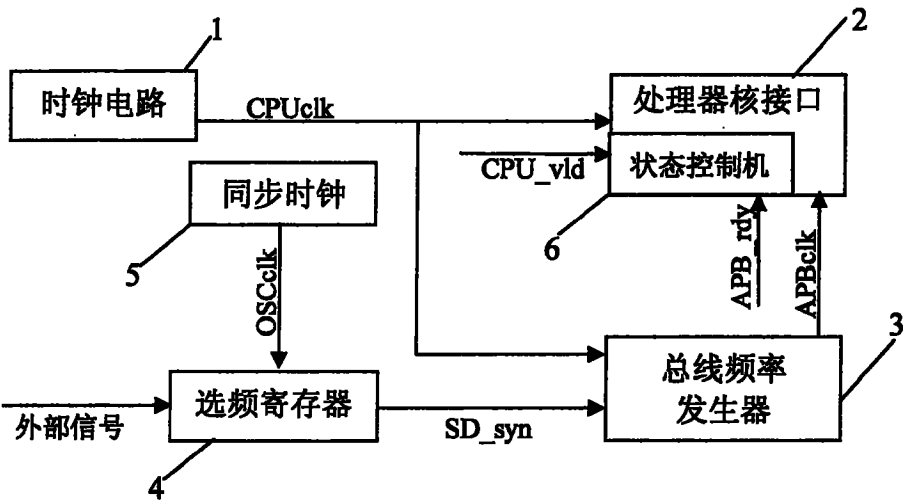


图 1

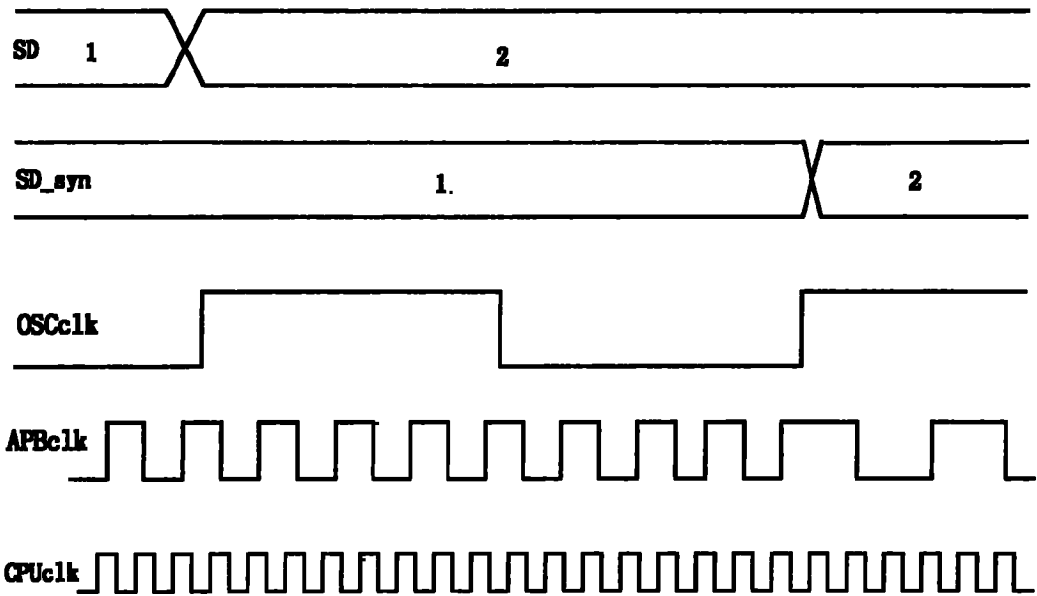


图 2

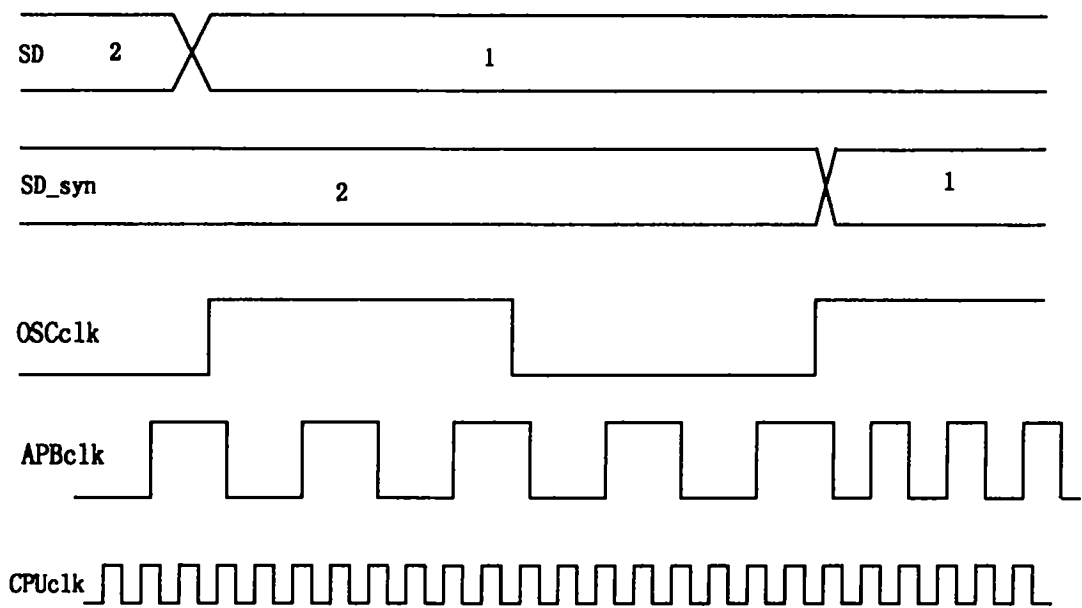


图 3

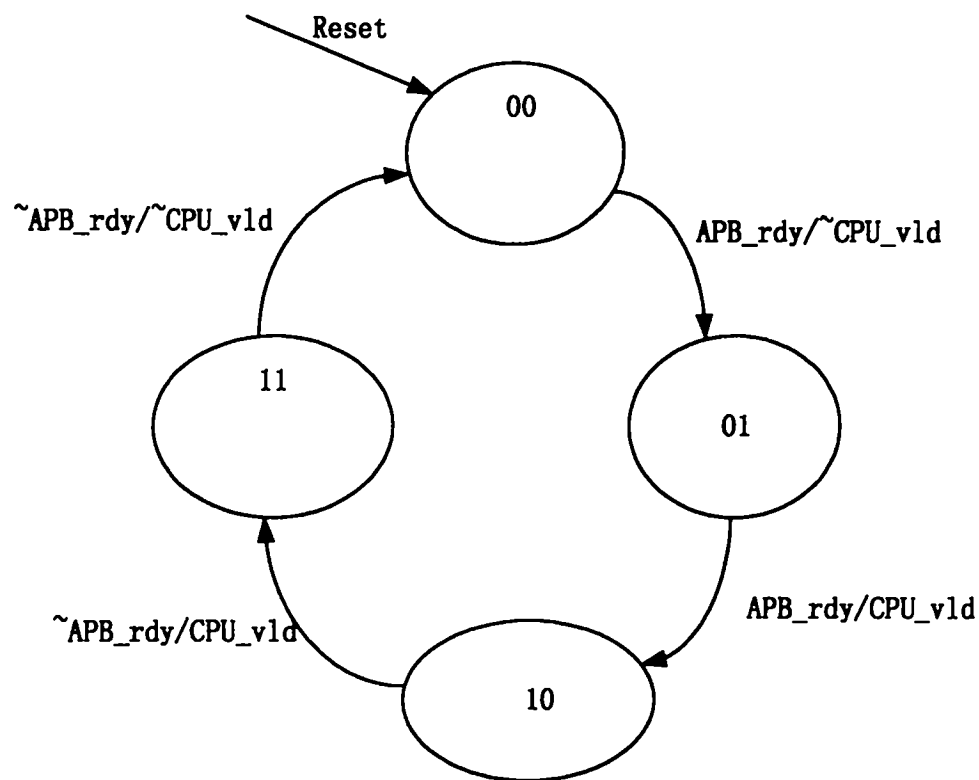


图 4