



(12) 发明专利

(10) 授权公告号 CN 1734773 B

(45) 授权公告日 2011.02.09

(21) 申请号 200510092281.9

(22) 申请日 2005.06.17

(30) 优先权数据

45044/04 2004.06.17 KR

(73) 专利权人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 朴允童 李兆远 金楨雨 李殷洪

徐顺爱 金元柱 蔡熙顺 蔡洙杜

宋利宪

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 陶凤波 侯宇

(51) Int. Cl.

H01L 27/112(2006.01)

H01L 27/115(2006.01)

H01L 21/8246(2006.01)

H01L 21/8247(2006.01)

(56) 对比文件

US 2001/0055838 A1, 2001.12.27, 说明书第

[0094] 段至 [0107] 段、附图 11.

US 5306935 A, 1994.04.26, 说明书第 2 栏 50 行至第 5 栏第 14 行、附图 1e, 2b.

US 2003/0030074 A1, 2003.02.13, 说明书第 [0046] 段至 [0057] 段、附图 5B.

审查员 王丹

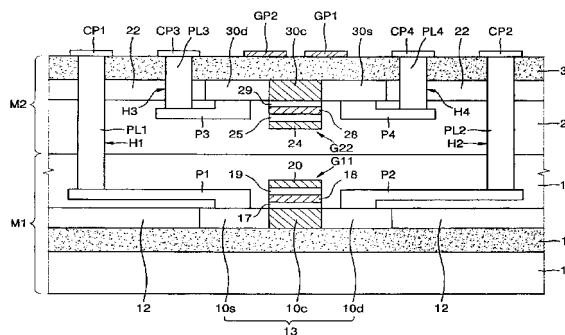
权利要求书 16 页 说明书 44 页 附图 35 页

(54) 发明名称

互补非易失性存储器件及其操作和制造方法

(57) 摘要

提供了一种互补非易失性存储器件及其操作和制造方法,包括该器件的逻辑器件和半导体器件,以及用于该器件的读电路。所述互补非易失性存储器件包括第一非易失性存储器和第二非易失性存储器,它们被顺序的堆叠并具有互补关系,其中所述第二非易失性存储器被翻转,使得所述第一非易失性存储器和第二非易失性存储器的底部彼此相对,且所述第一非易失性存储器和第二非易失性存储器的顶部在所述底部之间彼此面对。



1. 一种非易失性存储器件,其包括第一非易失性存储器和第二非易失性存储器,所述第一非易失性存储器和第二非易失性存储器被顺序地堆叠,所述第一和第二非易失性存储器中的一个为N型存储器,所述第一和第二非易失性存储器中的另一个为P型存储器,

其中所述第二非易失性存储器被翻转,使得所述第一非易失性存储器和第二非易失性存储器的底部彼此相对,且所述第一非易失性存储器和第二非易失性存储器的顶部在所述底部之间彼此面对,其中所述第一非易失性存储器具有第一控制栅,所述第二非易失性存储器具有第二控制栅,其中所述第一控制栅和所述第二控制栅彼此分离。

2. 根据权利要求1的器件,还包括设置在所述第一和第二非易失性存储器之间的结合部件。

3. 根据权利要求1的器件,其中所述第一非易失性存储器包括:

第一衬底,第一隔离层形成在所述第一衬底上,所述第一衬底具有设置在所述第一隔离层之间的p型第一杂质区和p型第二杂质区以及设置在所述p型第一和第二杂质区之间的第一沟道区;以及

设置在所述第一沟道区上的第一栅堆叠结构,

其中所述第一栅堆叠结构包括顺序堆叠的第一绝缘层,第一数据存储层,第二绝缘层以及所述第一控制栅。

4. 根据权利要求1的器件,其中所述第二非易失性存储器包括:

衬底,隔离层形成在所述衬底上,所述衬底具有设置在所述隔离层之间的n型第一杂质区和n型第二杂质区,以及设置在所述n型第一和第二杂质区之间的沟道区;以及

设置在所述沟道区上的栅堆叠结构,

其中所述栅堆叠结构包括顺序堆叠的第一绝缘层,数据存储层,第二绝缘层以及所述第二控制栅。

5. 根据权利要求4的器件,还包括分别设置在所述n型第一和第二杂质区上并分别延伸到所述n型第一和第二杂质区外部的第一接触垫层和第二接触垫层。

6. 根据权利要求3的器件,其中所述第二非易失性存储器包括:

第二衬底,第二隔离层形成在所述第二衬底上,所述第二衬底具有设置在所述第二隔离层之间的n型第一杂质区和n型第二杂质区,以及设置在所述n型第一和第二杂质区之间的第二沟道区;以及

设置在所述n型第一和第二杂质区之间的第二沟道区上的第二栅堆叠结构,

其中所述第二栅堆叠结构包括顺序堆叠的第三绝缘层,第二数据存储层,第四绝缘层以及所述第二控制栅。

7. 根据权利要求6的器件,其中所述p型第二杂质区和所述n型第二杂质区彼此相连。

8. 根据权利要求3的器件,还包括分别设置在所述p型第一和第二杂质区上并延伸到所述p型第一和第二杂质区外部的第一接触垫层和第二接触垫层。

9. 根据权利要求6的器件,还包括:

分别设置在所述p型第一和第二杂质区上并延伸到所述p型第一和第二杂质区外部的第一接触垫层和第二接触垫层;以及

覆盖所述第一和第二接触垫层以及所述第一栅堆叠结构的第一层间电介质。

10. 根据权利要求9的器件,还包括:

分别设置在所述 n 型第一和第二杂质区上并延伸到所述 n 型第一和第二杂质区外部的第三接触垫层和第四接触垫层 ; 以及

覆盖所述第三和第四接触垫层以及所述第二栅堆叠结构并且结合到所述第一层间电介质的第二层间电介质。

11. 根据权利要求 10 的器件, 其中所述第三和第四接触垫层的延伸长度比所述第一和第二接触垫层的延伸长度短。

12. 根据权利要求 3 的器件, 其中所述第一衬底为 SOI 衬底或硅衬底。

13. 根据权利要求 3 的器件, 其中所述第一数据存储层为氮化硅层、纳米点层和高 k 层中的一种。

14. 根据权利要求 4 的器件, 其中所述数据存储层为氮化硅层、纳米点层和高 k 层中的一种。

15. 根据权利要求 10 的器件, 还包括 :

设置在包括所述第二衬底、所述第二隔离层、所述第二层间电介质和所述第一层间电介质的堆叠结构中并分别与所述第一和第二接触垫层相连的第一导电插塞和第二导电插塞 ;

设置在包括所述第二衬底、所述第二隔离层的堆叠结构中并分别与所述第三和第四接触垫层相连的第三导电插塞和第四导电插塞 ;

设置在包括所述第二衬底、所述第二隔离层、所述第二层间电介质和所述第一层间电介质的堆叠结构中并与所述第一栅堆叠结构相连的第一栅导电插塞 ;

设置在包括所述第二衬底、所述第二隔离层和所述第二层间电介质的堆叠结构中并与所述第二栅堆叠结构相连的第二栅导电插塞 ;

设置来分别覆盖所述第一至第四导电插塞的上表面的第一至第四接触垫 ; 以及

设置来分别覆盖所述第一和第二栅导电插塞的整个表面的第一栅接触垫和第二栅接触垫。

16. 根据权利要求 9 的器件, 其中所述第一层间电介质设置为使得所述第一栅堆叠结构的顶表面被暴露出来。

17. 根据权利要求 10 的器件, 其中所述第二层间电介质设置为使得所述第二栅堆叠结构的顶表面被暴露出来。

18. 根据权利要求 17 的器件, 其中所述第一层间电介质设置为使得所述第一栅堆叠结构的顶表面被暴露出来。

19. 根据权利要求 9 的器件, 其中所述第一和第二接触垫层延伸到所述第一隔离层上或其上方。

20. 根据权利要求 10 的器件, 其中所述第三和第四接触垫层延伸到所述第二隔离层上或其上方。

21. 根据权利要求 9 的器件, 还包括覆盖所述第二栅堆叠结构并结合到所述第一层间电介质的第二层间电介质。

22. 根据权利要求 21 的器件, 还包括 :

设置在包括所述第二衬底、所述第二隔离层、所述第二层间电介质以及所述第一层间电介质的堆叠结构中并分别与所述第一和第二接触垫层相连的第一导电插塞和第二导电

插塞；

设置在所述第二衬底中并分别与所述 n 型第一和第二杂质区相连的第三导电插塞和第四导电插塞；

设置在包括所述第二衬底、所述第二隔离层、所述第二层间电介质以及所述第一层间电介质的堆叠结构中并与所述第一栅堆叠结构相连的第一栅导电插塞；

设置在包括所述第二衬底、所述第二隔离层和所述第二层间电介质的堆叠结构中并与所述第二栅堆叠结构相连的第二栅导电插塞；

设置来分别覆盖所述第一至第四导电插塞的上表面的第一至第四接触垫；以及

设置来分别覆盖所述第一和第二栅导电插塞的整个表面的第一栅接触垫和第二栅接触垫。

23. 根据权利要求 4 的器件，其中所述衬底为 SOI 衬底或硅衬底。

24. 一种非易失性存储器件的操作方法，所述非易失性存储器件包括：第一非易失性存储器，该第一非易失性存储器包括具有 p 型第一杂质区、p 型第二杂质区和第一沟道区的第一衬底以及设置在所述第一沟道区上的第一栅堆叠结构；以及，第二非易失性存储器，该第二非易失性存储器包括具有 n 型第一杂质区、n 型第二杂质区和第二沟道区的第二衬底以及设置在所述第二沟道区上的第二栅堆叠结构，所述第一和第二非易失性存储器分别为 P 型存储器和 N 型存储器，且被顺序的堆叠，使得所述第一衬底和第二衬底彼此相对且所述第一栅堆叠结构和第二栅堆叠结构彼此面对且彼此分离，所述方法包括：

读取写入在所述第一和第二非易失性存储器中的数据；以及

将已读取的数据和将要被写入的数据进行比较，其中该已读取的数据为第一数据，该将要被写入的数据为第二数据。

25. 根据权利要求 24 的方法，其中当比较结果为所述第一数据与所述第二数据相同时，所述写入在所述第一和第二非易失性存储器中的数据保持被存储。

26. 根据权利要求 24 的方法，当比较结果为所述第一数据与所述第二数据完全不同时，

进一步包括：

在所述 p 型第一和第二杂质区之间施加电压，从而在其间产生电势差；

将第一写电压施加到所述第一栅堆叠结构；

在所述 n 型第一和第二杂质区之间施加电压，从而在其间产生电势差；以及

将第二写电压施加到所述第二栅堆叠结构。

27. 根据权利要求 24 的方法，其中当比较结果为所述第一数据与所述第二数据部分地不同时，写入在所述第一和第二非易失性存储器之一中的数据保持被存储，并且写入在所述第一和第二非易失性存储器中的另一个中的数据被改变。

28. 根据权利要求 27 的方法，其中通过将 0V 施加到所述 n 型第一和第二杂质区以及所述第二栅堆叠结构而使写入在所述第二非易失性存储器中的数据保持被存储。

29. 根据权利要求 27 的方法，其中通过在所述 n 型第一和第二杂质区之间施加电压从而在其间产生电势差并将写电压施加到所述第二栅堆叠结构，数据被写入在所述第二非易失性存储器中。

30. 一种非易失性存储器件的擦除方法，所述非易失性存储器件包括：第一非易失性

存储器,该第一非易失性存储器包括具有 p 型第一杂质区、p 型第二杂质区和第一沟道区的第一衬底以及设置在所述第一沟道区上的第一栅堆叠结构;以及,第二非易失性存储器,该第二非易失性存储器包括具有 n 型第一杂质区、n 型第二杂质区和第二沟道区的第二衬底以及设置在所述第二沟道区上的第二栅堆叠结构,所述第一和第二非易失性存储器分别为 P 型存储器和 N 型存储器,且被顺序的堆叠,使得所述第一衬底和第二衬底彼此相对且所述第一栅堆叠结构和第二栅堆叠结构彼此面对且彼此分离,所述方法包括:

在所述 n 型第一和第二杂质区之间施加电压从而在其间产生电势差;以及

通过将擦除电压施加到所述第二栅堆叠结构来擦除写入在所述第二非易失性存储器中的数据。

31. 根据权利要求 30 的方法,还包括:

在所述 p 型第一和第二杂质区之间施加电压从而在其间产生电势差;以及

通过将擦除电压施加到所述第一栅堆叠结构来擦除写入在所述第一非易失性存储器中的数据。

32. 根据权利要求 30 的方法,在擦除所述数据之前,读取并确认写入在所述第一和第二非易失性存储器中的数据。

33. 根据权利要求 31 的方法,在擦除所述写入在所述第一非易失性存储器中的数据之前,读取并确认写入在所述第一和第二非易失性存储器中的数据。

34. 一种非易失性存储器件的擦除方法,所述非易失性存储器件包括:第一非易失性存储器,该第一非易失性存储器包括具有 p 型第一杂质区、p 型第二杂质区和第一沟道区的第一衬底以及设置在所述第一沟道区上的第一栅堆叠结构;以及,第二非易失性存储器,该第二非易失性存储器包括具有 n 型第一杂质区、n 型第二杂质区和第二沟道区的第二衬底以及设置在所述第二沟道区上的第二栅堆叠结构,所述第一和第二非易失性存储器分别为 P 型存储器和 N 型存储器,且被顺序的堆叠,使得所述第一衬底和第二衬底彼此相对且所述第一栅堆叠结构和第二栅堆叠结构彼此面对且彼此分离,所述方法包括:

在所述 p 型第一和第二杂质区之间施加电压从而在其间产生电势差;以及

通过将擦除电压施加到所述第一栅堆叠结构来擦除写入在所述第一非易失性存储器中的数据。

35. 根据权利要求 34 的方法,在擦除所述数据之前,读取并确认写入在所述第一和第二非易失性存储器中的数据。

36. 一种非易失性存储器件的读取方法,所述非易失性存储器件包括:第一非易失性存储器,该第一非易失性存储器包括具有 p 型第一杂质区、p 型第二杂质区和第一沟道区的第一衬底以及设置在所述第一沟道区上的第一栅堆叠结构;以及,第二非易失性存储器,该第二非易失性存储器包括具有 n 型第一杂质区、n 型第二杂质区和第二沟道区的第二衬底以及设置在所述第二沟道区上的第二栅堆叠结构,所述第一和第二非易失性存储器分别为 P 型存储器和 N 型存储器,且被顺序的堆叠,使得所述第一衬底和第二衬底彼此相对且所述第一栅堆叠结构和第二栅堆叠结构彼此面对且彼此分离,所述 n 型第二杂质区和所述 p 型第二杂质区彼此相连,所述方法包括:

将电压施加到所述第一和第二栅堆叠结构并缓慢降低该电压,直至从所述非易失性存储器件检测到输出电压;

当从所述非易失性存储器件检测到第一输出电压时,通过感知施加到所述第一和第二栅堆叠结构的电压来读取写入在所述第一非易失性存储器中的第一数据;

在从所述非易失性存储器件检测到所述第一输出电压的同时切断施加到所述第一和第二栅堆叠结构的电压;

基于表示所述第一和第二非易失性存储器的输入电压-输出电压特性的互补特性曲线,一旦所述电压被切断之后而将能够读取写入在所述第二非易失性存储器中的数据的数据的电压施加到所述第一和第二栅堆叠结构时,测量所述非易失性存储器件的第二输出电压;

通过将检测到所述第一输出电压时施加到所述第一和第二栅堆叠结构的电压与所述第二输出电压进行比较,来读取写入在所述第二非易失性存储器中的第二数据;以及组合并输出所述第一和第二数据。

37. 根据权利要求 36 的方法,其中读取写入在所述第一非易失性存储器中的所述第一数据包括:

在电压被施加到所述第一和第二栅堆叠结构时,将从所述非易失性存储器件输出的电压与第一参考电压进行比较;

在所述从非易失性存储器件输出的电压变成所述第一输出电压的时刻,将施加到所述第一和第二栅堆叠结构的电压与第二参考电压进行比较;以及

在所述从非易失性存储器件输出的电压变成所述第一输出电压的时刻所述施加到所述第一和第二栅堆叠结构的电压高于所述第二参考电压时,输出对应于写入在所述第一非易失性存储器中的数据的数据的位数据。

38. 根据权利要求 36 的方法,其中使用与所述第一和第二非易失性存储器的输出端相连的电压比较电路来测量所述第二输出电压。

39. 根据权利要求 36 的方法,其中测量所述非易失性存储器件的所述第二输出电压包括一旦切断电压之后就将 0V 电压施加到所述第一和第二栅堆叠结构。

40. 根据权利要求 39 的方法,其中从晶体管来施加所述 0V 电压,所述晶体管在所述电压被切断的同时导通并具有一个接地的端子和连接至所述非易失性存储器件的第一和第二栅堆叠结构的另一端子。

41. 根据权利要求 36 的方法,还包括在读取写入在所述第一非易失性存储器中的该第一数据和写入在所述第二非易失性存储器中的该第二数据之后,部分或全部地改变所读取的数据。

42. 根据权利要求 36 的方法,其中在所述第一和第二非易失性存储器中的每一个中写入至少 1 位数据。

43. 一种非易失性存储器件的读取方法,所述非易失性存储器件包括:第一非易失性存储器,该第一非易失性存储器包括具有 p 型第一杂质区、p 型第二杂质区和第一沟道区的第一衬底以及设置在所述第一沟道区上的第一栅堆叠结构;以及,第二非易失性存储器,该第二非易失性存储器包括具有 n 型第一杂质区、n 型第二杂质区和第二沟道区的第二衬底以及设置在所述第二沟道区上的第二栅堆叠结构,所述第一和第二非易失性存储器分别为 P 型存储器和 N 型存储器,且被顺序的堆叠,使得所述第一衬底和第二衬底彼此相对且所述第一栅堆叠结构和第二栅堆叠结构彼此面对且彼此分离,所述 n 型第二杂质区和所述 p 型第二杂质区彼此相连,所述方法包括:

读取写入在所述第一非易失性存储器中的第一数据；  
读取写入在所述第二非易失性存储器中的第二数据；以及  
组合所述第一和第二数据并输出至少 2 位数据。

44. 根据权利要求 43 的方法，其中读取写入在所述第一非易失性存储器中的第一数据包括：

将电压施加到所述第一和第二栅堆叠结构并降低该电压，直至从所述非易失性存储器件检测到输出电压；

检测来自所述非易失性存储器件的第一输出电压；

在检测到所述第一输出电压之后，切断施加到所述第一和第二栅堆叠结构的电压；

在检测到所述第一输出电压的时刻，将施加到所述第一和第二栅堆叠结构的电压与参考电压进行比较；以及

通过对比较结果进行编码来输出位数据。

45. 根据权利要求 43 的方法，其中读取写入在所述第二非易失性存储器中的第二数据包括：

将电压施加到所述第一和第二栅堆叠结构并缓慢降低该电压，直至从所述非易失性存储器件检测到输出电压；

检测来自所述非易失性存储器件的第一输出电压；

在检测到所述第一输出电压之后，切断被施加到所述第一和第二栅堆叠结构的电压；

根据表示所述第一和第二非易失性存储器的输入电压 - 输出电压特性的互补特性曲线，将能够读取写入在所述第二非易失性存储器中的数据的数据的电压施加到所述第一和第二栅堆叠结构；

当所述能够读取写入在所述第二非易失性存储器中的数据的数据的电压被施加到所述第一和第二栅堆叠结构时，测量所述非易失性存储器件的第二输出电压；

将所述第二输出电压与参考电压进行比较；以及

通过对比较结果进行编码来输出位数据。

46. 根据权利要求 45 的方法，还包括一旦切断施加到所述第一和第二栅堆叠结构的电压之后，就将 0V 电压施加到所述第一和第二栅堆叠结构。

47. 根据权利要求 46 的方法，其中使用晶体管来施加所述 0V 电压，所述晶体管在施加到所述第一和第二栅堆叠结构的电压被切断的同时导通并具有一个接地的端子和连接至所述非易失性存储器件的第一和第二栅堆叠结构的另一端。

48. 根据权利要求 43 的方法，还包括在读取写入在所述第一非易失性存储器中的该第一数据和写入在所述第二非易失性存储器中的该第二数据之后，部分或全部地将所读取的数据改变为其他数据。

49. 一种非易失性存储器件的制造方法，所述方法包括：

在第一衬底上形成第一非易失性存储器，所述第一非易失性存储器具有第一栅堆叠结构；

在第二衬底上形成第二非易失性存储器，所述第二非易失性存储器具有第二栅堆叠结构；以及

将所述第一和第二非易失性存储器结合从而使所述第一和第二非易失性存储器彼此

面对且所述第一衬底和第二衬底彼此背离,所述第一栅堆叠结构和所述第二栅堆叠结构彼此分离,

其中,所述第一和第二非易失性存储器中的一个为 N 型存储器,所述第一和第二非易失性存储器中的另一个为 P 型存储器。

50. 根据权利要求 49 的方法,其中形成所述第一非易失性存储器包括:

在所述第一衬底的预定区域形成第一隔离层,在所述第一隔离层之间的第一衬底中形成彼此分开的 p 型第一和第二杂质区,并在所述 p 型第一和第二杂质区之间形成第一沟道区;

在所述第一沟道区上形成所述第一栅堆叠结构,所述第一栅堆叠结构包括至少一个数据存储层;

分别在所述 p 型第一和第二杂质区上形成第一接触垫层和第二接触垫层;

在所述第一衬底上形成第一层间电介质,所述第一层间电介质覆盖所述第一栅堆叠结构和所述第一和第二接触垫层;以及

平坦化所述第一层间电介质的表面。

51. 根据权利要求 50 的方法,其中形成所述第一栅堆叠结构包括:

在所述第一衬底上顺序的形成第一绝缘层,第一数据存储层,第二绝缘层以及第一控制栅;

在所述第一控制栅上形成光致抗蚀剂图案,所述光致抗蚀剂图案限定了所述第一沟道区;以及

使用所述光致抗蚀剂图案作为蚀刻掩模,顺序的蚀刻所述第一控制栅,所述第二绝缘层,所述第一数据存储层以及所述第一绝缘层。

52. 根据权利要求 50 的方法,其中所述第一和第二接触垫层形成为使得它们延伸到所述第一隔离层上或所述第一隔离层上方。

53. 根据权利要求 49 的方法,其中所述第一衬底为 n 型硅衬底和 SOI 衬底之一。

54. 根据权利要求 49 的方法,其中所述第二衬底为 p 型硅衬底和 SOI 衬底之一。

55. 根据权利要求 49 的方法,其中形成所述第二非易失性存储器包括:

在所述第二衬底上形成第二隔离层,在所述第二隔离层之间的第二衬底中形成 n 型第一和第二杂质区,并在所述 n 型第一和第二杂质区之间形成第二沟道区;

在所述第二沟道区上形成所述第二栅堆叠结构,所述第二栅堆叠结构包括至少一个数据存储层;

分别在所述 n 型第一和第二杂质区上形成第三接触垫层和第四接触垫层;

在所述第二衬底上形成第二层间电介质,所述第二层间电介质覆盖所述第二栅堆叠结构以及所述第三和第四接触垫层;以及

平坦化所述第二层间电介质的表面。

56. 根据权利要求 50 的方法,其中平坦化所述第一层间电介质的表面,直至暴露出所述第一栅堆叠结构。

57. 根据权利要求 55 的方法,其中平坦化所述第二层间电介质的表面,直至暴露出所述第二栅堆叠结构。

58. 根据权利要求 50 的方法,其中形成所述第二非易失性存储器包括:

在所述第二衬底上形成第二隔离层,在所述第二隔离层之间的第二衬底中形成 n 型第一和第二杂质区,并在所述 n 型第一和第二杂质区之间形成第二沟道区;

在所述第二沟道区上形成所述第二栅堆叠结构,所述第二栅堆叠结构包括至少一个数据存储层;

分别在所述 n 型第一和第二杂质区上形成第三接触垫层和第四接触垫层;

在所述第二衬底上形成第二层间电介质,所述第二层间电介质覆盖所述第二栅堆叠结构以及所述第三和第四接触垫层;以及

平坦化所述第二层间电介质的表面。

59. 根据权利要求 55 的方法,其中形成所述第二栅堆叠结构包括:

在所述第二衬底上顺序形成第三绝缘层,第二数据存储层,第四绝缘层以及第二控制栅;

在所述第二控制栅上形成光致抗蚀剂图案,所述光致抗蚀剂图案限定了所述第二沟道区;以及

使用所述光致抗蚀剂图案作为蚀刻掩模,顺序地蚀刻所述第二控制栅,所述第四绝缘层,所述第二数据存储层以及所述第三绝缘层。

60. 根据权利要求 55 的方法,其中所述第三和第四接触垫层形成为使得它们延伸到所述第二隔离层上或者所述第二隔离层上方。

61. 根据权利要求 49 的方法,其中形成所述第二非易失性存储器包括:

在所述第二衬底上形成第二隔离层,在所述第二隔离层之间的第二衬底中形成 n 型第一和第二杂质区,并在所述 n 型第一和第二杂质区之间形成第二沟道区;

在所述第二沟道区上形成所述第二栅堆叠结构,所述第二栅堆叠结构包括至少一个数据存储层;

在所述第二衬底上形成第二层间电介质,所述第二层间电介质覆盖所述第二栅堆叠结构;以及

平坦化所述第二层间电介质的表面。

62. 根据权利要求 50 的方法,其中形成所述第二非易失性存储器包括:

在所述第二衬底上形成第二隔离层,在所述第二隔离层之间的第二衬底中形成 n 型第一和第二杂质区,并在所述 n 型第一和第二杂质区之间形成第二沟道区;

在所述第二沟道区上形成第二栅堆叠结构,所述第二栅堆叠结构包括至少一个数据存储层;

在所述第二衬底上形成第二层间电介质,所述第二层间电介质覆盖所述第二栅堆叠结构;以及

平坦化所述第二层间电介质的表面。

63. 根据权利要求 58 的方法,在将所述第一和第二非易失性存储器结合之后,还包括:

在包括所述第二衬底、所述第二隔离层、所述第二层间电介质以及所述第一层间电介质的堆叠结构中形成第一通孔和第二通孔,所述第一和第二通孔分别暴露所述第一和第二接触垫层;

分别用第一导电插塞和第二导电插塞填充所述第一和第二通孔;

在包括所述第二衬底、所述第二隔离层以及所述第二层间电介质的堆叠结构中形成第

三通孔和第四通孔,所述第三和第四通孔分别暴露所述第三和第四接触垫层;

分别用第三导电插塞和第四导电插塞填充所述第三和第四通孔;

在包括所述第二衬底、所述第二隔离层、所述第二层间电介质以及所述第一层间电介质的堆叠结构中形成第一栅通孔,所述第一栅通孔暴露所述第一栅堆叠结构;

用第一栅导电插塞填充所述第一栅通孔;

在包括所述第二衬底、所述第二隔离层和所述第二层间电介质的堆叠结构中形成第二栅通孔,所述第二栅通孔暴露所述第二栅堆叠结构;

用第二栅导电插塞填充所述第二栅通孔;以及

形成第一栅垫和第二栅垫以分别覆盖所述第一和第二栅导电插塞的整个表面,同时形成第一至第四接触垫以分别覆盖所述第一至第四导电插塞的整个表面。

64. 根据权利要求 58 的方法,在将所述第一和第二非易失性存储器结合之后,还包括:

在包括所述第二衬底、所述第二隔离层、所述第二层间电介质以及所述第一层间电介质的堆叠结构中形成第一通孔和第二通孔,所述第一和第二通孔分别暴露所述第一和第二接触垫层;

分别用第一导电插塞和第二导电插塞填充所述第一和第二通孔;

在包括所述第二衬底以及所述第二隔离层的堆叠结构中形成第三通孔和第四通孔,所述第三和第四通孔分别暴露所述第三和第四接触垫层;

分别用第三导电插塞和第四导电插塞填充所述第三和第四通孔;

在包括所述第二衬底、所述第二隔离层、所述第二层间电介质以及所述第一层间电介质的堆叠结构中形成第一栅通孔,所述第一栅通孔暴露所述第一栅堆叠结构;

用第一栅导电插塞填充所述第一栅通孔;

在包括所述第二衬底、所述第二隔离层和所述第二层间电介质的堆叠结构中形成第二栅通孔,所述第二栅通孔暴露所述第二栅堆叠结构;

用第二栅导电插塞填充所述第二栅通孔;以及

形成第一栅垫和第二栅垫以分别覆盖所述第一和第二栅导电插塞的整个表面,同时形成第一至第四接触垫以分别覆盖所述第一至第四导电插塞的整个表面。

65. 根据权利要求 62 的方法,在将所述第一和第二非易失性存储器结合之后,还包括:

在包括所述第二衬底、所述第二隔离层、所述第二层间电介质以及所述第一层间电介质的堆叠结构中形成第一通孔和第二通孔,所述第一和第二通孔分别暴露所述第一和第二接触垫层;

分别用第一导电插塞和第二导电插塞填充所述第一和第二通孔;

在所述第二衬底中形成第三通孔和第四通孔,所述第三和第四通孔分别暴露所述 n 型第一和第二杂质区;

分别用第三导电插塞和第四导电插塞填充所述第三和第四通孔;

在包括所述第二衬底、所述第二隔离层、所述第二层间电介质以及所述第一层间电介质的堆叠结构中形成第一栅通孔,所述第一栅通孔暴露所述第一栅堆叠结构;

用第一栅导电插塞填充所述第一栅通孔;

在包括所述第二衬底、所述第二隔离层和所述第二层间电介质的堆叠结构中形成第二栅通孔,所述第二栅通孔暴露所述第二栅堆叠结构;

用第二栅导电插塞填充所述第二栅通孔；以及

形成第一栅垫和第二栅垫以分别覆盖所述第一和第二栅导电插塞的整个表面，同时形成第一至第四接触垫以分别覆盖所述第一至第四导电插塞的整个表面。

66. 根据权利要求 55 的方法，在形成所述 n 型第一和第二杂质区之前，还包括在比其中设置所述 n 型第一和第二杂质区的位置更深的位置形成杂质层，所述杂质层将所述第二衬底划分为两个部分。

67. 根据权利要求 66 的方法，在将所述第一和第二非易失性存储器结合之前，还包括移除被所述杂质层划分的部分所述第二衬底，其中没有形成所述 n 型第一和第二杂质区。

68. 一种逻辑器件，包括：

具有第一栅堆叠结构的第一非易失性存储器；

具有第二栅堆叠结构的第二非易失性存储器；

具有第三栅堆叠结构的第三非易失性存储器；以及

具有第四栅堆叠结构的第四非易失性存储器，

其中所述第一至第四非易失性存储器被顺序堆叠，并且所述第二和第四非易失性存储器被翻转并堆叠，使得所述第一非易失性存储器和第二非易失性存储器的底部彼此相对，所述第一非易失性存储器和第二非易失性存储器的顶部彼此面对，所述第三非易失性存储器和第四非易失性存储器的底部彼此相对，所述第三非易失性存储器和第四非易失性存储器的顶部彼此面对，

其中所述第一和第二非易失性存储器中的一个为 N 型存储器，所述第一和第二非易失性存储器中的另一个为 P 型存储器；所述第三和第四非易失性存储器中的一个为 N 型存储器，所述第三和第四非易失性存储器中的另一个为 P 型存储器，以及

其中所述第一栅堆叠结构与所述第二栅堆叠结构彼此分离，所述第三栅堆叠结构与所述第四栅堆叠结构彼此分离。

69. 根据权利要求 68 的器件，其中所述第一和第四非易失性存储器是相同的 n 型非易失性存储器，并且所述第二和第三非易失性存储器是相同的 p 型非易失性存储器。

70. 根据权利要求 68 的器件，其中所述第一非易失性存储器包括：

第一衬底，第一隔离层形成在所述第一衬底上，所述第一衬底具有设置在所述第一隔离层之间的第一和第二杂质区，以及设置在所述第一和第二杂质区之间的第一沟道区；

设置在所述第一沟道区上的所述第一栅堆叠结构；

分别设置在所述第一和第二杂质区上的第一接触垫层和第二接触垫层；以及

覆盖所述第一和第二接触垫层和所述第一栅堆叠结构的第一层间电介质。

71. 根据权利要求 70 的器件，其中所述第二非易失性存储器包括：

第二衬底，第二隔离层形成在所述第二衬底上，所述第二衬底具有设置在所述第二隔离层之间的第三和第四杂质区，以及设置在所述第三和第四杂质区之间的第二沟道区；

设置在所述第二沟道区上的所述第二栅堆叠结构；

分别设置在所述第三和第四杂质区上的第三接触垫层和第四接触垫层；以及

覆盖所述第三和第四接触垫层以及所述第二栅堆叠结构并结合到所述第一层间电介质的第二层间电介质。

72. 根据权利要求 71 的器件，其中所述第三非易失性存储器包括：

第三衬底,第三隔离层形成在所述第三衬底上,所述第三衬底具有设置在所述第三隔离层之间的第五和第六杂质区,以及设置在所述第五和第六杂质区之间的第三沟道区,所述第三衬底结合到所述第二衬底;

设置在所述第三沟道区上的所述第三栅堆叠结构;

分别设置在所述第五和第六杂质区上的第五接触垫层和第六接触垫层;以及覆盖所述第五和第六接触垫层以及所述第三栅堆叠结构的第三层间电介质。

73. 根据权利要求 72 的器件,其中所述第四非易失性存储器包括:

第四衬底,第四隔离层形成在所述第四衬底上,所述第四衬底具有设置在所述第四隔离层之间的第七和第八杂质区,以及设置在所述第七和第八杂质区之间的第四沟道区;

设置在所述第四沟道区上的所述第四栅堆叠结构;

分别设置在所述第七和第八杂质区上的第七接触垫层和第八接触垫层;以及覆盖所述第七和第八接触垫层以及所述第四栅堆叠结构并结合到所述第三层间电介质的第四层间电介质。

74. 根据权利要求 72 的器件,其中所述第四非易失性存储器包括:

第四衬底,第四隔离层形成在所述第四衬底上,所述第四衬底具有设置在所述第四隔离层之间的第七和第八杂质区,以及设置在所述第七和第八杂质区之间的第四沟道区;

设置在所述第四沟道区上的所述第四栅堆叠结构;以及

覆盖所述第四栅堆叠结构并结合到所述第三层间电介质的第四层间电介质。

75. 根据权利要求 73 的器件,其中所述第一至第四衬底中的每一个为 SOI 衬底和硅衬底之一。

76. 根据权利要求 73 的器件,其中所述第一至第八接触垫层中的每一个延伸到相邻的隔离层。

77. 根据权利要求 73 的器件,其中所述第一至第八接触垫层中一些接触垫层中的每一个延伸到相邻的隔离层上方,而所述第一至第八接触垫层中其他接触垫层中的每一个延伸到相邻的隔离层上。

78. 根据权利要求 73 的器件,还包括:

在设置于所述第一和第二接触垫层上的堆叠结构中分别设置的第一导电插塞和第二导电插塞,使得所述第一导电插塞和第二导电插塞分别与所述第一和第二接触垫层相连;

在设置于所述第三和第四接触垫层上的堆叠结构中分别设置的第三导电插塞和第四导电插塞,使得所述第三导电插塞和第四导电插塞分别与所述第三和第四接触垫层相连;

在设置于所述第五和第六接触垫层上的堆叠结构中分别设置的第五导电插塞和第六导电插塞,使得所述第五导电插塞和第六导电插塞分别与所述第五和第六接触垫层相连;

在设置于所述第七和第八接触垫层上的堆叠结构中分别设置的第七导电插塞和第八导电插塞,使得所述第七导电插塞和第八导电插塞分别与所述第七和第八接触垫层相连;

在设置于所述第一栅堆叠结构上的堆叠结构中设置的第一栅导电插塞,使得所述第一栅导电插塞与所述第一栅堆叠结构相连;

在设置于所述第二栅堆叠结构上的堆叠结构中设置的第二栅导电插塞,使得所述第二栅导电插塞与所述第二栅堆叠结构相连;

在设置于所述第三栅堆叠结构上的堆叠结构中设置的第三栅导电插塞,使得所述第三

栅导电插塞与所述第三栅堆叠结构相连；

在设置于所述第四栅堆叠结构上的堆叠结构中设置的第四栅导电插塞，使得所述第四栅导电插塞与所述第四栅堆叠结构相连；

连接所述第一、第三和第七导电插塞的第一接触垫；

连接所述第四和第六导电插塞的第二接触垫；

连接所述第二和第八导电插塞的第三接触垫；

连接到所述第五导电插塞的第四接触垫；

连接所述第一和第二栅导电插塞的第一栅接触垫；以及

连接所述第三和第四栅导电插塞的第二栅接触垫。

79. 根据权利要求 73 的器件，还包括：

在设置于所述第一和第二接触垫层上的堆叠结构中分别设置的第一导电插塞和第二导电插塞，使得所述第一导电插塞和第二导电插塞分别与所述第一和第二接触垫层相连；

在设置于所述第三和第四接触垫层上的堆叠结构中分别设置的第三导电插塞和第四导电插塞，使得所述第三导电插塞和第四导电插塞分别与所述第三和第四接触垫层相连；

在设置于所述第五和第六接触垫层上的堆叠结构中分别设置的第五导电插塞和第六导电插塞，使得所述第五导电插塞和第六导电插塞分别与所述第五和第六接触垫层相连；

在设置于所述第七和第八接触垫层上的堆叠结构中分别设置的第七导电插塞和第八导电插塞，使得所述第七导电插塞和第八导电插塞分别与所述第七和第八接触垫层相连；

在设置于所述第一栅堆叠结构上的堆叠结构中设置的第一栅导电插塞，使得所述第一栅导电插塞与所述第一栅堆叠结构相连；

在设置于所述第二栅堆叠结构上的堆叠结构中设置的第二栅导电插塞，使得所述第二栅导电插塞与所述第二栅堆叠结构相连；

在设置于所述第三栅堆叠结构上的堆叠结构中设置的第三栅导电插塞，使得所述第三栅导电插塞与所述第三栅堆叠结构相连；

在设置于所述第四栅堆叠结构上的堆叠结构中设置的第四栅导电插塞，使得所述第四栅导电插塞与所述第四栅堆叠结构相连；

连接所述第一、第三、第五和第七导电插塞的第一接触垫；

连接所述第四和第六导电插塞的所述第二接触垫；

连接所述第二和第八导电插塞的所述第三接触垫；

连接所述第一和第二栅导电插塞的第一栅接触垫；以及

连接所述第三和第四栅导电插塞的第二栅接触垫。

80. 根据权利要求 74 的器件，还包括：

在设置于所述第一和第二接触垫层上的堆叠结构中分别设置的第一导电插塞和第二导电插塞，使得所述第一导电插塞和第二导电插塞分别与所述第一和第二接触垫层相连；

在设置于所述第三和第四接触垫层上的堆叠结构中分别设置的第三导电插塞和第四导电插塞，使得所述第三导电插塞和第四导电插塞分别与所述第三和第四接触垫层相连；

在设置于所述第五和第六接触垫层上的堆叠结构中分别设置的第五导电插塞和第六导电插塞，使得所述第五导电插塞和第六导电插塞分别与所述第五和第六接触垫层相连；

在该第四衬底中设置的第七导电插塞和第八导电插塞，使得所述第七导电插塞和第八

导电插塞分别与所述第七和第八杂质区相连；

在设置于所述第一栅堆叠结构上的堆叠结构中设置的第一栅导电插塞，使得所述第一栅导电插塞与所述第一栅堆叠结构相连；

在设置于所述第二栅堆叠结构上的堆叠结构中设置的第二栅导电插塞，使得所述第二栅导电插塞与所述第二栅堆叠结构相连；

在设置于所述第三栅堆叠结构上的堆叠结构中设置的第三栅导电插塞，使得所述第三栅导电插塞与所述第三栅堆叠结构相连；

在设置于所述第四栅堆叠结构上的堆叠结构中设置的第四栅导电插塞，使得所述第四栅导电插塞与所述第四栅堆叠结构相连；

连接所述第一、第三和第七导电插塞的第一接触垫；

连接所述第四和第六导电插塞的第二接触垫；

连接所述第二和第八导电插塞的第三接触垫；

连接到所述第五导电插塞的第四接触垫；

连接所述第一和第二栅导电插塞的第一栅接触垫；以及

连接所述第三和第四栅导电插塞的第二栅接触垫。

81. 根据权利要求 74 的器件，还包括：

在设置于所述第一和第二接触垫层上的堆叠结构中分别设置的第一导电插塞和第二导电插塞，使得所述第一导电插塞和第二导电插塞分别与所述第一和第二接触垫层相连；

在设置于所述第三和第四接触垫层上的堆叠结构中分别设置的第三导电插塞和第四导电插塞，使得所述第三导电插塞和第四导电插塞分别与所述第三和第四接触垫层相连；

在设置于所述第五和第六接触垫层上的堆叠结构中分别设置的第五导电插塞和第六导电插塞，使得所述第五导电插塞和第六导电插塞分别与所述第五和第六接触垫层相连；

在该第四衬底中设置的第七导电插塞和第八导电插塞，使得所述第七导电插塞和第八导电插塞分别与所述第七和第八杂质区相连；

在设置于所述第一栅堆叠结构上的堆叠结构中设置的第一栅导电插塞，使得所述第一栅导电插塞与所述第一栅堆叠结构相连；

在设置于所述第二栅堆叠结构上的堆叠结构中设置的第二栅导电插塞，使得所述第二栅导电插塞与所述第二栅堆叠结构相连；

在设置于所述第三栅堆叠结构上的堆叠结构中设置的第三栅导电插塞，使得所述第三栅导电插塞与所述第三栅堆叠结构相连；

在设置于所述第四栅堆叠结构上的堆叠结构中设置的第四栅导电插塞，使得所述第四栅导电插塞与所述第四栅堆叠结构相连；

连接所述第一、第三、第五和第七导电插塞的第一接触垫；

连接所述第四和第六导电插塞的所述第二接触垫；

连接所述第二和第八导电插塞的所述第三接触垫；

连接所述第一和第二栅导电插塞的第一栅接触垫；以及

连接所述第三和第四栅导电插塞的第二栅接触垫。

82. 根据权利要求 73 的器件，其中所述第一至第四栅堆叠结构中的每一个包括顺序堆叠的第一绝缘层，一个或多个数据存储层，第二绝缘层以及控制栅。

83. 根据权利要求 73 的器件,其中所述第一至第八接触垫层具有相同的延伸长度。

84. 根据权利要求 73 的器件,其中所述第一至第八接触垫层中的一些接触垫层具有与  
所述第一至第八接触垫层中的其他接触垫层不同的延伸长度。

85. 根据权利要求 77 的器件,其中在所述第一、第三、第五和第七接触垫层中,所述第  
一接触垫层具有最长的延伸长度,所述第三接触垫层具有第二长的延伸长度,所述第五接  
触垫层具有第三长的延伸长度,并且所述第七接触垫层具有最短的延伸长度。

86. 根据权利要求 73 的器件,其中所述第一至第八接触垫层中的至少一些接触垫层在  
不同的方向上延伸。

87. 根据权利要求 74 的器件,其中所述第一至第六接触垫层延伸相同的长度。

88. 根据权利要求 74 的器件,其中所述第一至第六接触垫层中的至少一些接触垫层在  
不同的方向上延伸。

89. 根据权利要求 88 的器件,其中在所述第一、第三和第五接触垫层中,所述第一接  
触垫层具有最长的延伸长度,所述第三接触垫层具有第二长的延伸长度,并且所述第五接  
触垫层具有最短的延伸长度。

90. 根据权利要求 84 的器件,其中在所述第一、第三、第五和第七接触垫层中,所述第  
一接触垫层具有最长的延伸长度,所述第三接触垫层具有第二长的延伸长度,所述第五接  
触垫层具有第三长的延伸长度,并且所述第七接触垫层具有最短的延伸长度。

91. 根据权利要求 74 的器件,其中所述第一至第四栅堆叠结构中的每一个包括顺序堆  
叠的第一绝缘层,一个或多个数据存储层,第二绝缘层以及控制栅。

92. 一种用于非易失性存储器件的读电路,所述电路包括:

存储器件,该存储器件包括第一非易失性存储器和第二非易失性存储器,其中所述第  
一和第二非易失性存储器中的一个为 N 型存储器,所述第一和第二非易失性存储器中的另  
一个为 P 型存储器,其中所述第一非易失性存储器和第二非易失性存储器的底部彼此相  
对,且所述第一非易失性存储器和第二非易失性存储器的顶部彼此面对,所述第一非易失  
性存储器的第一栅堆叠结构与所述第二非易失性存储器的第二栅堆叠结构彼此分离;

第一电压比较单元,其将所述存储器件的输出电压与第一参考电压进行比较;

第一电源单元,其将具有预定范围的扫描电压提供给所述存储器件;

第二电压比较单元,其响应所述第一电压比较单元的输出信号而操作并将施加到所述  
存储器件输入端的电压与第二参考电压进行比较;

编码器,其对所述第二电压比较单元的输出信号进行编码;

第一调节单元,其调节从所述第一电源单元施加到所述存储器件的扫描电压;

第二调节单元,其响应所述第一电压比较单元的输出信号而将所述存储器件与所述第  
二电压比较单元之间断开;

控制单元,其响应所述第一电压比较单元的输出信号而控制所述第一和第二调节单元  
的操作;

第二电源单元,其响应所述第一电压比较单元的输出信号而向所述存储器件施加预定  
电压;以及

电压比较电路,其在所述预定电压从所述第二电源单元施加到所述存储器件时,将所  
述存储器件的输出电压与对应于所述编码器的输出信号的电压进行比较并输出预定的位

数据。

93. 根据权利要求 92 的电路,其中所述第一和第二非易失性存储器分别为 p 型非易失性存储器和 n 型非易失性存储器,所述第一和第二非易失性存储器的每一个中写入至少 1 位数据,所述 p 和 n 型非易失性存储器被顺序的堆叠。

94. 根据权利要求 92 的电路,其中所述第二电压比较单元包括一个或多个比较器。

95. 根据权利要求 92 的电路,其中所述第一调节单元是位于所述第一电源单元和所述存储器件之间的第一通路晶体管。

96. 根据权利要求 92 的电路,其中所述第二调节单元是位于所述存储器件和所述第二电压比较单元之间的第二通路晶体管。

97. 根据权利要求 92 的电路,其中所述控制单元是反相器,其对所述第一电压比较单元的输出信号反相并将反相后的信号施加到所述第一和第二调节单元。

98. 根据权利要求 92 的电路,其中所述第二电源单元是接地晶体管,其将 0V 电压施加到所述存储器件。

99. 一种非易失性存储器的读电路,所述电路包括:

存储器件,其包括第一非易失性存储器和第二非易失性存储器,其中所述第一和第二非易失性存储器中的一个为 N 型存储器,所述第一和第二非易失性存储器中的另一个为 P 型存储器,其中所述第一非易失性存储器和第二非易失性存储器的底部彼此相对,且所述第一非易失性存储器和第二非易失性存储器的顶部彼此面对,所述第一非易失性存储器的第一栅堆叠结构与所述第二非易失性存储器的第二栅堆叠结构彼此分离;

第一电压比较单元,其将所述存储器件的输出电压与第一参考电压进行比较;

第一电源单元,其将具有预定范围的扫描电压提供给所述存储器件;

第二电压比较单元,其响应所述第一电压比较单元的输出信号而操作并将施加到所述存储器件输入端的电压与第二参考电压进行比较;

第一编码器,其对所述第二电压比较单元的输出信号进行编码;

第一调节单元,其调节从所述第一电源单元施加到所述存储器件的扫描电压;

第二调节单元,其响应所述第一电压比较单元的输出信号而将所述存储器件与所述第二电压比较单元之间断开;

控制单元,其响应所述第一电压比较单元的输出信号而控制所述第一和第二调节单元的操作;

第二电源单元,其响应所述第一电压比较单元的输出信号而向所述存储器件施加预定电压;

第三电压比较单元,其随着将所述预定电压从所述第二电源单元施加到所述存储器件而开始操作,然后将所述存储器件的输出电压与第三参考电压进行比较;

第二编码器,其对所述第三电压比较单元的输出信号进行编码;以及

第三编码器,其对所述第一和第二编码器的输出信号进行编码并输出预定的位数据。

100. 根据权利要求 99 的电路,其中所述第三电压比较单元包括一个或多个比较器。

101. 根据权利要求 99 的电路,其中所述第一和第二非易失性存储器分别为 p 型非易失性存储器和 n 型非易失性存储器,所述第一和第二非易失性存储器中的每一个写入至少 1 位数据,所述 p 和 n 型非易失性存储器被顺序的堆叠。

102. 根据权利要求 99 的电路,其中所述第二电压比较单元包括一个或多个比较器。

103. 根据权利要求 99 的电路,其中所述第一调节单元是位于所述第一电源单元和所述存储器件之间的第一通路晶体管。

104. 根据权利要求 99 的电路,其中所述第二调节单元是位于所述存储器件和所述第二电压比较单元之间的第二通路晶体管。

105. 根据权利要求 99 的电路,其中所述控制单元是反相器,其对所述第一电压比较单元的输出信号反相并将反相后的信号施加到所述第一和第二调节单元。

106. 根据权利要求 99 的电路,其中所述第二电源单元为接地晶体管,其将 0V 电压施加到所述存储器件。

## 互补非易失性存储器件及其操作和制造方法

### 技术领域

[0001] 本发明涉及一种存储器件及其制造方法,更具体而言,涉及一种互补非易失性存储器件及其操作和制造方法,包括该器件的逻辑器件和半导体器件,以及用于该器件的读电路。

### 背景技术

[0002] 只读存储器 (ROM) 为非易失性存储器,其能够被分类为掩模型只读存储器,电可擦除可编程只读存储器 (EEPROM) 及其它,其中掩模型只读存储器在制造过程中根据订货人的订单而被编程。

[0003] 快闪存储器也是非易失性存储器,是对传统 EEPROM 的改进并且包括单元阵列,组成该单元阵列从而以块单位、扇区单位或芯片单位进行擦除并且以位单位进行编程。

[0004] 快闪存储器的结构能够被分为 NOR 型和 NAND 型。

[0005] NOR 型快闪存储器的单元在位线和地线之间并行排列, NAND 型快闪存储器的单元是串行排列的。

[0006] 更具体地, NOR 型快闪存储器能够被分为 AND 型, DINOR 型, 以及虚拟接地阵列 (VGA) 型。

[0007] 在 NOR 型快闪存储器中,由于读取和编程所需的地址解码类似于 DRAM 而构成,因此外围电路很简单并且访问时间被缩短。另一方面,每个单元都需要位线的接触电极,使得与 NAND 型快闪存储器相比单元面积增加了,并且进行擦除和编程所需的时间很长。

[0008] 在 NAND 型快闪存储器中,擦除和编程比 NOR 型快闪存储器执行更短的时间。但是,由于在读取之前需要选择相关块并且单元的串行连接会导致工作电阻的增加,因此读取速度相对比较低。

[0009] 同时,常规的快闪存储器一般为 N 型存储器,并且根据沟道的阈值电压取决于向氮化物中注入或是从中发射的电子的原则,在每个单元中只能存储一个数据。也就是说,存储在每个单元中的位数是受到限制的。

[0010] 还有,由于常规快闪存储器以在先数据被完全擦除并且新数据被重新写入而与在前存储状态无关的方式工作,因此需要有大量的功耗。

[0011] 更具体而言,在读操作中,依据在读电压上测量到的电流差来检测数据“0”或“1”,该测量利用了根据阈值电压偏移的电流位移。如果每个单元的位数为 2 或更多,则在读电压上测量的电流差较高并且提供了较大电流,从而消耗大量的功率。这样,连续位的按比例增加很困难。

[0012] 为了克服该缺点,通过在达到参考电流时使用测量阈值电压的方法来读取数据。但是,该方法是电流检测方法并且还需要包括比较器和读出放大器的复杂电路结构。

### 发明内容

[0013] 首先,本发明提供了一种互补非易失性存储器件,该器件增加了每个单元的位数,

使用电压检测方法克服了对于位按比例扩大 (bit scale-up) 的限制,改进了操作速度,降低了操作期间的功耗,能够以单元为单位访问,同时进行读、擦除以及写,缩短了工艺过程,具有高集成度,将存储器和逻辑电路实现为单个芯片。

[0014] 根据本发明的一个方面,该互补存储器件包括第一非易失性存储器和第二非易失性存储器,它们被顺序的堆叠并且具有彼此互补的关系,其中该第二非易失性存储器被翻转。

[0015] 该互补存储器件可以进一步包括设置在第一和第二非易失性存储器之间的结合部件 (bonding member)。

[0016] 该第一非易失性存储器可以包括:第一衬底,该第一衬底包括第一隔离层,设置在第一隔离层之间的 p 型第一杂质区以及 p 型第二杂质区,以及设置在 p 型第一和第二杂质区之间的第一沟道区;以及,设置在第一沟道区上的第一栅堆叠结构,其中该第一栅堆叠结构包括顺序堆叠的第一绝缘层,第一数据存储层,第二绝缘层以及第一控制栅。

[0017] 并且,其中该第二非易失性存储器可以包括:衬底,该衬底包括隔离层,设置在所述隔离层之间的 n 型第一杂质区以及 n 型第二杂质区,和设置在 n 型第一和第二杂质区之间的沟道区;以及,设置在沟道区上的栅堆叠结构,其中该栅堆叠结构包括顺序堆叠的第一绝缘层,数据存储层,第二绝缘层,以及控制栅。

[0018] 该互补非易失性存储器件可以进一步包括分别设置在 n 型第一和第二杂质区上并延伸到 n 型第一和第二杂质区外部的第一接触垫层 (contact padlayer) 和第二接触垫层。

[0019] 并且,该第二非易失性存储器可以包括:第二衬底,该第二衬底包括第二隔离层,设置在第二隔离层之间的 n 型第一杂质区和 n 型第二杂质区,以及设置在 n 型第一和第二杂质区之间的第二沟道区;以及,设置在 n 型第一和第二杂质区之间第二沟道区上的第二栅堆叠结构,其中该第二栅堆叠结构包括顺序堆叠的第三绝缘层,第二数据存储层,第四绝缘层以及第二控制栅。其中, p 型第二杂质区和 n 型第二杂质区彼此相连。

[0020] 该互补非易失性存储器件可以进一步包括分别设置在 p 型第一和第二杂质区上并延伸到 p 型第一和第二杂质区外部的第一接触垫层和第二接触垫层。

[0021] 该互补非易失性存储器件可以进一步包括:分别设置在 p 型第一和第二杂质区上并延伸到 p 型第一和第二杂质区外部的第一接触垫层和第二接触垫层;以及,覆盖第一和第二接触垫层以及第一栅堆叠结构的第一层间电介质。并且,该互补非易失性存储器件可以进一步包括:分别设置在 n 型第一和第二杂质区上并延伸到 n 型第一和第二杂质区外部的第三接触垫层和第四接触垫层;以及,覆盖第三和第四接触垫层以及第二栅堆叠结构并且结合到第一层间电介质的第二层间电介质。

[0022] 第三和第四接触垫层的延伸长度可以比第一和第二接触垫层的延伸长度短。

[0023] 该第一衬底可以为 SOI 衬底或硅衬底。

[0024] 该第一数据存储层可以为氮化硅层、纳米点层以及高 k 层之一。

[0025] 该数据存储层可以为氮化硅层、纳米点层以及高 k 层之一。

[0026] 该互补非易失性存储器件可以进一步包括设置在一堆叠结构中并且分别与第一和第二接触垫层相连的第一导电插塞和第二导电插塞,其中该堆叠结构包括第二衬底、第二隔离层、第二层间电介质以及第一层间电介质;设置在一堆叠结构中并分别与第三和第

四接触垫层相连的第三导电插塞和第四导电插塞,其中该堆叠结构包括第二衬底,第二隔离层;设置在一堆叠结构中并与第一栅堆叠结构相连的第一栅导电插塞,其中该堆叠结构包括第二衬底,第二隔离层,第二层间电介质以及第一层间电介质;设置在第二衬底中并与第二栅堆叠结构相连的第二栅导电插塞;分别设置在第二衬底的第一至第四导电插塞的周围并覆盖第一至第四导电插塞的整个表面的第一至第四接触垫;以及,分别设置在第一和第二栅导电插塞的周围并覆盖第一和第二栅导电插塞的整个表面的第一栅接触垫和第二栅接触垫。

[0027] 可以设置该第一层间电介质使得第一栅堆叠结构的顶表面被暴露出来。

[0028] 可以设置该第二层间电介质使得第二栅堆叠结构的顶表面被暴露出来。

[0029] 可以设置该第一层间电介质使得第一栅堆叠结构的顶表面被暴露出来。

[0030] 该第一和第二接触垫层可以延伸到第一隔离层上或第一隔离层上方。

[0031] 该第三和第四接触垫层可以延伸到第二隔离层上或第二隔离层上方。

[0032] 该互补非易失性存储器件可以进一步包括覆盖第二栅堆叠结构并结合到第一层间电介质的第二层间电介质。

[0033] 并且,该互补非易失性存储器件可以包括设置在一堆叠结构中并分别与第一和第二接触垫层相连的第一导电插塞和第二导电插塞,其中该堆叠结构包括第二衬底,第二隔离层,第二层间电介质以及第一层间电介质;设置在第二衬底中并分别与 n 型第一和第二杂质区相连的第三导电插塞和第四导电插塞;设置在一堆叠结构中并与第一栅堆叠结构相连的第一栅导电插塞,其中该堆叠结构包括第二衬底,第二隔离层,第二层间电介质以及第一层间电介质,设置在第二衬底中并与第二栅堆叠结构相连的第二栅导电插塞,分别设置在第二衬底的第一至第四导电插塞周围并覆盖第一至第四导电插塞的整个表面的第一至第四接触垫;以及,分别设置在第一和第二栅导电插塞周围并覆盖第一和第二栅导电插塞的整个表面的第一栅接触垫和第二栅接触垫。

[0034] 该衬底可以为 SOI 衬底或硅衬底。

[0035] 第二,本发明提供了一种互补非易失性存储器件的操作方法。

[0036] 根据本发明的一个方面,该方法可以包括:读取被写入在第一和第二非易失性存储器中的数据;以及,将读取的数据(下文中称为第一数据)与要被写入的数据(下文中称为第二数据)进行比较。

[0037] 当比较结果为第一数据与第二数据相同时,被写入在第一和第二非易失性存储器中的数据可以保持被存储。

[0038] 当比较结果为第一数据与第二数据完全不同时,该方法可以进一步包括:在 p 型第一和第二杂质区之间施加电压从而在其间产生电势差;将第一写电压施加到第一栅堆叠结构;在 n 型第一和第二杂质区之间施加电压从而在其间产生电势差;以及,将第二写电压施加到第二栅堆叠结构。

[0039] 当比较结果为第一数据与第二数据部分地不同时,被写入在第一和第二非易失性存储器之一中的数据可以保持被存储,并且被写入在第一和第二非易失性存储器的另一个中的数据可以被改变。

[0040] 通过将 0V 施加到 n 型第一和第二杂质区以及第二栅堆叠结构,被写入在第二非易失性存储器中的数据可以保持被存储。

[0041] 通过在 n 型第一和第二杂质区之间施加电压从而在其间产生电势差并将写电压施加到第二栅堆叠结构,数据可以被写入到第二非易失性存储器中。

[0042] 根据本发明的另一个方面,互补非易失性存储器件的擦除方法可以包括:在 n 型第一和第二杂质区之间施加电压从而在其间产生电势差;以及,通过将擦除电压施加到第二堆叠结构来擦除被写入在第二非易失性存储器中的数据。

[0043] 该擦除方法可以进一步包括在 p 型第一和第二杂质区之间施加电压从而在其间产生电势差;以及,通过将擦除电压施加到第一栅堆叠结构来擦除被写入在第一非易失性存储器中的数据。

[0044] 在擦除数据之前,可以进行读取和确认被写入在第一和第二非易失性存储器中的数据。

[0045] 并且,在擦除被写入在第一非易失性存储器中的数据之前,可以进行读取和确认被写入在第一和第二非易失性存储器中的数据。

[0046] 根据本发明的又一个方面,互补非易失性存储器件的擦除方法可以包括:在 p 型第一和第二杂质区之间施加电压从而在其间产生电势差;以及,通过将擦除电压施加到第一栅堆叠结构来擦除被写入在第一非易失性存储器中的数据。

[0047] 其中,在擦除数据之前,可以进行读取和确认被写入在第一和第二非易失性存储器中的数据。

[0048] 根据本发明的又一个方面,互补非易失性存储器件的读取方法可以包括:将电压施加到第一和第二栅堆叠结构并缓慢降低该电压直到从非易失性存储器件检测到输出电压;当从非易失性存储器件检测到第一输出电压时,通过感知 (perceive) 被施加到第一和第二栅堆叠结构的电压来读取被写入在第一非易失性存储器中的第一数据;在从非易失性存储器件检测到第一输出电压的同时切断被施加到第一和第二栅堆叠结构的电压;基于表示第一和第二非易失性存储器的输入电压 - 输出电压特性的互补特性曲线,一旦所述电压被切断而将能够读取被写入在第二非易失性存储器中的数据的电压施加到第一和第二栅堆叠结构时,测量非易失性存储器件的第二输出电压;通过将检测到第一输出电压时被施加到第一和第二栅堆叠结构的电压与第二输出电压进行比较,来读取被写入在第二非易失性存储器中的第二数据;以及,组合并输出第一和第二数据。

[0049] 其中,读取被写入在第一非易失性存储器中的第一数据可以进一步包括:在电压被施加到第一和第二栅堆叠结构时,将从非易失性存储器输出的电压与第一参考电压进行比较;在从非易失性存储器输出的电压变成第一输出电压的时刻,将施加到第一和第二栅堆叠结构的电压与第二参考电压进行比较;以及,在从非易失性存储器件输出的电压变成第一输出电压的时刻被施加到第一和第二栅堆叠结构的电压高于第二参考电压时,输出对应于被写入在第一非易失性存储器中的数据的位数据 (bit data)。

[0050] 可以通过使用与第一和第二非易失性存储器的输出端相连的电压比较电路来测量第二输出电压。其中,测量非易失性存储器件的第二输出电压可以包括一旦所述电压被断开之后,就将 0V 电压施加到第一和第二栅堆叠结构。可以从晶体管来施加该 0V 电压,其中该晶体管在所述电压被断开的同时导通,并且具有一个接地的端子和连接在电源与非易失性存储器件的第一和第二栅堆叠结构之间的另一个端子。

[0051] 该读取方法可以进一步包括在读取被写入在非易失性存储器件中的数据之后,部

分或全部地改变读出的数据。

[0052] 在第一和第二非易失性存储器的每一个中可以写入至少 1 位数据。

[0053] 根据本发明的又一方面,互补非易失性存储器件的读取方法可以包括:读取被写入在第一非易失性存储器中的第一数据;读取被写入在第二非易失性存储器中的第二数据;以及组合该第一和第二数据并输出至少 2 位数据。

[0054] 其中,读取被写入在第一非易失性存储器中的第一数据可以进一步包括:将电压施加到第一和第二栅堆叠结构并降低该电压,直到从非易失性存储器件检测到输出电压;检测来自非易失性存储器件的第一输出电压;在检测到第一输出电压之后,切断施加到第一和第二栅堆叠结构的电压;在检测到第一输出电压的时刻,将施加到第一和第二栅堆叠结构的电压与参考电压进行比较;以及,通过对比较结果进行编码来输出位数据。

[0055] 读取被写入在第二非易失性存储器中的第二数据可以进一步包括:将电压施加到第一和第二栅堆叠结构并缓慢降低电压,直到从非易失性存储器件检测到输出电压;检测来自非易失性存储器件的第一输出电压;在检测到第一输出电压之后,切断被施加到第一和第二栅堆叠结构的电压;根据表示第一和第二非易失性存储器输入电压-输出电压特性的互补特性曲线,将能够读取被写入在第二非易失性存储器中数据的电压施加到第一和第二栅堆叠结构;当能够读取被写入在第二非易失性存储器中数据的电压被施加到第一和第二栅堆叠结构时,测量非易失性存储器件的第二输出电压;将第二输出电压与参考电压进行比较;以及,通过对比较结果进行编码来输出位数据。其中,该读取方法可以进一步包括一旦断开被施加到第一和第二栅堆叠结构的电压之后,就将 0V 电压施加到第一和第二栅堆叠结构。

[0056] 可以使用晶体管来施加 0V 电压,其中该晶体管在施加到第一和第二栅堆叠结构的电压被切断的同时导通,并且具有一个接地的端子和连接在电源与非易失性存储器件的第一和第二栅堆叠结构之间的另一个端子。

[0057] 该读取方法可以进一步包括,在读取被写入在非易失性存储器件中的数据之后,部分或全部地将读出的数据改变为其他数据。

[0058] 第三,本发明还提供了一种互补非易失性存储器件的制造方法。

[0059] 根据本发明的一个方面,该制造方法可以包括:在第一衬底上形成第一非易失性存储器;在第二衬底上形成第二非易失性存储器,该第二非易失性存储器具有与第一非易失性存储器互补的关系;以及,将第一和第二衬底结合从而使第一和第二非易失性存储器彼此面对。

[0060] 形成第一非易失性存储器可以包括:在第一衬底的预定区域形成第一隔离层,在第一隔离层之间的第一衬底中形成彼此分开的 p 型第一和第二杂质区,以及在 p 型第一和第二杂质区之间形成第一沟道区;在第一沟道区上形成第一栅堆叠结构,该第一栅堆叠结构包括至少一个数据存储层;分别在 p 型第一和第二杂质区上形成第一接触垫层和第二接触垫层;在第一衬底上形成第一层间电介质,该第一层间电介质覆盖第一栅堆叠结构以及第一和第二接触垫层;以及,平坦化该第一层间电介质的表面。

[0061] 形成第一栅堆叠结构可以包括:在第一衬底上顺序形成第一绝缘层,第一数据存储层,第二绝缘层以及第一控制栅;在第一控制栅上形成光致抗蚀剂图案,该光致抗蚀剂图案限定了第一沟道区;以及,使用光致抗蚀剂图案作为蚀刻掩模,顺序的蚀刻第一控制栅,

第二绝缘层,第一数据存储层以及第一绝缘层。

[0062] 可以形成该第一和第二接触垫层,使得它们延伸到第一隔离层上或者其上方。

[0063] 该第一衬底可以为 n 型硅衬底以及 SOI 衬底之一。

[0064] 该第二衬底可以为 p 型硅衬底以及 SOI 衬底之一。

[0065] 形成第二非易失性存储器可以包括:在第二衬底上形成第二隔离层,在第二隔离层之间的第二衬底中形成 n 型第一和第二杂质区,以及在 n 型第一和第二杂质区之间形成第二沟道;在第二沟道区上形成第二栅堆叠结构,该第二堆叠结构包括至少一个数据存储层;分别在 n 型第一和第二杂质区上形成第三接触垫层和第四接触垫层;在第二衬底上形成第二层间电介质,该第二层间电介质覆盖第二栅堆叠结构以及第三和第四接触垫层;以及平坦化该第二层间电介质的表面。

[0066] 可以对第一层间电介质的表面进行平坦化,直到暴露出第一栅堆叠结构。还有,可以对第二层间电介质的表面进行平坦化,直到暴露出第二栅堆叠结构。

[0067] 形成第二非易失性存储器可以包括:在第二衬底上形成第二隔离层,在第二隔离层之间的第二衬底中形成 n 型第一和第二杂质区,以及在 n 型第一和第二杂质区之间形成第二沟道区;在第二沟道上形成第二栅堆叠结构,该第二栅堆叠结构包括至少一个数据存储层;分别在 n 型第一和第二杂质区上形成第三接触垫层和第四接触垫层;在第二衬底上形成第二层间电介质,该第二层间电介质覆盖第二栅堆叠结构以及第三和第四接触垫层;以及平坦化该第二层间电介质的表面。

[0068] 形成第二栅堆叠结构可以包括:在第二衬底上顺序形成第三绝缘层,第二数据存储层,第四绝缘层以及第二控制栅;在第二控制栅上形成光致抗蚀剂图案,该光致抗蚀剂图案限定了第二沟道区;以及使用光致抗蚀剂图案作为蚀刻掩模顺序地蚀刻第二控制栅,第三绝缘层,第二数据存储层以及第四绝缘层。

[0069] 可以形成该第三和第四接触垫层,使得它们延伸到第二隔离层上或其上方。

[0070] 形成第二非易失性存储器可以包括:在第二衬底上形成第二隔离层,在第二隔离层之间的第二衬底中形成 n 型第一和第二杂质区,以及在 n 型第一和第二杂质区之间形成第二沟道;在第二沟道区上形成第二栅堆叠结构,该第二栅堆叠结构包括至少一个数据存储层;在第二衬底上形成第二层间电介质,该第二层间电介质覆盖第二栅堆叠结构;以及平坦化该第二层间电介质的表面。

[0071] 形成第二非易失性存储器可以包括:在第二衬底上形成第二隔离层,在第二隔离层之间的第二衬底中形成 n 型第一和第二杂质区,以及在 n 型第一和第二杂质区之间形成第二沟道;在第二沟道区上形成第二栅堆叠结构,该第二栅堆叠结构包括至少一个数据存储层;在第二衬底上形成第二层间电介质,该第二层间电介质覆盖第二栅堆叠结构;以及平坦化该第二层间电介质的表面。

[0072] 该制造方法可以进一步包括:在将第一和第二衬底结合之后,在包括第二衬底、第二隔离层、第二层间电介质以及第一层间电介质的堆叠结构中形成第一通孔和第二通孔,该第一和第二通孔分别暴露第一和第二接触垫层;分别用第一导电插塞和第二导电插塞填充第一和第二通孔;在包括第二衬底、第二隔离层以及第二层间电介质的堆叠结构中形成第三通孔和第四通孔,该第三和第四通孔分别暴露第三和第四接触垫层;分别用第三导电插塞和第四导电插塞填充第三和第四通孔;在包括第二通孔,第二隔离层,第二层间电介质

以及第一层间电介质的堆叠结构中形成第一栅通孔,该第一栅通孔暴露第一栅堆叠结构;用第一栅导电插塞填充第一栅通孔;在第二衬底中形成第二栅通孔,该第二栅通孔暴露第二栅堆叠结构;用第二栅导电插塞填充第二栅通孔;以及分别在第一和第二栅通孔周围形成第一栅垫(gate pad)和第二栅垫,以分别覆盖第一和第二栅导电插塞的整个表面,同时分别在第一至第四通孔周围形成第一至第四接触垫,以分别覆盖第一至第四导电插塞的整个表面。

[0073] 该制造方法可以进一步包括:在将第一和第二衬底结合之后,在包括第二衬底、第二隔离层、第二层间电介质以及第一层间电介质的堆叠结构中形成第一通孔和第二通孔,该第一和第二通孔分别暴露第一和第二接触垫层;分别用第一导电插塞和第二导电插塞填充第一和第二通孔;在包括第二衬底以及第二隔离层的堆叠结构中形成第三通孔和第四通孔,该第三和第四通孔分别暴露第三和第四接触垫层;分别用第三导电插塞和第四导电插塞填充第三和第四通孔;在包括第二通孔,第二隔离层,第二层间电介质以及第一层间电介质的堆叠结构中形成第一栅通孔,该第一栅通孔暴露第一栅堆叠结构;用第一栅导电插塞填充第一栅通孔;在第二衬底中形成第二栅通孔,该第二栅通孔暴露第二栅堆叠结构;用第二栅导电插塞填充第二栅通孔;以及分别在第一和第二栅通孔周围形成第一栅垫和第二栅垫,以分别覆盖第一和第二栅导电插塞的整个表面,同时分别在第一至第四通孔周围形成第一至第四接触垫,以分别覆盖第一至第四导电插塞的整个表面。

[0074] 在将第一和第二衬底结合之后,该制造方法可以进一步包括:在包括第二衬底、第二隔离层、第二层间电介质以及第一层间电介质的堆叠结构中形成第一通孔和第二通孔,该第一和第二通孔分别暴露第一和第二接触垫层;分别用第一导电插塞和第二导电插塞填充第一和第二通孔;在第二衬底中形成第三通孔和第四通孔,该第三和第四通孔分别暴露n型第一和第二杂质区;分别用第三导电插塞和第四导电插塞填充第三和第四通孔;在包括第二通孔,第二隔离层,第二层间电介质以及第一层间电介质的堆叠结构中形成第一栅通孔,该第一栅通孔暴露第一栅堆叠结构;用第一栅导电插塞填充第一栅通孔;在第二衬底中形成第二栅通孔,该第二栅通孔暴露第二栅堆叠结构;用第二栅导电插塞填充第二栅通孔;以及分别在第一和第二栅通孔周围形成第一栅垫和第二栅垫,以分别覆盖第一和第二栅导电插塞的整个表面,同时分别在第一至第四通孔周围形成第一至第四接触垫,以分别覆盖第一至第四导电插塞的整个表面。

[0075] 在形成n型第一和第二杂质区之前,该制造方法可以进一步包括在比其中设置n型第一和第二杂质区的位置更深的位置形成一杂质层,该杂质层将第二衬底分为两部分。

[0076] 并且,在将第一和第二衬底结合之前,该制造方法可以进一步包括:移除被杂质层划分的部分第二衬底,其中没有形成n型第一和第二杂质区。

[0077] 第四,本发明提供了一种包括互补非易失性存储器件的逻辑器件。

[0078] 该逻辑器件可以包括:第一非易失性存储器;第二非易失性存储器,其与第一非易失性存储器具有互补关系;第三非易失性存储器;以及第四非易失性存储器,其与第三非易失性存储器具有互补关系,其中第一至第四非易失性存储器被顺序堆叠,并且第二和第四非易失性存储器被翻转并堆叠。

[0079] 第一和第四非易失性存储器可以是相同的n型非易失性存储器,并且第二和第三非易失性存储器可以是相同的p型非易失性存储器。

[0080] 该第一非易失性存储器可以包括：第一衬底，该衬底包括第一隔离层，设置在第一隔离层之间的第一和第二杂质区，以及设置在第一和第二杂质区之间的第一沟道区；设置在第一沟道区上的第一栅堆叠结构；分别设置在第一和第二杂质区上的第一接触垫层和第二接触垫层；以及覆盖第一和第二接触垫层以及第一栅堆叠结构的第一层间电介质。

[0081] 该第二非易失性存储器可以包括：第二衬底，该衬底包括第二隔离层，设置在第二隔离层之间的第三和第四杂质区，以及设置在第三和第四杂质区之间的第二沟道区；设置在第二沟道区上的第二栅堆叠结构；分别设置在第三和第四杂质区上的第三接触垫层和第四接触垫层；以及覆盖第三和第四接触垫层和第二栅堆叠结构并结合到第一层间电介质的第二层间电介质。

[0082] 该第三非易失性存储器可以包括：第三衬底，该衬底包括第三隔离层，设置在第三隔离层之间的第五和第六杂质区以及设置在第五和第六杂质区之间的第三沟道区，该第三衬底结合到第二衬底；设置在第三沟道区上的第三栅堆叠结构；分别设置在第五和第六杂质区上的第五接触垫层和第六接触垫层；以及覆盖第五和第六接触垫层和第三栅堆叠结构的第三层间电介质。

[0083] 该第四非易失性存储器可以包括：第四衬底，该衬底包括第四隔离层，设置在第四隔离层之间的第七和第八杂质区，以及设置在第七和第八杂质区之间的第四沟道区；设置在第四沟道区上的第四栅堆叠结构；分别设置在第七和第八杂质区上的第七接触垫层和第八接触垫层；以及覆盖第七和第八接触垫层以及第四栅堆叠结构并结合到第三层间电介质的第四层间电介质。

[0084] 该第四非易失性存储器可以包括：第四衬底，该衬底包括第四隔离层，设置在第四隔离层之间的第七和第八杂质区，以及设置在第七和第八杂质区之间的第四沟道区；设置在第四沟道区上的第四栅堆叠结构；以及覆盖第四栅堆叠结构并结合到第三层间电介质的第四层间电介质。

[0085] 第一至第四衬底中的每一个可以为 SOI 衬底和硅衬底之一。并且，第一至第八接触垫层中的每一个可以延伸到相邻隔离层。第一至第八接触垫层中的某些接触垫层中的每一个可以延伸到相邻隔离层的上方，而第一至第八接触垫层中的其他接触垫层中的每一个延伸到相邻隔离层上。

[0086] 根据本发明的一个实施例，该逻辑器件可以进一步包括：分别设置在设置于第一和第二接触垫层上的堆叠结构上的第一导电插塞和第二导电插塞，使得第一导电插塞和第二导电插塞分别与第一和第二接触垫层相连；分别设置在设置于第三和第四接触垫层上的堆叠结构上的第三导电插塞和第四导电插塞，使得第三导电插塞和第四导电插塞分别与第三和第四接触垫层相连；分别设置在设置于第五和第六接触垫层上的堆叠结构上的第五导电插塞和第六导电插塞，使得第五导电插塞和第六导电插塞分别与第五和第六接触垫层相连；分别设置在设置于第七和第八接触垫层上的堆叠结构上的第七导电插塞和第八导电插塞，使得第七导电插塞和第八导电插塞分别与第七和第八接触垫层相连；设置在设置于第一栅堆叠结构上的堆叠结构上的第一栅导电插塞，使得其与第一栅堆叠结构相连；设置在设置于第二栅堆叠结构上的堆叠结构上的第二栅导电插塞，使得其与第二栅堆叠结构相连；设置在设置于第三栅堆叠结构上的堆叠结构上的第三栅导电插塞，使得其与第三栅堆叠结构相连；设置在设置于第四栅堆叠结构上的堆叠结构上的第四栅导电插塞，使得其与

第四栅堆叠结构相连；连接第一、第三和第七导电插塞的第一接触垫；连接第四和第六导电插塞的第二接触垫；连接第二和第八导电插塞的第三接触垫；连接到第五导电插塞的第四接触垫；连接第一和第二栅导电插塞的第一栅接触垫；以及连接第三和第四栅导电插塞的第二栅接触垫。

[0087] 根据本发明的另一个实施例，该逻辑器件可以进一步包括：分别设置在设置于第一和第二接触垫层上的堆叠结构上的第一导电插塞和第二导电插塞，使得第一导电插塞和第二导电插塞分别与第一和第二接触垫层相连；分别设置在设置于第三和第四接触垫层上的堆叠结构上的第三导电插塞和第四导电插塞，使得第三导电插塞和第四导电插塞分别与第三和第四接触垫层相连；分别设置在设置于第五和第六接触垫层上的堆叠结构上的第五导电插塞和第六导电插塞，使得第五导电插塞和第六导电插塞分别与第五和第六接触垫层相连；分别设置在设置于第七和第八接触垫层上的堆叠结构上的第七导电插塞和第八导电插塞，使得第七导电插塞和第八导电插塞分别与第七和第八接触垫层相连；设置在设置于第一栅堆叠结构上的堆叠结构上的第一栅导电插塞，使得其与第一栅堆叠结构相连；设置在设置于第二栅堆叠结构上的堆叠结构上的第二栅导电插塞，使得其与第二栅堆叠结构相连；设置在设置于第三栅堆叠结构上的堆叠结构上的第三栅导电插塞，使得其与第三栅堆叠结构相连；设置在设置于第四栅堆叠结构上的堆叠结构上的第四栅导电插塞，使得其与第四栅堆叠结构相连；连接第一、第三、第五和第七导电插塞的第一接触垫；连接第四和第六导电插塞的第二接触垫；连接第二和第八导电插塞的第三接触垫；连接第一和第二栅导电插塞的第一栅接触垫；以及连接第三和第四栅导电插塞的第二栅接触垫。

[0088] 第一至第四栅堆叠结构中的每一个可以包括顺序堆叠的第一绝缘层，一个或多个数据存储层，第二绝缘层，以及控制栅。

[0089] 该第一至第八接触垫层可以具有相同的延伸长度。第一至第八接触垫中的一些具有与另一些的延伸长度不同的延伸长度。

[0090] 在第一、第三、第五和第七接触垫层中，第一接触垫层可具有最长的延伸长度，第三接触垫层具有第二长的延伸长度，第五接触垫层具有第三长的延伸长度，第七接触垫层具有最短的延伸长度。

[0091] 第一至第八接触垫层中的至少一些可以在不同方向上延伸。第一至第六接触垫层可以延伸相同的长度。第一至第六接触垫层中的至少一些可以在不同方向上延伸。并且，在第一、第三和第五接触垫层中，第一接触垫层可具有最长的延伸长度，第三接触垫层具有第二长的延伸长度，第五接触垫层具有最短的延伸长度。并且，在第一、第三、第五和第七接触垫层中，第一接触垫层可具有最长的延伸长度，第三接触垫层具有第二长的延伸长度，第五接触垫层具有第三长的延伸长度，第七接触垫层具有最短的延伸长度。

[0092] 第五，本发明提供了一种包括 CMOSFET 的半导体器件，其中本发明被用于该 CMOSFET。

[0093] 该半导体器件可以包括 CMOSFET，该 CMOSFET 包括第一晶体管以及与该第一晶体管具有互补关系的第二晶体管，其中该第一和第二晶体管彼此结合，使得第一和第二晶体管的栅彼此面对。

[0094] 该半导体器件可以进一步包括其上设置有 CMOSFET 的第一半导体器件，并且还进一步包括设置在该 CMOSFET 上的第二半导体器件。

[0095] 该第一半导体器件可以包括输入 / 输出 (I/O) 和控制器件、射频 (RF) 专用集成电路 (ASIC) 器件以及模拟 ASIC 器件中的至少一个。该第二半导体器件可以包括中央处理器 (CPU)、高速缓冲存储器、主存储器以及数字信号处理器 (DSP) 芯片中的至少一个。

[0096] 第六, 本发明提供了一种用于互补非易失性存储器件的读电路。

[0097] 根据本发明的一个方面, 该读电路可以包括: 存储器件, 其包括具有互补关系的第一非易失性存储器和第二非易失性存储器; 第一电压比较单元, 其用于将存储器件的输出电压与第一参考电压进行比较; 第一电源单元, 其用于将具有预定范围的扫描电压施加给存储器件; 第二电压比较单元, 其响应第一电压比较单元的输出信号而工作并将施加到存储器件输入端的电压与第二参考电压进行比较; 编码器, 其对第二电压比较单元的输出信号进行编码; 第一调节单元 (regulating unit), 其调节从第一电源单元施加给存储器件的扫描电压; 第二调节单元, 其响应第一电压比较单元的输出信号而将存储器件与第二电压比较单元之间断开; 控制单元, 其响应第一电压比较单元的输出信号而控制第一和第二调节单元的操作; 第二电源单元, 其响应第一电压比较单元的输出信号而向存储器件施加预定电压; 以及, 电压比较电路, 其在预定电压从第二电源单元施加到存储器件时, 将存储器件的输出电压与对应于编码器输出信号的电压进行比较并输出预定的位数据。

[0098] 根据本发明的另一个方面, 该读电路可以包括: 存储器件, 其包括具有互补关系的第一非易失性存储器和第二非易失性存储器; 第一电压比较单元, 其将存储器件的输出电压与第一参考电压进行比较; 第一电源单元, 其将具有预定范围的扫描电压提供给存储器件; 第二电压比较单元, 其响应第一电压比较单元的输出信号而工作并将施加到存储器件输入端的电压与第二参考电压进行比较; 第一编码器, 其对第二电压比较单元的输出信号进行编码; 第一调节单元, 其调节从第一电源单元施加给存储器件的扫描电压; 第二调节单元, 其响应第一电压比较单元的输出信号而将存储器件与第二电压比较单元之间断开; 控制单元, 其响应第一电压比较单元的输出信号而控制第一和第二调节单元的操作; 第二电源单元, 其响应第一电压比较单元的输出信号而向存储器件施加预定电压; 第三电压比较单元, 其随着将预定电压从第二电源单元施加给存储器件而开始操作并接着将存储器件的输出电压与第三参考电压进行比较; 第二编码器, 用于对第三电压比较单元的输出信号进行编码; 以及第三编码器, 用于对第一和第二编码器的输出信号进行编码并输出预定的位数据。

[0099] 在这些方面中, 该第三电压比较单元可以包括一个或多个比较器。第二电压比较单元的数量可以与第三电压比较单元的数量相同。并且, 该第一和第二非易失性存储器可以分别为 p 型非易失性存储器和 n 型非易失性存储器, 其每一个中写入至少 1 位数据, 该 p 和 n 型非易失性存储器被顺序的堆叠。并且, 第二电压比较单元可以包括一个或多个比较器。

[0100] 该第一调节单元可以为位于第一电源单元和存储器件之间的第一通路晶体管。

[0101] 该第二调节单元可以为位于存储器件和第二电压比较单元之间的第二通路晶体管。

[0102] 该控制单元可以为反相器, 其将第一电压比较单元的输出信号反相并将反相后的信号施加到第一和第二调节单元。

[0103] 第二电源单元可以为接地晶体管, 用于将 0V 电压施加到存储器件。

[0104] 如上所述,本发明的非易失性 CMOS 存储器件包括 p 型非易失性存储器和 n 型非易失性存储器,它们被 3 维地堆叠。为了形成非易失性 CMOS 存储器件,在分开的衬底上形成 p 和 n 型非易失性存储器,并接着将衬底彼此结合。

[0105] 因此,能够改进该存储器件的迁移率,在单一衬底上形成两个非易失性存储器所需的阱工艺能够被省略从而简化整个工艺过程,并且与将两个非易失性存储器设置在不同的位置相比,能够增加该存储器件的集成密度。

[0106] 并且,由于单位存储器单元为包括非易失性 PMOS 和 NMOS 存储器的 CMOS 存储器,因此在每个单元中可以存储至少两位,并且一个芯片可以由 CMOS 存储器和 CMOS 逻辑构成。

[0107] 并且,基于使用非易失性 PMOS 和 NMOS 存储器之间的互补作用的输出电压检测方法来读取数据,从而能够克服位按比例扩大的限制。

[0108] 并且,在非易失性 PMOS 和 NMOS 存储器中任何一个的数据状态被读出之后,能够使用表示它们之间互补关系的曲线来读出另一个的数据状态。这样,就能够缩短读操作。

[0109] 此外,不是以块为单位而是以单元为单位进行写和擦除操作,因此改进了操作速度并降低了功耗。

#### 附图说明

[0110] 通过参照附图对其示例性实施例的详细说明,本发明的上述及其他特征和优点将变得更加明了,其中:

[0111] 图 1 至 6 为根据本发明第一至第六实施例的非易失性存储器件的截面图;

[0112] 图 7 示出了图 1 至 5 所示的非易失性存储器件的等效电路;

[0113] 图 8 示出了用于说明图 1 至 5 所示的非易失性存储器件的读和写操作的等效电路;

[0114] 图 9 为等效电路图,示出了数据被写入在 P 型非易失性存储器和 N 型非易失性存储器中的情况,该 P 和 N 型非易失性存储器被包括在图 1 至 5 所示的非易失性存储器件中;

[0115] 图 10 为等效电路图,示出了数据仅被写入在 N 型非易失性存储器中的情况,该 N 型非易失性存储器被包括在图 1 至 5 所示的非易失性存储器件中;

[0116] 图 11 为等效电路图,示出了数据仅被写入在 P 型非易失性存储器中的情况,该 P 型非易失性存储器被包括在图 1 至 5 所示的非易失性存储器件中;

[0117] 图 12 为等效电路图,示出了仅从 N 型非易失性存储器中擦除被写入数据的情况,该 N 型非易失性存储器被包括在图 1 至 5 所示的非易失性存储器件中;

[0118] 图 13 为等效电路图,示出了仅从 P 型非易失性存储器中擦除被写入数据的情况,该 P 型非易失性存储器被包括在图 1 至 5 所示的非易失性存储器件中;

[0119] 图 14 为等效电路图,示出了在图 1 至 5 所示的非易失性存储器件中,数据被写入在 N 型非易失性存储器中并从 P 型非易失性存储器中擦除被写入数据的情况;

[0120] 图 15 为等效电路图,示出了在图 1 至 5 所示的非易失性存储器件中,数据被写入在 P 型非易失性存储器中并从 N 型非易失性存储器中擦除被写入数据的情况;

[0121] 图 16 为等效电路图,示出了在图 1 至 5 所示的非易失性存储器件中,从 P 型和 N 型非易失性存储器中擦除被写入数据的情况;

[0122] 图 17 说明了当图 1 至 5 中所示的非易失性存储器件为 2 位存储器件时,数据状态

之间的转换和数据状态之间的转换所需的条件；

[0123] 图 18 说明了当图 1 至 5 中所示的非易失性存储器件为 4 位存储器件时数据状态之间的转换；

[0124] 图 19 和 20 示出了当图 1 至 5 中所示的非易失性存储器件为 2 位存储器件时使用的读电路；

[0125] 图 21 为当图 1 至 5 中所示的非易失性存储器件是 2 位存储器件时输入电压与输出电压的关系图；

[0126] 图 22 为等效电路图，示出了当图 1 至 5 中所示的非易失性存储器件为 2 位存储器件时，从包括 2 位存储器件的单元阵列中选择的行中读取数据；

[0127] 图 23 和 24 为电路图，示出了当图 1 至 5 中所示的非易失性存储器件为 4 位存储器件时的读操作；

[0128] 图 25 和 26 为电路图，示出了当图 1 至 5 中所示的非易失性存储器件为 8 位存储器件时的读操作；

[0129] 图 27 为当图 1 至 5 中所示的非易失性存储器件为 8 位存储器件时，电压 - 电流以及输入电压 - 输出电压的关系图；

[0130] 图 28 为包括图 1 至 5 所示的非易失性存储器件之一的 NAND 型逻辑器件的截面图；

[0131] 图 29 为图 28 所示的 NAND 型逻辑器件的等效电路；

[0132] 图 30 为包括图 1 至 5 所示的非易失性存储器件之一的 NOR 型逻辑器件的截面图；

[0133] 图 31 为图 30 所示的 NOR 型逻辑器件的等效电路；

[0134] 图 32 至 40 为说明图 1 所示的非易失性存储器件制造方法的截面图；

[0135] 图 41 是与根据本发明实施例的非易失性存储器件以相同方式制造的 CMOSFET 的截面图；以及

[0136] 图 42 为包括图 41 所示的 CMOSFET 的半导体器件的透视图。

## 具体实施方式

[0137] 下文中，将参照示出了本发明示例性实施例的附图更充分地说明根据本发明实施例的互补存储器件及其操作和制造方法，以及包括该器件的逻辑电路和半导体器件和用于该器件的读电路。在附图中，为了清楚起见，夸大了膜和区域的厚度。

[0138] 首先，将对根据本发明第一实施例的互补非易失性存储器件（下文中，被称为“第一存储器件”）进行说明。

[0139] 实施例 1

[0140] 参看图 1，第一存储器件包括第一非易失性存储器 M1 和第二非易失性存储器 M2，它们垂直并顺序的堆叠。第一和第二非易失性存储器 M1 和 M2 彼此结合。第一和第二非易失性存储器 M1 和 M2 包括存储单元，其用于在栅堆叠结构中存储多位数据。第一和第二非易失性存储器 M1 和 M2 可以分别为 P 型晶体管和 N 型晶体管，例如 P 型 SONOS 存储器和 n 型 SONOS 存储器，它们中的每一个都能存储数据并起到开关的作用。第一非易失性存储器 M1 包括第一衬底 10。绝缘层 11 被设置在第一衬底 10 上。浅沟槽隔离 (STI) 层 12 被设置在绝缘层 11 中并彼此分离。半导体衬底 13 被设置在 STI 层 12 之间的绝缘层 11 上。该半

导体衬底 13 包括第一杂质区 10s, 第二杂质区 10d, 以及沟道区 10c。该第一和第二杂质区 10s 和 10d 掺杂有 p 型导电杂质。第一和第二杂质区 10s 和 10d 中的每一个可以为源极区或漏极区。即, 如果第一杂质区 10s 为源极区, 则第二杂质区 10d 可以为漏极区, 并且相反的情况也可以。沟道区 10c 被设置在第一和第二杂质区 10s 和 10d 之间。该半导体衬底 13 可以为具有预定晶体方向的 n 型半导体衬底, 例如 n 型 <100> 半导体衬底。第一栅堆叠结构 G11 被设置在沟道区 10c 上。该第一栅堆叠结构 G11 包括顺序堆叠的第一绝缘层 17, 数据存储层 18, 第二绝缘层 19, 以及控制栅 20。在数据存储层 18 中, 例如电子的载流子的俘获密度 (trap density) 随着外部施加的电压发生变化。该第一绝缘层 17 为隧穿层, 例如氧化硅 ( $\text{SiO}_2$ ) 层。该数据存储层 18 为材料层, 用于俘获隧穿第一绝缘层 17 的电子。在数据存储层 18 中俘获的电子数目随着外部施加的电压而发生变化。换句话说, 数据存储层 18 的状态随着外部施加的电压而发生变化。当数据存储层 18 处于一个状态中时, 可以认为位数据被写入在数据存储层 18 中。因此, 通过调节外部施加的电压, 不仅一位数据比如 0 或 1, 而且两位或更多位数据比如 11, 10, 01, 00, 111...001, 000, 1111...0001 或 0000 都能够被写入数据存储层 18 中。该数据存储层 18 可以是氮化硅 (SiN) 层。该第二绝缘层 19 优选由与第一绝缘层 17 相同的材料形成, 但是也可以由其他材料形成。其上施加外部电压的控制栅 20 可以为多晶硅栅。第一接触垫层 P1 被设置在第一杂质区 10s 上并且在与第一杂质区 10s 相邻的 STI 层 12 上方延伸。第二接触垫层 P2 被设置在第二杂质区 10d 上并且在与第二杂质区 10d 相邻的 STI 层 12 上方延伸。第一和第二接触垫层 P1 和 P2 可以延伸到相同的长度。但是, 第一和第二接触垫层 P1 和 P2 可以延伸到比第三和第四接触垫层 P3 和 P4 更大的长度, 其中该第三和第四接触垫层 P3 和 P4 分别与将在后面描述的第二非易失性存储器 M2 的第一和第二杂质区 30s 和 30d 相连。用第三绝缘层 16 覆盖第一栅堆叠结构 G11 以及第一和第二接触垫层 P1 和 P2。该第三绝缘层 16 由与第一和第二绝缘层 17 和 19 相同的材料形成, 但是也可以由其他绝缘材料形成。

[0141] 该第二非易失性存储器 M2 被翻转并与第一非易失性存储器 M1 结合。但是, 为了方便起见, 在假设第二非易失性存储器 M2 没有被翻转的前提下对第二非易失性存储器 M2 进行说明。换句话说, 虽然图 1 中示出了第二非易失性存储器 M2 的元件被设置在绝缘层 32 下方, 其中第二非易失性存储器 M2 的元件与设置在第一非易失性存储器 M1 的绝缘层 11 上的元件相对应, 但是在假设第二非易失性存储器 M2 的元件被设置在绝缘层 32 上的前提下对第二非易失性存储器 M2 的元件进行说明。这种假设也可以被类似地应用于将在下面描述的第二至第六实施例。

[0142] 更具体而言, 该第二非易失性存储器 M2 包括被设置在绝缘层 32 上并彼此分离的 STI 层 22。由半导体衬底覆盖设置在 STI 层 22 之间的绝缘层 32。该半导体衬底为具有预定晶体方向的衬底, 例如 p 型 <110> 衬底。该半导体衬底包括第一杂质区 30s, 第二杂质区 30d, 以及沟道区 30c。该沟道区 30c 被设置在第一和第二杂质区 30s 和 30d 之间。该第一和第二杂质区 30s 和 30d 掺杂有 n 型导电杂质。第一和第二杂质区 30s 和 30d 中的每一个可以为源极区或漏极区。第二栅堆叠结构 G22 被设置在沟道区 30c 上。该第一和第二栅堆叠结构 G11 和 G22 可以在垂直线上。该第二栅堆叠结构 G22 包括第一绝缘层 29, 数据存储层 28, 第二绝缘层 25, 以及控制栅 24, 它们被顺序的堆叠。在第二栅堆叠结构 G22 中, 第一和第二绝缘层 29 和 25 由  $\text{SiO}_2$  形成, 但是也可以由其它绝缘材料形成。该控制栅 24 和数

据存储层 28 分别由与第一非易失性存储器 M1 的控制栅 20 和数据存储层 18 相同的材料形成,但是也可以由不同的材料形成。第三接触垫层 P3 被设置在第二杂质区 30d 上,并且第四接触垫层 P4 被设置在第一杂质区 30s 上。第三和第四接触垫层 P3 和 P4 中的每一个在相邻的 STI 层 22 上方延伸到预定长度。如上所述,第二非易失性存储器 M2 的第三和第四接触垫层 P3 和 P4 比第一非易失性存储器 M1 的第一和第二接触垫层 P1 和 P2 的延伸长度短。在这种情况下,第二非易失性存储器 M2 的第三和第四接触垫层 P3 和 P4 以及第一非易失性存储器 M1 的第一和第二接触垫层 P1 和 P2 形成在相同的垂直面上。这样,当第二非易失性存储器 M2 的第三和第四接触垫层 P3 和 P4 形成在与其上设置第一非易失性存储器 M1 的第一和第二接触垫层 P1 和 P2 的垂直面不同的垂直面上时,第二非易失性存储器 M2 的第三和第四接触垫层 P3 和 P4 可以与第一非易失性存储器 M1 的第一和第二接触垫层 P1 和 P2 延伸相同的长度。在第二非易失性存储器 M2 中,第三和第四接触垫层 P3 和 P4 以及第二栅堆叠结构 G22 被第三绝缘层 26 覆盖。该第三绝缘层 26 可以由例如 SiO<sub>2</sub> 构成。

[0143] 同时,第一通孔 H1 和第二通孔 H2 被设置在一堆叠结构中,该结构包括第一和第二非易失性存储器 M1 和 M2 的第三绝缘层 16 和 26,STI 层 22 以及第二非易失性存储器 M2 的绝缘层 32。该第一通孔 H1 暴露了第一非易失性存储器 M1 的第一接触垫层 P1,并且第二通孔 H2 暴露了第一非易失性存储器 M1 的第二接触垫层 P2。分别用第一导电插塞 PL1 和第二导电插塞 PL2 填充该第一和第二通孔 H1 和 H2。该第一和第二导电插塞 PL1 和 PL2 由相同的材料形成,但是也可以由不同材料形成。

[0144] 还有,第三通孔 H3 和第四通孔 H4 被设置在一堆叠结构中,该结构包括第三绝缘层 26,STI 层 22,以及第二非易失性存储器 M2 的绝缘层 32。该第三通孔 H3 暴露了第二非易失性存储器 M2 的第一接触垫层 P3,并且第四通孔 H4 暴露了第二非易失性存储器 M2 的第四接触垫层 P4。分别用第三导电插塞 PL3 和第四导电插塞 PL4 填充该第三和第四通孔 H3 和 H4。该第三和第四导电插塞 PL3 和 PL4 由相同的材料形成,但是也可以由不同材料形成。

[0145] 同时,在一堆叠结构中形成通孔(下文中称为第一栅通孔),其中该结构包括第一非易失性存储器 M1 的第三绝缘层 16,以及第二非易失性存储器 M2 的第三绝缘层 26 和绝缘层 32。该第一栅通孔暴露了第一栅堆叠结构 G11 的控制栅 20。并且,在一堆叠结构中形成了另一通孔(下文中称为第二栅通孔),其中该结构包括第二非易失性存储器 M2 的第三绝缘层 26 和绝缘层 32。该第二栅通孔暴露了第二栅堆叠结构 G22 的控制栅 24。这里,因为第一和第二栅通孔形成在与其中形成第一至第四通孔 H1, H2, H3 以及 H4 的垂直面不同的垂直面中,因此在图 1 中没有被示出。分别用导电插塞填充该第一和第二栅通孔。在第二非易失性存储器 M2 的绝缘层 32 的底表面上(实际上,如图 1 所示,由于第二非易失性存储器 M2 被翻转,在绝缘层 32 的顶表面上),设置分别与第一至第四导电插塞 PL1, PL2, PL3 以及 PL4 相连的接触垫 CP1, CP2, CP3 以及 CP4。并且,第一栅接触垫 GP1 和第二栅接触垫 GP2 被设置在绝缘层 32 的底表面上并分别与填充在第一和第二栅通孔中的导电插塞相连。如果需要的话,该第一和第二栅接触垫 GP1 和 GP2 可以被整体相连。在这种情况下,第一和第二非易失性存储器 M1 和 M2 具有公用栅。然后,接触垫 CP2 和 CP4 可以被整体相连或接触垫 CP1 和 CP3 可以被整体相连。

[0146] 实施例 2

[0147] 根据本发明第二实施例的非易失性存储器件(下文中,称为“第二存储器件”)与

第一存储器件的不同之处在于它包括第三非易失性存储器 M22 而不是第二非易失性存储器 M2。在第三非易失性存储器 M22 中,相同的附图标记用于表示与第二非易失性存储器 M2 中相同的元件。并且,由于第二存储器件的第一非易失性存储器 M1 与第一存储器件的相同,因此在图 2 中省略了对其的详细图示。

[0148] 参看图 2,第三非易失性存储器 M22 包括绝缘层 32,设置在绝缘层 32 上的半导体衬底(未示出),以及设置在半导体衬底上的第二栅堆叠结构 G22。该半导体衬底被 STI 层 22 包围。该半导体衬底包括第一杂质区 30d,第二杂质区 30s,以及沟道区 30c。该第二栅堆叠结构 G22 被设置在沟道区 30c 上。第三绝缘层 26 覆盖第二栅堆叠结构 G22。形成穿过第三绝缘层 26、STI 层 22 以及绝缘层 32 的第一通孔 H1 和第二通孔 H2,其分别暴露第一非易失性存储器 M1 的第一接触垫层 P1 和第二接触垫层 P2。分别用第一和第二导电插塞 PL1 和 PL2 填充该第一和第二通孔 H1 和 H2。还有,在绝缘层 32 中形成第三通孔 H33 和第四通孔 H44,其分别暴露第一和第二杂质区 30d 和 30s。分别用第三和第四导电插塞 PL33 和 PL44 填充该第三和第四通孔 H33 和 H44。在绝缘层 32 的底表面上(实际上,如图 2 所示,由于第三非易失性存储器 M22 被翻转,在绝缘层 32 的顶表面上),设置有与第三导电插塞 PL33 相连的接触垫 CP33 以及与第四插塞 PL44 相连的另一个接触垫 CP44。并且,在绝缘层 32 的底表面上设置覆盖第一导电插塞 PL1 的接触垫 CP1 以及覆盖第二导电插塞 PL2 的另一个接触垫 CP2。此外,第一栅接触垫 GP1 和第二栅接触垫 GP2 被设置在绝缘层 32 的底表面上。

#### [0149] 实施例 3

[0150] 在该实施例中,与之后的实施例类似,将只对不同于第一实施例的特性进行说明。

[0151] 参看图 3,根据本发明第三实施例的非易失性存储器件(下文中,称为“第三存储器件”)包括第一非易失性存储器 M11 和第二非易失性存储器 M222,它们被顺序堆叠。该第一和第二非易失性存储器 M11 和 M222 彼此结合。

[0152] 第一非易失性存储器 M11 的第一接触垫层 P11 和第二接触垫层 P22 具有与图 1 中示出的第一存储器件的第一非易失性存储器 M1 的第一和第二接触垫层 P1 和 P2 不同的形状。同样,第二非易失性存储器 M222 的第三接触垫层 P33 和第四接触垫层 P44 具有与第一存储器件的第二非易失性存储器 M2 的第三和第四接触垫层 P3 和 P4 不同的形状。

[0153] 更具体而言,如图 1 所示在第一存储器件的第一非易失性存储器 M1 的第一和第二接触垫层 P1 和 P2 远离相邻的 STI 层 12 延伸的同时,如图 3 所示,第三存储器件的第一非易失性存储器 M11 的第一和第二接触垫层 P11 和 P22 在 STI 层 12 上延伸。同样,第三存储器件的第二非易失性存储器 M222 的第三和第四接触垫层 P33 和 P44 在相邻的 STI 层 22 上延伸。第一非易失性存储器 M11 的第一和第二接触垫层 P11 和 P22 延伸相同的长度,但是也可以根据接触位置延伸不同长度。类似的,第二非易失性存储器 M222 的第三和第四接触垫层 P33 和 P44 延伸相同的长度,但是也可以根据接触位置延伸不同长度。

[0154] 如图 3 所示,当第一非易失性存储器 M11 的第一和第二接触垫层 P11 和 P22 以及第二非易失性存储器 M222 的第三和第四接触垫层 P33 和 P44 被设置在相同的垂直面上时,STI 层 12 上第一和第二接触垫层 P11 和 P22 的延伸长度可以不同于 STI 层 22 上第三和第四接触垫层 P33 和 P44 的延伸长度。

[0155] 但是,第一非易失性存储器 M11 的第一和第二接触垫层 P11 和 P22 以及第二非易失性存储器 M222 的第三和第四接触垫层 P33 和 P44 可以不设置在相同的垂直面上。例如,

从平面图上看,第一非易失性存储器 M11 的第一和第二接触垫层 P11 和 P22 可以水平设置,而第二非易失性存储器 M222 的第三和第四接触垫层 P33 和 P44 可以竖直设置。与此类似,如果第一非易失性存储器 M11 的第一接触垫层 P11 与第二非易失性存储器 M222 的第三接触垫层 P33 不交叠并且第一非易失性存储器 M11 的第二接触垫层 P22 与第二非易失性存储器 M222 的第四接触垫层 P44 不交叠时,第二非易失性存储器 M222 的第三接触垫层 P33 就不会存在于由暴露第一非易失性存储器 M11 的第一接触垫层 P11 的第一通孔 H11 所形成的路径中。这样,就可以任意地确定 STI 层 12 上第一非易失性存储器 M11 的第一接触垫层 P11 的延伸长度。基于相同的原因,也可以任意地确定 STI 层 12 上第二接触垫层 P22 的延伸长度。因此,STI 层 12 上第一非易失性存储器 M11 的第一和 / 或第二接触垫层 P11 和 P22 的延伸长度可以比 STI 层 22 上第二非易失性存储器 M222 的第三和 / 或第四接触垫层 P33 和 P44 的延伸长度长,但是也可以与其相等或比其更短。

[0156] 同时,接触垫 CP1, CP2, CP3 和 CP4 以及第一和第二栅接触垫 GP1 和 GP2 可以被设置在第一和第二非易失性存储器 M11 和 M222 之间的界面上。在这种情况下,仅在第一非易失性存储器 M11 的第三绝缘层 16 中形成分别暴露第一和第二接触垫层 P11 和 P22 的第一和第二通孔 H11 和 H22。这样,即使第一非易失性存储器 M11 的第一和第二接触垫层 P11 和 P22 以及第二非易失性存储器 M222 的第三和第四接触垫层 P33 和 P44 被设置在相同的垂直面上,在形成第一和第二通孔 H11 和 H22 期间,第二非易失性存储器 M222 的第三和第四接触垫层 P33 和 P44 也不会受到 STI 层 12 上其延伸长度的影响。因此,即使接触垫 CP1, CP2, CP3 和 CP4 以及第一和第二栅接触垫 GP1 和 GP2 被设置在第一和第二非易失性存储器 M11 和 M222 之间的界面上,也可以任意的确定 STI 层 12 上第一和第二接触垫层 P11 和 P22 的延伸长度。

#### [0157] 实施例 4

[0158] 如图 4 所示,根据本发明第四实施例的非易失性存储器件(下文中,称为“第四存储器件”)为前面的第二和第三存储器件的组合。

[0159] 参看图 4,第四存储器件包括图 3 中所示的第三存储器件的第一非易失性存储器 M11 以及图 2 中所示的第二存储器件的第二非易失性存储器 M22。这里不重复对于非易失性存储器 M11 和 M22 的说明。该第一和第二非易失性存储器 M11 和 M22 被顺序的堆叠并彼此结合。在这种情况下,接触垫 CP1, CP2, CP3 和 CP4 以及第一和第二栅接触垫 GP1 和 GP2 可以被设置在第一和第二非易失性存储器 M11 和 M22 之间的界面上。

#### [0160] 实施例 5

[0161] 参看图 5,根据第五实施例的非易失性存储器件(下文中,称为“第五存储器件”)包括第一非易失性存储器 M12 和第二非易失性存储器 M21。该第一和第二非易失性存储器 M12 和 M21 被顺序的堆叠并彼此结合。在第一非易失性存储器 M12 的第三绝缘层 16 中形成第一通孔 H12 和第二通孔 H21,其分别暴露第一接触垫层 P1 和第二接触垫层 P2。分别用第一和第二导电插塞 P12 和 P21 填充该第一和第二通孔 H12 和 H21。分别用第三和第四接触垫层 34 和 36 覆盖该第一和第二导电插塞 P12 和 P21。第三和第四接触垫层 34 和 36 在第一和第二导电插塞 P12 和 P21 周围的第三绝缘层 16 上延伸。通过第三绝缘层 16 和另一第三绝缘层 26 将第一和第二非易失性存储器 M12 和 M32 彼此结合。对于该结构,第三绝缘层 16 和 26 的结合表面应该具有高平整度。这样,第三和第四接触垫层 34 和 36 与第三绝

缘层 16 形成了平坦的顶表面,而不是设置在绝缘层 16 上。如果第三和第四接触垫层 34 和 36 被设置在第三绝缘层 16 上,则可以进一步在第三绝缘层 16 上形成附加绝缘层,从而平面地覆盖第三和第四接触垫层 34 和 36。第一非易失性存储器 M12 的其余结构与图 1 所示第一存储器件的第一非易失性存储器 M1 的相同。在第二非易失性存储器 M21 中,接触垫 CP5 和 CP6 被设置在绝缘层 32 的底表面上(实际上,由于第二非易失性存储器 M21 被翻转,在绝缘层 32 的顶表面上)。该接触垫 CP5 和 CP6 分别与第一非易失性存储器 M12 的第三和第四接触垫层 34 和 36 相连。该接触垫 CP5 和 CP6 通过导电插塞分别与第三和第四接触垫层 34 和 36 相连,所述导电插塞填充了与图 5 所示的垂直面不同的垂直面中所形成的通孔。这样,图 5 中没有示出导电插塞。然而,如虚线所示,连接接触垫 CP5 和 CP6 以及第三和第四接触垫层 34 和 36 的导电插塞可以被设置在与第一和第二导电插塞 P12 和 P21 相同的垂直面上。第二非易失性存储器 M21 的其余结构与图 1 所示第一存储器件的第二非易失性存储器 M2 的相同。

#### [0162] 实施例 6

[0163] 根据本发明第六实施例的非易失性存储器件(下文中,称为“第六存储器件”)包括公用栅。

[0164] 参看图 6,绝缘层 11 被设置在第一半导体衬底 10 上,并且 STI 层 12 被设置在绝缘层 11 上。半导体衬底(未示出)被设置在设置于 STI 层 12 之间的绝缘层 11 上。半导体衬底包括第一杂质区 10s,第二杂质区 10d,以及沟道区 10c。第三栅堆叠结构 G33 被设置在沟道区 10c 上。第三栅堆叠结构 G33 包括第一绝缘层 17,数据存储层 18,第二绝缘层 19,控制栅 CG,另一第二绝缘层 25,另一数据存储层 28,以及另一第一绝缘层 29。该第三栅堆叠结构 G33 包括第一非易失性存储器 M1 的第一栅堆叠结构 G11 和第二非易失性存储器 M2 的第二栅堆叠结构 G22,它们彼此结合。这样,第三栅堆叠结构 G33 的控制栅 CG 对应于第一栅堆叠结构 G11 的控制栅 20 和第二栅堆叠结构 G22 的控制栅 24 的结合结构。假设控制栅 20 和 24 由相同的材料构成,则控制栅 CG 如图 6 中的单层所示。设置在第三栅堆叠结构 G33 周围的隔离层 12 以及半导体衬底被层间电介质(ILD)33 覆盖。ILD33 形成为与第三栅堆叠结构 G33 的高度相同。第一接触垫层 P1 和第二接触垫层 P2 被设置在 ILD33 中。第一接触垫层 P1 的一个端部与第一杂质区 10s 相连,同时第二接触垫层 P2 的一个端部与第二杂质区 10s 相连。STI 层 22 被设置在 ILD33 上。半导体衬底(未示出)被设置在设置于 STI 层 22 之间的 ILD33 上并且覆盖第三栅堆叠结构 G33。该半导体衬底包括沟道区 30c 以及第一和第二杂质区 30d 和 30s,第一和第二杂质区 30d 和 30s 被设置在沟道区 30c 的两侧。优选的,沟道区 30c 被设置在第三栅堆叠结构 G33 上。第三接触垫层 P3 和第四接触垫层 P4 被设置在 ILD33 的上部。第三接触垫层 P3 的一个端部与第一杂质区 30d 相连,同时第四接触垫层 P4 的一个端部与第二杂质区 30s 相连。当第三和第四接触垫层 P3 和 P4 设置在与第一和第二接触垫层 P1 和 P2 相同的垂直面上时,如上所述,STI 层 22 上第三和第四接触垫层 P3 和 P4 的延伸长度可以短于 STI 层 12 上第一和第二接触垫层 P1 和 P2 的延伸长度。

[0165] 但是,如果第三和第四接触垫层 P3 和 P4 设置在其上设置第一和第二接触垫层 P1 和 P2 的表面不同的垂直面上时,如上所述,可以任意确定第三和第四接触垫层 P3 和 P4 的延伸长度以及第一和第二接触垫层 P1 和 P2 的延伸长度。

[0166] STI 层 22 以及半导体衬底被绝缘层 32 覆盖。在一堆叠结构中形成第一通孔 H1' 和第二通孔 H2', 该堆叠结构包括绝缘层 32, STI 层 22, 以及 ILD33, 所述第一和第二通孔分别暴露第一和第二接触垫层 P1 和 P2。分别用第一导电插塞 PL1' 和第二导电插塞 PL2' 填充第一和第二通孔 H1' 和 H2'。并且, 在一堆叠结构中形成第三通孔 H3' 和第四通孔 H4', 该堆叠结构包括绝缘层 32, STI 层 22, 以及部分 ILD33, 所述第三和第四通孔分别暴露第三和第四接触垫层 P3 和 P4。分别用第三导电插塞 PL3' 和第四导电插塞 PL4' 填充第三和第四通孔 H3' 和 H4'。并且, 在不同于其中形成有第一至第四通孔 H1', H2', H3' 和 H4' 的垂直面的其它垂直面中形成一通孔。该通孔暴露第三栅堆叠结构 G33 的控制栅 CG 并用导电插塞填充该通孔。

[0167] 第一接触垫 CP1', 第二接触垫 CP2', 第三接触垫 CP3' 以及第四接触垫 CP4' 被设置在绝缘层 32 上, 并分别覆盖第一、第二、第三以及第四导电插塞 PL1', PL2', PL3' 以及 PL4'。并且, 栅接触垫 GP3 被设置在绝缘层 32 上。该栅接触垫 GP3 覆盖导电插塞的整个暴露表面, 其中该导电插塞被填充在暴露第三栅堆叠结构 G33 的控制栅 CG 的通孔中。

[0168] 在第六存储器件中, 第一和第三接触垫 CP1' 和 CP3' 可以被整体地连接或者第二和第四接触垫 CP2' 和 CP4' 可以被整体连接。

[0169] 图 7 示出了图 1 至 5 所示第一至第六存储器件中任何一个的等效电路。

[0170] 在图 7 中, 附图标记  $V_{gn}$  表示施加于第二非易失性存储器 M2 的控制栅 24 的电压, 并且  $V_{gp}$  表示施加于第一非易失性存储器 M1 的控制栅 20 的电压。附图标记  $V_{ps}$  表示施加于第一非易失性存储器 M1 的第一杂质区 10s 的电压,  $V_{ns}$  表示施加于第二非易失性存储器 M2 的第二杂质区 30s 的电压。并且, 附图标记  $V_{pd}$  表示施加于第一非易失性存储器 M1 的第二杂质区 10d 的电压, 并且  $V_{nd}$  表示施加于第二非易失性存储器 M2 的第一杂质区 30d 的电压。

[0171] 由于第一和第二存储器件每个都包括彼此竖直结合的 p 型非易失性存储器和 n 型非易失性存储器, 因此该第一和第二存储器件具有比其包括水平结合结构时更高的集成密度和迁移率。

[0172] 如果 p 和 n 型非易失性存储器被水平结合, 则应该在相同的衬底中形成不同的阱。但是, 因为通过在分离的衬底上形成 p 和 n 型非易失性存储器然后将其结合来制造第一至第六存储器件中的每一个, 因此无需在相同的衬底中形成不同的阱。这样, 就能够省略阱形成工艺。

[0173] 下文中, 将对根据本发明以上实施例的存储器件的操作方法进行说明。这里, 将描述第一存储器件的操作方法以作为实例。

[0174] 现将参照图 8 中所示第一存储器件的等效电路对第一存储器件的操作, 即写、擦除和读操作进行说明。

[0175] 在图 8 中, 附图标记 V1 是指施加于非易失性存储器 M1 的第一杂质区 10s 的第一电压, 其中该非易失性存储器 M1 为 p 型非易失性存储器, 并且附图标记 V2 是指施加于非易失性存储器 M1 的第一栅堆叠结构 G11 的第二电压。附图标记 V4 是指施加于第二非易失性存储器 M2 的第二栅堆叠结构 G22 的第四电压, 其中该第二非易失性存储器 M2 为 n 型非易失性存储器, 并且 V5 是指施加于第二非易失性存储器 M2 的第二杂质区 30s 的第五电压。并且, 附图标记 V3 是指施加于第一非易失性存储器 M1 的第二杂质区 10d 以及第二非易失性

存储器 M2 的第一杂质区 30d 的第三电压。

[0176] < 写操作 >

[0177] 现将描述使用沟道热电子注入 (CHEI) 的第一存储器件的写操作。

[0178] 首先,将对数据被写入在第一和第二非易失性存储器 M1 和 M2 两者中的情况(下文称为第一情况)进行说明。

[0179] 参看图 9,在第一情况下,施加例如 -5V 的预定电压以作为第一和第二电压 V1 和 V2。并且,施加例如 5V 的预定电压以作为第四和第五电压 V4 和 V5,并且向第一非易失性存储器 M1 的第二杂质区 10d 以及第二非易失性存储器 M2 的第一杂质区 30d 施加 0V 以作为第三电压 V3。通过施加第一至第五电压 V1, V2... 以及 V5,在第一非易失性存储器 M1 的数据存储层 18 中俘获了空穴,同时在第二非易失性存储器 M2 的数据存储层 28 中俘获电子。结果,第一和第二非易失性存储器 M1 和 M2 的阈值电压增加。也就是说,第一和第二非易失性存储器 M1 和 M2 的阈值电压曲线发生了偏移。

[0180] 接着,将对数据只被写入在第一和第二非易失性存储器 M1 和 M2 之一中的情况(下文中称为第二情况)进行说明。

[0181] 图 10 为一个等效电路图,显示了数据仅被写入在第二非易失性存储器 M2 中的情况。在这种情况下,第一至第三电压 V1, V2 和 V3 保持 0V,同时,施加例如 5V 的预定电压以作为第四和第五电压 V4 和 V5。

[0182] 通过如上所述施加电压,写入在非易失性存储器 M1 的数据存储层 18 中的数据保持被存储,电子在第二非易失性存储器 M2 的数据存储层 28 中被俘获。这样,第二非易失性存储器件 M2 的阈值电压曲线就会沿着电压增大的方向偏移。

[0183] 图 11 为一个等效电路图,显示数据仅被写入在第一非易失性存储器 M1 中的情况。在这种情况下,施加给第二非易失性存储器 M2 的电压,即第三至第五电压 V3, V4 和 V5 保持 0V,同时,施加例如 -5V 的预定电压以作为第一和第二电压 V1 和 V2。通过如上所述施加电压,在第一非易失性存储器 M1 的数据存储层 18 中俘获了空穴,同时写入在第二非易失性存储器 M2 中的数据保持被存储。

[0184] < 擦除操作 >

[0185] 现将描述使用热空穴注入 (HHI) 的第一存储器件的擦除操作。

[0186] 首先,将对仅从第一和第二非易失性存储器 M1 和 M2 之一中擦除数据的情况(下文中称为第三情况)进行说明。

[0187] 图 12 为一个等效电路图,显示了仅从第二非易失性存储器 M2 中擦除数据的情况。在这种情况下,施加例如 -5V 的预定电压以作为第四电压 V4,并且施加例如 5V 的预定电压以作为第五电压。并且,施加 0V 以作为第一至第三电压 V1, V2 和 V3。

[0188] 通过施加电压 V1, V2... 以及 V5,在第二非易失性存储器 M2 的数据存储层 28 中被俘获的电子被发射到衬底。也就是说,写入在第二非易失性存储器 M2 中的数据被擦除。

[0189] 接着,图 13 为一个等效电路图,显示了仅从第一非易失性存储器 M1 中擦除数据的情况。在这种情况下,0V 被施加给第二非易失性存储器 M2 的第一和第二杂质区 30d 和 30s 以及第二栅堆叠结构 G22。在这种状态下,将例如 5V 的预定电压施加给第一非易失性存储器 M1 的第一栅堆叠结构 G11,并且将例如 -5V 的预定电压施加给第一杂质区 10s。但是,0V 被施加给第一非易失性存储器 M1 的第二杂质区 10d。

[0190] 通过施加上述电压,在第一非易失性存储器 M1 的数据存储层 18 中俘获的空穴被发射到衬底。也就是说,写入在第一非易失性存储器 M1 中的数据被擦除。

[0191] 接着,将参照图 14 对从第一和第二非易失性存储器 M1 和 M2 两者中擦除数据的情况(下文中称为第四情况)进行说明。

[0192] 参看图 14,在第四情况下,例如 5V 的预定电压被施加给第一非易失性存储器 M1 的第一栅堆叠结构 G11,例如 -5V 和 0V 的预定电压被分别施加给第一非易失性存储器 M1 的第一和第二杂质区 10s 和 10d。例如 -5V 的预定电压被施加给第二非易失性存储器 M2 的第二栅堆叠结构 G22,并且,例如 0V 和 5V 的预定电压被分别施加给第二非易失性存储器 M2 的第一和第二杂质区 30d 和 30s。

[0193] 通过施加上述电压,在第一非易失性存储器 M1 的数据存储层 18 中俘获的空穴以及在第二非易失性存储器 M2 的数据存储层 28 中俘获的电子被发射到衬底,使得写入在第一和第二非易失性存储器 M1 和 M2 中的数据被擦除。

[0194] 下面,将对同时从第一存储器件中擦除数据并向其中写入数据的情况进行说明。

[0195] 参看图 15,其为一个等效电路图,显示了在数据被写入第一非易失性存储器 M1 中并且从第二非易失性存储器 M2 中擦除被存储数据的情况。将例如 -5V 的预定电压施加给第一非易失性存储器 M1 的第一栅堆叠结构 G11 和第一杂质区 10s。并且,将例如 0V 的预定电压施加给第二杂质区 10d。同时,将例如 -5V 和 5V 的预定电压分别施加给第二非易失性存储器 M2 的第二栅堆叠结构 G22 和第二杂质区 30s。并且,将例如 0V 的预定电压施加给第一杂质区 30d。

[0196] 结果,空穴从衬底隧穿并在第一非易失性存储器 M1 的数据存储层 18 中被俘获,在第二非易失性存储器 M2 的数据存储层 28 中被俘获的电子被发射到衬底。这样,数据被写入在第一非易失性存储器中,并擦除了被写入在第二非易失性存储器中的数据。

[0197] 参看图 16,其为一个等效电路图,显示了擦除存储在第一非易失性存储器 M1 中的数据并且将数据写入第二非易失性存储器中的情况。将例如 5V 的预定电压施加给第一非易失性存储器 M1 的第一栅堆叠结构 G11,并且将例如 -5V 的预定电压施加给第一非易失性存储器 M1 的第一杂质区 10s。并且,将例如 0V 的预定电压施加给第一非易失性存储器 M1 的第二杂质区 10d。同时,将例如 5V 的预定电压施加给第二非易失性存储器 M2 的第二栅堆叠结构 G22 和第二杂质区 30s,并且将例如 0V 的预定电压施加给第一杂质区 30d。

[0198] 结果,电子从衬底隧穿并在第二非易失性存储器 M2 的数据存储层 28 中被俘获,在第一非易失性存储器 M1 的数据存储层 18 中被俘获的空穴被发射到衬底。这样,数据被写入在第二非易失性存储器 M2 中,并擦除了写入在第一非易失性存储器 M1 中的数据。

[0199] 图 17 说明了当图 1 至 5 中所示的非易失性存储器件为 2 位存储器件时,数据状态之间的转换以及数据状态之间进行转换所需的条件。更具体而言,当第一和第二非易失性存储器 M1 和 M2 中的每一个都是 1 位存储器件并且例如第一存储器件为 2 位存储器件时,图 17 示出了由第一存储器件表示的四个数据状态,即 00,01,10 和 11,以及从第一存储器件的一个数据状态转换至另一个数据状态所需的条件。例如,从图 17 中可以知道,为了从一个数据状态转换至另一个数据状态,数据应该被写入在第一和 / 或第二非易失性存储器 M1 和 M2 中或者存储在其中的数据应该被保持。

[0200] 更具体的,在图 17 中,附图标记  $p0n+$  表示在第一存储器件中从数据状态 00 转换

至数据状态 01 的条件。换句话说,附图标记 p0n+ 是指为了将写入在第一存储器件中的位数据从 00 转换至 01 而被施加给第一和第二非易失性存储器 M1 和 M2 的电压特性。在 p0n+ 中, p 是指第一非易失性存储器 M1, n 是指第二非易失性存储器 M2, 0 是指保持被写入的位数据, 并且 + 是指施加写电压。

[0201] 在这种情况下, p0n+ 表示在第一存储器中, 写入在第一非易失性存储器 M1 中的位数据被保持, 并且预定的写电压被施加给第二非易失性存储器 M2。

[0202] 基于数据状态之间的转换所需的条件, 确定了将被施加给第一和第二非易失性存储器 M1 和 M2 的第一至第五电压 V1, V2, V3, V4 和 V5。这样, 写入在第一存储器件中的位数据能够被改变, 例如从 00 转换为 01 或者是从 11 转换至 00。将写入在第一存储器件中的位数据“00”转换为“01”就是将位数据“01”写入第一存储器件中。并且, 转换写入在第一存储器件中的位数据“11”就是从第一存储器件中擦除位数据“11”。

[0203] 如果第一存储器件为多位存储器件, 例如 2 位存储器件, 则如表 1 所示, 能够提供在数据状态之间进行转换的 9 个条件。

[0204] 【表格 1】

[0205]

转换条件	输入电压				
	V1	V2	V3	V4	V5
p0n0	0	0	0	0	0
p0n+	0	0	0	5	5
p0n-	0	0	0	-5	5
p+n0	-5	-5	0	0	0
p+n+	-5	-5	0	5	5
p+n-	-5	-5	0	-5	5
p-n0	-5	5	0	0	0
p-n+	-5	5	0	5	5
p-n-	-5	5	0	-5	5

[0206] 如表 1 所示, 在转换条件 p0n0, p0n+ 以及 p0n- 下, 写入在第一非易失性存储器 M1 (P-NVM) 中的位数据保持被存储 (即 p0), 写入在第二非易失性存储器 M2 (N-NVM) 中的位数据也保持被存储或者被改变。在转换条件 p+n0, p+n+ 以及 p+n- 下, 写入在第一非易失性存储器 M1 中的位数据从 0 改变至 1 (即, p+), 写入在第二非易失性存储器 M2 中的位数据保持被存储或被改变。并且, 在转换条件 p-n0, p-n+ 以及 p-n- 下, 写入在第一非易失性存储器 M1 中的位数据从 1 改变至 0 (即, p-), 写入在第二非易失性存储器 M2 中的位数据保持被存储或被改变。

[0207] 同时, 第一存储器件可以为 4 位存储器件。在这种情况下, 16 多位数据 (即, 0000, 0001, 0010, ..., 以及 1111) 能够被写入在第一存储器件中。这样, 如图 18 中所示, 转换写

入在作为 4 位存储器件的第一存储器件中的多位数据所需的条件比 2 位存储器件的转换条件要更多。

[0208] 在图 18 中,双向箭头表示由双向箭头指示的两个多位数据能够相互转换。例如,多位数据 0000 和 0111 之间的双向箭头表示 0000 能够被转换为 0111,并且 0111 也能被转换为 0000。根据这样的转换条件,就能够确定被施加给第一和第二非易失性存储器 M1 和 M2 的第一和第二栅堆叠结构 G11 和 G22,第一杂质区 10s 和 30d,以及第二杂质区 10d 和 30s 的第一至第五电压  $V_1, V_2, \dots, V_5$ 。

[0209] 如上所述,本发明的第一存储器件能够基于转换条件以单元单位 (cellunits) 擦除或写入数据,而不像传统的非易失性存储器那样以块单位 (blockunits) 擦除或写入数据。因此,本发明的第一存储器件能够获得很高的操作速度并且降低功率损耗。

[0210] 上面的内容能够被类似的应用于本发明的第二至第六存储器件。

[0211] < 读操作 >

[0212] 下面参照图 21 对第一存储器件的读操作进行说明,其中图 21 为当如图 1 至 5 所示的非易失性存储器件为 2 位存储器件时,输入电压 - 输出电压的关系图。

[0213] 参看图 21,通过包括在作为 2 位存储器件的第一存储器件中的第一和第二非易失性存储器 M1 和 M2 之间的互补作用来获得输入电压 - 输出电压曲线。在图 21 中,水平轴为施加于第一存储器件的栅极的电压,垂直轴为从第一存储器件输出的电压。

[0214] 在图 21 中,第一至第四曲线 G1, G2, G3 和 G4 示出了关于写入在第一存储器件中的 2 位数据的第一存储器件的电压特性。

[0215] 更具体而言,第一曲线 G1 示出了包括其中俘获空穴的第一非易失性存储器 M1 以及其中没有俘获电子的第二非易失性存储器 M2 的第一存储器件的电压特性。第二曲线 G2 示出了包括其中俘获空穴的第一非易失性存储器 M1 以及其中俘获电子的第二非易失性存储器 M2 的第一存储器件的电压特性。第三曲线 G3 示出了包括其中没有俘获空穴的第一非易失性存储器 M1 以及其中没有俘获电子的第二非易失性存储器 M2 的第一存储器件的电压特性。并且,第四曲线 G4 示出了包括其中没有俘获空穴的第一非易失性存储器 M1 以及其中俘获电子的第二非易失性存储器 M2 的第一存储器件的电压特性。

[0216] 参看第一和第二曲线 G1 和 G2,该第一和第二曲线 G1 和 G2 从相同的正外加电压 (下文中称为第一阈值电压) 例如 4V 开始,然后随着外加电压的减小而逐渐发散。这样,当外加电压为 0V 时,输出电压不同。第一和第二曲线 G1 和 G2 保持发散,直到外加电压达到预定的负值。

[0217] 一旦外加电压变成了预定的负电压 (下文中称为第三输入电压) 例如 -1V,则第一曲线 G1 保持水平。并且,一旦外加电压变成了比第三输入电压低的负电压 (下文中称为第四输入电压) 例如 -2V,则第二曲线 G2 与第一曲线 G1 一样保持水平。

[0218] 通过利用第一和第二曲线 G1 和 G2 的特性,能够读取被写入在第一存储器件中的位数据。

[0219] 即,第一和第二曲线 G1 和 G2 示出了在第一存储器的第一非易失性存储器 M1 中俘获空穴的情况。因此,将例如 5V 的预定电压施加给第一存储器件,接着在缓慢降低外加电压的同时察觉到第一和第二曲线 G1 和 G2 开始处的电压。结果,写入在第一存储器的第一非易失性存储器 M1 中的位数据“1”能够被读出。

[0220] 接着,当施加保持第一和第二曲线 G1 和 G2 分散的例如 0V 的预定电压时,对第一存储器件的输出电压进行测量。这样,能够读出写入在第一存储器的第二非易失性存储器 M2 中的位数据为 0 还是 1。

[0221] 例如,在察觉到第一和第二曲线 G1 和 G2 开始处的电压之后,当通过将 0V 施加给第一存储器件而测得的第一存储器件的输出电压满足从第一曲线 G1 中获得的值时,就可以推知,第一存储器件的第二非易失性存储器 M2 中没有俘获电子。因此,可以认为位数据“1”被写入在第一非易失性存储器 M1 中并且位数据“0”被写入在第二非易失性存储器 M2 中。这样,写入在第一存储器件中的多位数据被读作 10。按照相同的方式,写入在第一存储器件中的多位数据可以被读作 11。

[0222] 基于第三和第四曲线 G3 和 G4,写入在第一存储器件中的其他位数据,例如 01 或 00,能够被读出。因为该过程与上述根据第一和第二曲线 G1 和 G2 读取写入在第一存储器件中的位数据 10 或 11 的过程相同,因此这里不再对其详细说明。

[0223] 图 19 是读电路,该电路使用如图 21 中所示的输入电压 - 输出电压曲线从作为 2 位存储器件的第一存储器件中读取 2 位数据。

[0224] 下面将参照图 19 对从第一存储器件 M 中读取 2 位数据的过程进行说明。

[0225] 起先,高于第一和第二曲线 G1 和 G2 开始处的电压的预定电压(例如 5V)被施加给第一和第二非易失性存储器 M1 和 M2 的公用栅 GC。同时,预定电压例如 5V 被施加给第一非易失性存储器 M1 的第一杂质区 10s。并且,第二非易失性存储器 M2 的第二杂质区 30s 接地。

[0226] 之后,在缓慢降低公用栅 GC 的外加电压的同时测量第一存储器件 M 的输出电压,该电压高于参考电压(例如,100mV)。参考电压可以是第一和第二曲线 G1 和 G2 或第三和第四曲线 G3 和 G4 发散之前测量的电压。为了测量第一存储器件 M 的输出电压,第一电压比较器 VP1 与第一存储器件 M 的输出端相连。第一电压比较器 VP1 的两个输入端之一与第一存储器件 M 的输出端相连,并且参考电压被施加给第一电压比较器 VP1 的另一个输入端。

[0227] 按照与感知图 21 所示的第一和第二曲线 G1 和 G2 或第三和第四曲线 G3 和 G4 开始处的电压的过程相同的方式,在缓慢的降低公用栅 GC 的外加电压的同时进行第一存储器件 M 的输出电压的测量。

[0228] 由于优选迅速的测量第一存储器件的输出电压,因此第一电压比较器 VP1 应该尽可能的察觉低输出电压。因此,第一电压比较器 VP1 可以测量比第一和第二曲线 G1 和 G2 或第三和第四曲线 G3 和 G4 发散处的电压还低的电压。

[0229] 这样,远远低于第一和第二曲线 G1 和 G2 或第三和第四曲线 G3 和 G4 发散处输出电压的电压(例如,100mV)作为参考电压而被施加给第一电压比较器 VP1。如果第一存储器件 M 的输出电压等于或高于被施加给第一比较器 VP1 的参考电压,则第一电压比较器 VP1 就会生成对应于 1 的信号,否则,该第一电压比较器 VP1 生成对应于 0 的信号。

[0230] 该第一电压比较器 VP1 通常与设置在公用栅 CG 和电源  $V_s$  之间的第一通路晶体管(pass transistor)PT1 的 P-MOSFET、设置在公用栅 GC 和第二电压比较器 VP2 之间的第二通路晶体管 PT2 的 P-MOSFET、通常与第一和第二通路晶体管 PT1 和 PT2 的 N-MOSFET 相连的反相器 IV 以及连接在第一通路晶体管 PT1 和公用栅 GC 之间的晶体管 T 相连。

[0231] 因此,当第一电压比较器 VP1 生成对应于 1 的信号(下文中称为比较器信号)时,

该比较器信号同时被施加给第一和第二通路晶体管 PT1 和 PT2 的 P-MOSFET、反相器 IV 以及晶体管 T。这样,从反相器 IV 输出对应于 0 的信号,使得第一和第二通路晶体管 PT1 和 PT2 的 N-MOSFET 被关断。并且,由于比较器信号被施加给第一和第二通路晶体管 PT1 和 PT2 的 P-MOSFET,因此 P-MOSFET 被关断。结果,第一和第二通路晶体管 PT1 和 PT2 被关断,使得从电源  $V_s$  施加给公用栅 GC 的电压被切断,接着通过第二通路晶体管 PT2 施加给第二电压比较器 VP2 的电压也被切断。

[0232] 同时,在第二通路晶体管 PT2 被关断之前,施加给公用栅 GC 的电压被施加给与第二通路晶体管 PT2 相连的第二电压比较器 VP2 的一输入端。当第二通路晶体管 PT2 被关断时,施加给第二电压比较器 VP2 的输入端的电压被切断。但是,因为与从电源  $V_s$  施加给公用栅 GC 的电压相同的电压被连续的施加给第二电压比较器 VP2 的输入端直到其被切断,虽然第二通路晶体管 PT2 被关断,与施加给公用栅 GC 的电压相同的电压被连续的施加给与第二通路晶体管 PT2 相连的第二电压比较器 VP2 的输入端。

[0233] 之后,当比较器信号也被施加给第二电压比较器 VP2 时,第二电压比较器 VP2 会工作。因为第一比较器 VP1 生成对应于 0 的信号直到第二通路晶体管 PT2 被关断,所以第二电压比较器 VP2 不工作。

[0234] 第二电压比较器 VP2 对输入给与第二通路晶体管 PT2 相连的输入端(下文中称为第一输入端)的电压与施加给另一个输入端(下文中称为第二输入端)的参考电压进行比较。从图 21 的第一和第二曲线 G1 和 G2 中可以知道,当第二电压比较器 VP2 开始工作时输入给第一输入端的电压是第一和第二曲线 G1 和 G2 开始处的输入电压(下文中称为第一输入电压)或者是第三和第四曲线 G3 和 G4 开始处的输入电压(下文中称为第二输入电压)。在第一输入电压被施加给公用栅 GC 的时间点上写入在第一非易失性存储器 M1 中的位数据不同于在第二输入电压被施加给它的时间点上写入的位数据。因此,通过辨别输入给第二电压比较器 VP2 的第一输入端的电压是第一输入电压还是第二输入电压,就能够知道写入在第一非易失性存储器中的位数据。因此,为了分辨出施加给第二电压比较器 VP2 的第一输入端的电压是第一输入电压还是第二输入电压,第一和第二输入电压之间的电压可以作为参考电压而被施加给第二输入端。例如,当第一输入电压为 +4V 并且第二输入电压为 +3V 时,3.5V 的参考电压能够被施加给第二电压比较器 VP2 的第二输入端。在该实例中,当第一输入电压被施加给第一输入端时,因为第一输入电压高于参考电压,因此第二电压比较器 VP2 输出对应于 1 的信号。并且,当第二输入电压被施加给第一输入端时,第二电压比较器 VP2 输出对应于 0 的信号。

[0235] 如上所述,当图 21 的第一和第二曲线 G1 和 G2 从第一输入电压开始时,在第一非易失性存储器 M1 中俘获空穴,即位数据“1”被写入在第一非易失性存储器 M1 中。当图 21 的第三和第四曲线 G3 和 G4 从第二输入电压开始时,在第一非易失性存储器 M1 中没有俘获空穴,即位数据“0”被写入在第一非易失性存储器 M1 中。这样,从第二电压比较器 VP2 输出的对应于 1 或 0 的信号能够被视为写入在第一非易失性存储器 M1 中的位数据 1 或 0。

[0236] 从第二电压比较器 VP2 中输出的信号被输入给与其相连的编码器 EC。当从第二电压比较器 VP2 输入给编码器 EC 的信号对应于 1 时,该编码器 EC 将信号视为 1。另一方面,当从第二电压比较器 VP2 输入给编码器 EC 的信号对应于 0 时,该编码器 EC 将信号视为 0。该编码器 EC 对输入信号进行编码并将编码后的信号发送给中央处理器(CPU)的电压比

较电路 VCP。该电压比较电路 VCP 对当 0V 被施加给公用栅 GC 时第一存储器件 M 的输出电压与从编码器 EC 输入的信号计算出来的输入给第二电压比较器 VP2 的第一输入端的电压（第一或第二输入电压）进行比较。接着，该电压比较电路 VCP 输出写入在第一存储器件 M 中的数据。

[0237] 更具体的，如果第一存储器件 M 的输出电压等于或高于第一电压比较器 VP1 的参考电压，则第一和第二通路晶体管 PT1 和 PT2 被关断，并且从电源  $V_s$  施加给公用栅 GC 的电压被切断。并且，接地晶体管 T 导通，使得 0V 的电压被施加给公用栅 GC。这时，从第一存储器件 M 输出预定电压并将其输入给电压比较电路 VCP。当 0V 被施加给公用栅 GC 时，从第一存储器件 M 中输出的电压取决于写入在第一存储器件中的位数据。

[0238] 上述说明由以下事实支持，即图 21 的第一至第四曲线 G1, G2, G3 和 G4 在输入电压为 0V 时分别具有不同的输出电压。

[0239] 即，在施加给第一存储器件 M 的公用栅 GC 的电压变成第一输入电压之后，当施加给公用栅 GC 的电压变成 0V 时，第一存储器件 M 的输出电压变得等于在输入电压为 0V 时得到的第一和第二曲线 G1 和 G2 之一的输出电压。

[0240] 如果当 0V 被施加给公用栅 GC 时获得的第一存储器件 M 的输出电压等于图 1 的第一曲线 G1 的输出电压，则可以从第一曲线 G1 的特性中看出第一存储器件 M 的第二非易失性存储器 M2 中没有俘获电子。在这种情况下，可以推断位数据“0”被写入在第二非易失性存储器 M2 中。

[0241] 如果当 0V 被施加给公用栅 GC 时获得的第一存储器件 M 的输出电压等于图 21 的第二曲线 G2 的输出电压，则可以从第二曲线 G2 的特性中看出第一存储器件 M 的第二非易失性存储器 M2 中俘获了电子。在这种情况下，可以推断位数据“1”被写入在第二非易失性存储器 M2 中。

[0242] 根据图 21 的第一或第二曲线 G1 或 G2 表示第一存储器件 M 的输出电压意味着在第一非易失性存储器 M1 中俘获有空穴，即，位数据“1”被写入在第一非易失性存储器 M1 中。这可以通过以下事实得到证实：从第二电压比较器 VP2 中输出对应于 1 的信号，其中第一和第二输入电压之间的电压例如 3.5V 被作为参考电压施加给该第二电压比较器 VP2。

[0243] 当从编码器 EC 中输入对应于 1 的信号时，电压比较电路 VCP 感知到第一输入电压例如 4V 被施加给第一存储器件 M 的公用栅 GC。并且，该电压比较电路 VCP 测量从第一存储器件 M 中输入的电压，并将感知到的电压和测量到的电压进行比较，其中在第一存储器件 M 中 0V 被施加给公用栅 GC。根据比较结果，该电压比较电路 VCP 确定写入在第二非易失性存储器 M2 中的位数据是什么。

[0244] 例如，如果从其中 0V 被施加给公用栅 GC 的第一存储器件 M 输入的电压是在 0V 获得的图 21 的第一曲线 G1 的输出电压，即 2.8V，则该电压比较电路 VCP 将感知到的电压（即 4V）与测量到的电压（即 2.8V）进行比较，并确定写入在第二非易失性存储器 M2 中的位数据为 0。另一方面，如果感知到的电压相等并且测量到的电压为在 0V 获得的第二曲线 G2 的输出电压，即 2.5V，则电压比较电路 VCP 对两个数值进行比较，并确定写入在第二非易失性存储器 M2 中的位数据为 1。

[0245] 通过分析比较结果和从编码器 EC 输入的信号，该电压比较电路 VCP 确定写入在第一存储器件 M 中的位数据为 11 或是 10，并输出相应的位数据。

[0246] 在图 19 中,电压比较电路 VCP 中描述的“ $2.5/4 = >10$ ”表示位数据 1 被写入在第一非易失性存储器 M1 中并且位数据 0 被写入在第二非易失性存储器 M2 中。在电压比较电路 VCP 中描述的剩余内容能够在同样意义上被解释。

[0247] 如上所述,在读取被写入在第一存储器件 M 中的位数据的过程中,一旦写入在第一非易失性存储器 M1 中的位数据被读取,则根据如图 21 中所示的第一和第二非易失性存储器 M1 和 M2 的互补电压特性曲线,通过测量当 0V 被施加给第一存储器件 M 的公用栅 GC 时获得的第一存储器件 M 的输出电压就能够知道写入在第二非易失性存储器 M2 中的位数据。因此,就不需要在第二非易失性存储器 M2 上进行读操作。结果,从第一存储器件中读数据所花费的时间就能够被缩短。

[0248] 当第二输入电压、也就是第三和第四曲线 G3 和 G4 开始处的电压被施加给第一存储器件 M 的公用栅 GC 时,可以按照与当第一输入电压被施加给公用栅 GC 时相同的方式说明使用电压比较电路 VCP 读取写入在第一存储器件 M 中的位数据、例如 01 或 00 的过程。

[0249] 在图 19 中,电压比较电路 VCP 中描述的“ $2.0/3 = >01$ ”以及“ $2.5/3 = >00$ ”表示当 3V 的第二输入电压被施加给公用栅 GC 并接着将 0V 施加给公用栅 GC 时,如果第一存储器件 M 的输出电压为 2.0V,则写入在第一存储器件 M 中的数据被视为“01”,并且如果第一存储器件 M 的输出电压为 2.5V 时,写入在第一存储器件 M 中的数据被视为“00”。

[0250] 同时,图 19 的电路能够被修改为具有相同功能的其他电路。图 20 示出了图 19 的读电路的一个修改后的实例。现在对图 20 的电路进行描述,但是对于与图 19 的电路中相同部分的描述将被省略。

[0251] 参看图 20,第三电压比较器 VP2' 与第一存储器件 M 的输出端相连。第三电压比较器 VP2' 的两个输入端之一与第一存储器件 M 的一输出端相连,并且预定的参考电压例如 2.5V 被施加给第一存储器件 M 的另一输入端。第二编码器 EC' 与第三电压比较器 VP2' 的输出端相连,该第二编码器 EC' 执行与连接到第二比较器 VP2 的输出端的编码器(下文中称为第一编码器)相同的功能。并且,第三编码器 OU1 与第一和第二编码器 EC 和 EC' 的输出端相连。当 0V 被施加给公用栅 GC 时,需要第三电压比较器 VP2' 对第一存储器件 M 的输出电压和施加给第三电压比较器 VP2' 的参考电压进行比较。只有当给出对应于 0V 的信号时该第三电压比较器 VP2' 才工作。为进行该操作,第三电压比较器 VP2' 连接在第一和第二通路晶体管 PT1 和 PT2 之间。因此,在第一或第二输入电压被施加给公用栅 GC 之后,因为 0V 的电压被施加给公用栅 GC,因此从第一存储器 M 中输出预定电压并且其被输入给第三电压比较器 VP2'。同时,对应于 0V 的信号被施加给第三电压比较器 VP2',这样,第三电压比较器 VP2' 对从第一存储器件 M 输入的电压与参考电压进行比较,并将比较结果输出给第二编码器 EC'。除了用于操作的信号不同以外,第三电压比较器 VP2' 按照与第二电压比较器 VP2 相同的方式操作。

[0252] 从第一存储器件 M 输入给第三电压比较器 VP2' 的电压是当 0V 被施加给公用栅 GC 时获得的第一存储器件 M 的输出电压,并且对应于图 21 中 0V 的输入电压时第一至第四曲线 G1, G2, G3 以及 G4 的输出电压之一。

[0253] 在缓慢降低施加给第一存储器件 M 的公用栅 GC 的电压的过程中,在施加给公用栅 GC 的电压变成第一输入电压之后,第一电压比较器 VP1 输出比较器信号,当 0V 电压被施加给公用栅 GC 时,第一存储器件 M 能够输出的电压是图 21 中 0V 的输入电压时第一曲线 G1

的输出电压（下文中称为第一输出电压）或者是 0V 的输入电压时第二曲线 G2 的输出电压（下文中称为第二输出电压）。该第一和第二输出电压取决于写入在第一存储器件 M 的第二非易失性存储器 M2 中的位数据。也就是说，在 0V 的电压被施加给公用栅 GC 之后，如果第一存储器件 M 输出第一输出电压，就可以认为：预定的位数据例如 1 被从第二非易失性存储器 M2 中读出。如果第一存储器件 M 输出第二输出电压，则可以认为：其他位数据例如 0 被从第二非易失性存储器 M2 中读出。这样，当从第一存储器件 M 输入第一输出电压时，该第三电压比较器 VP2' 应能够输出对应于位数据 1 的信号，并且当从第一存储器件 M 输入第二输出电压时，第三电压比较器 VP2' 能够输出对应于位数据 0 的信号。因此，施加给第三电压比较器 VP2' 的参考电压可以低于第一输出电压并高于第二输出电压。

[0254] 同时，在施加给公用栅 GC 的电压变成第二输入电压之后，第一电压比较器 VP1 输出比较器信号，当 0V 电压被施加给公用栅 GC 时，第一存储器件 M 能够输出的电压是 0V 的输入电压时第三曲线 G3 的输出电压（下文中称为第三输出电压）或者是 0V 的输入电压时第四曲线 G4 的输出电压（下文中称为第四输出电压）。该第三和第四输出电压取决于写入在第二非易失性存储器 M2 中的位数据。也就是说，在 0V 电压被施加给公用栅 GC 之后，如果第一存储器件 M 输出第三输出电压，就可以认为：预定的位数据例如 1 被从第二非易失性存储器 M2 中读出。如果第一存储器件 M 输出第四输出电压，则可以认为：其他位数据例如 0 被从第二非易失性存储器 M2 中读出。这样，当从第一存储器件 M 输入第三输出电压时，该第三电压比较器 VP2' 应能够输出对应于位数据 1 的信号，并且当从第一存储器件 M 输入第四输出电压时，第三电压比较器 VP2' 能够输出对应于位数据 0 的信号。因此，施加给第三电压比较器 VP2' 的参考电压可以位于第三和第四输出电压之间。

[0255] 参看图 21，可以看出第三和第四输出电压不同，并且第一和第二输出电压也互不相同。因此，在第一输入电压被施加给第一存储器件 M 的公用栅 GC 之后，当 0V 电压被施加给公用栅 GC 时，施加给第三电压比较器 VP2' 的参考电压可以不同于当第二输入电压被施加给公用栅 GC 并接着将 0V 电压施加给公用栅 GC 时施加给第三电压比较器 VP2' 的参考电压。

[0256] 如上所述，当 0V 电压施加给公用栅 GC 时，第三电压比较器 VP2' 开始工作，并对第一存储器件 M 的输出电压和参考电压进行比较，并将对应于写入在第一存储器件 M 的第二非易失性存储器 M2 中的位数据的信号输出给第二编码器 EC'。

[0257] 结果，在图 20 中所示的读电路中，第二电压比较器 VP2 只输出对应于写入在第一存储器件 M 的第一非易失性存储器 M1 中的位数据的信号，同时第三电压比较器 VP2' 只输出对应于写入在第一存储器件 M 的第二非易失性存储器 M2 中的位数据的信号。

[0258] 该第一和第二编码器 EC 和 EC' 分别将第二和第三电压比较器 VP2 和 VP2' 的输出信号编码为位数据 1 或 0，并将该位数据输出给第三编码器 OU1。该第三编码器 OU1 将从第一编码器 EC 输入的位数据和从第二编码器 EC' 输入的位数据组合，对已组合的位数据编码，并输出 2 位多位数据，例如 11, 10, 01 或 00。

[0259] 下文中，将参照图 22 描述由上面的第一存储器件 M 构成的阵列的读操作，其中第一存储器件 M 为 2 位存储器件。

[0260] 图 22 示出了存储单元阵列，其中多个第一存储器件 M 按行和列排列。在图 22 中，附图标记 SR 表示为读操作而选定的行。

[0261] 参看图 22, 电源电压例如 5V 被施加给该阵列中每个第一存储器件 M 的公用栅 GC。预定电压例如 5V 被施加给第一源极线 SL1, 其中该第一源极线 SL1 连接选定行 SR 中第一存储器件 M 的第一非易失性存储器件 M1 的第一杂质区 10s。0V 电压被施加给第二源极线 SL2, 其中该第二源极线 SL2 连接选定行中第一存储器件 M 的第二非易失性存储器件 M2 的第二杂质区 30s。并且, 0V 电压被施加给未选行中第一存储器件 M 的第一非易失性存储器件 M1 的第一杂质区 10s 以及第二非易失性存储器件 M2 的第二杂质区 30s。这样, 即使读电压被施加给选定行中的第一存储器件 M 的公用栅 GC, 未选行中的第一存储器件 M 也能保持禁用 (disabled)。

[0262] 在电压被施加给第一存储器件 M 的公用栅 GC, 第一非易失性存储器件 M1 的第一源极线 SL1, 以及如上所述的第二非易失性存储器件 M2 的第二源极线 SL2 时, 施加给公用栅 GC 的电压缓慢降低至 0V。在这一过程中, 能够读取写入在第一存储器件 M 中的位数据。按照与参照图 19 或 20 描述的相同的方式进行该读操作。

[0263] 当写入在被选定的第一存储器件 M 中的所有位数据都相同时, 例如, 11, 则开始使能 (enable) 选定的第一存储器件 M 的外加电压也将是相同的。因此, 选定的第一存储器件 M 在相同的外加电压下输出写入的位数据。阵列的一列中第一存储器件 M 的输出端通过漏极线 DL 相连。写入在选定的第一存储器件 M 中的位数据通过漏极线 DL 被输出, 其中选定的第一存储器件 M 与该漏极线 DL 相连。

[0264] 同时, 写入在选定的第一存储器件 M 中的位数据可以分别不同。例如, 如图 22 中所示, 四个第一存储器件 M 可以位于一个选定的行中。在这种情况下, 假设写入在第一个第一存储器件 M 中的位数据为 11, 写入在第二个第一存储器件 M 中的位数据为 10, 写入在第三个第一存储器件 M 中的位数据为 01, 写入在第四个第一存储器件 M 中的位数据为 00, 在施加给选定的第一存储器件 M 的公用栅 GC 的电压被缓慢降低时, 对应于图 21 的第一曲线 G1 的第二个第一存储器件 M 以及对应于图 21 的第二曲线 G2 的第一个第一存储器件 M 被首先使能。这样, 写入在第一个和第二个第一存储器件 M 中的位数据被首先读取。之后, 对应于图 21 的第四曲线 G4 的第三个第一存储器件 M 以及对应于第三曲线 G3 的第四个第一存储器件 M 被使能, 使得写入在其中的位数据被读取。

[0265] 下面将参照图 23 对第一存储器件的读操作进行说明, 其中该第一存储器件为 4 位存储器件。

[0266] 除了第二电压比较器和电压比较电路以外, 图 23 的第一存储器件的读电路大体与图 19 的第一存储器件的读电路相同, 其中图 23 中的第一存储器件为 4 位存储器件, 图 19 中的第一存储器件为 2 位存储器件。

[0267] 更具体而言, 图 19 的第二电压比较器 VP2 包括一个比较器, 图 23 的第二电压比较器 VP22 包括四个比较器 P1, P2, P3 和 P4。并且, 图 19 的电压比较电路 VCP 将对应于从第二电压比较器 VP2 输入信号的电压与从第一存储器件 M 输入的电压进行比较, 并输出 2 位数据, 但是图 23 的电压比较电路 VCP1 经历相同的过程, 并接着输出 4 位数据。

[0268] 现在将对图 23 的第二电压比较器 VP22 进行更详细的说明。

[0269] 第一至第四参考电压分别被施加给第一至第四比较器 P1, P2, P3 和 P4 的第二输入端, 并且其第一输入端通常都与第二通路晶体管 PT2 的输出端相连。

[0270] 第一存储器件 4M 为 4 位存储器件 (下文中, 称为 4 位第一存储器件), 该第一存储

器件 4M 包括第一非易失性存储器 4Ma, 在 4Ma 中, 2 位数据, 即 11, 10, 01 或 00 能够被写入。

[0271] 如果位数据 11 被写入在第一非易失性存储器 4Ma 中, 则施加给 4 位第一存储器件 4M 的公用栅 GC 的电压变成第三输入电压, 4 位第一存储器件 4M 的输出电压变得高于施加给第一电压比较器 VP1 的参考电压, 例如 100mV。类似的, 如果位数据 10, 01 以及 00 分别被写入在第一非易失性存储器 4Ma 中, 因为施加给 4 位第一存储器件 4M 的公用栅 GC 的电压分别变成第四输入电压、第五输入电压以及第六输入电压, 所以 4 位第一存储器件 4M 的输出电压变得高于施加给第一电压比较器 VP1 的参考电压, 例如 100mV。这样, 第一电压比较器 VP1 输出对应于 1 的信号, 从电源  $V_s$  施加给公用栅 GC 的电压响应该对应于 1 的信号而被关断, 并且 0V 电压被从其源接地的晶体管 T 施加给公用栅 GC。并且, 该第二电压比较器 VP22 响应对应于 1 的信号而工作。这样, 可以测量出第三至第六输入电压中的哪一个是在 0V 电压施加给公用栅 GC 之前被施加给公用栅 GC 的电压。通过这一过程, 可以读出写入在第一非易失性存储器 4Ma 中的位数据。

[0272] 为了测量第三至第六输入电压, 第二电压比较器 VP22 包括第一至第四比较器 P1, P2, P3 和 P4。预定参考电压例如 2、3、4 和 5V 分别被施加给第一至第四比较器 P1, P2, P3 和 P4。参考电压与第三到第六输入电压相关。如以上所示例性说明的, 当第三至第六输入电压分别为 5、4、3 和 2V 时, 施加给第一至第四比较器 P1, P2, P3 和 P4 的参考电压可以分别为 2、3、4 和 5V。但是, 当第三至第六输入电压具有与上述不同的值时, 施加给第一至第四比较器 P1, P2, P3 和 P4 的参考电压也可以具有不同值。

[0273] 为了便于说明 4 位第一存储器件 4M, 这里我们假设第三至第六输入电压分别为 5、4、3 和 2V, 并且施加到第一至第四比较器 P1, P2, P3 和 P4 的参考电压分别为 2、3、4 和 5V。

[0274] 在第三输入电压、即 5V 被施加给第二电压比较器 VP22 时, 第一至第四比较器 P1, P2, P3 和 P4 中的每一个都输出对应于 1 的信号。这样, 对应于 1111 的信号被输入给与第二电压比较器 VP22 相连的第一编码器 EC1。

[0275] 在第四输入电压、即 4V 被施加给第二电压比较器 VP22 时, 第四比较器 P4 输出对应于 0 的信号, 同时第一至第三比较器 P1, P2 和 P3 中的每一个都输出对应于 1 的信号。这样, 对应于 0111 的信号被输入给第一编码器 EC1。

[0276] 在第五输入电压、即 3V 被施加给第二电压比较器 VP22 时, 第三和第四比较器 P3 和 P4 中的每一个都输出对应于 0 的信号, 同时第一和第二比较器 P1 和 P2 中的每一个都输出对应于 1 的信号。这样, 对应于 0011 的信号被输入给第一编码器 EC1。

[0277] 在第六输入电压、即 2V 被施加给第二电压比较器 VP22 时, 第二至第四比较器 P2, P3 和 P4 中的每一个都输出对应于 0 的信号, 同时第一比较器 P1 输出对应于 1 的信号。这样, 对应于 0001 的信号被输入给第一编码器 EC1。

[0278] 该第一编码器 EC1 将从第二电压比较器 VP22 输入的对应用于 1111, 0111, 0011 或 0001 的信号编码为 11, 10, 01 或 00, 并将编码后的值输出给 CPU 的电压比较电路 VCP1。可以任意的确定编码后的数值 (11, 10, 01, 或 00), 其中对应于 1111, 0111, 0011 或 0001 的信号编码为该编码后的数值 (11, 10, 01 或 00)。例如, 第一编码器 EC1 可以将 1111 编码为 01 或是将 0001 编码为 11。但是, 为了便于说明本发明, 这里假设对应于 1111, 0111, 0011 和 0001 的信号分别被编码为 11, 10, 01 和 00。

[0279] 该电压比较电路 VCP1 对从第一编码器 EC1 输入的编码信号进行分析, 确定第三至

第六输入电压中的哪一个是施加给公用栅 GC 的电压,并感知写入在第一非易失性存储器 4Ma 中的位数据。

[0280] 例如,当从第一编码器 EC1 输入的编码信号为 11 时,电压比较电路 VCP1 确定施加给公用栅 GC 的电压为第三输入电压。根据确定结果,电压比较电路 VCP1 感知写入在第一非易失性存储器 4Ma 中的位数据 11。

[0281] 按照上述的方式读取写入在第一非易失性存储器 4Ma 中的位数据。

[0282] 下面,将对读取写入在 4 位第一存储器件 4M 中的第二非易失性存储器 4Mb 中的位数据的过程进行说明。

[0283] 一旦第三、第四、第五或第六输入电压被施加给公用栅 GC 之后,当 0V 电压被施加给公用栅 GC 时,4 位第一存储器件 4M 的输出电压取决于写入在第二非易失性存储器 4Mb 中的位数据。

[0284] 也就是说,当 11, 10, 01 或 00 被写入在第一非易失性存储器 4Ma 中时,11, 10, 01 和 00 中的任何一个多位数据都可以被写入在第二非易失性存储器 4Mb 中。

[0285] 当 11 被写入在第二非易失性存储器 4Mb 中时,通过将 0V 施加给公用栅 GC 而从 4 位第一存储器件 4M 中输出的电压现在将被称为第三输出电压。当 10 被写入在第二非易失性存储器 4Mb 中时,通过将 0V 施加给公用栅 GC 而从 4 位第一存储器件 4M 中输出的电压现在将被称为第四输出电压。当 01 被写入在第二非易失性存储器 4Mb 中时,通过将 0V 施加给公用栅 GC 而从 4 位第一存储器件 4M 中输出的电压现在将被称为第五输出电压。并且,当 00 被写入在第二非易失性存储器 4Mb 中时,通过将 0V 施加给公用栅 GC 而从 4 位第一存储器件 4M 中输出的电压现在将被称为第六输出电压。这里,第三至第六输出电压可以在第三至第六输入电压中的任何一个处分别不同。

[0286] 因此,一旦施加给公用栅 GC 的电压达到第三、第四、第五或第六输入电压之后,当 0V 被施加给公用栅 GC 时,该电压比较电路 VCP1 感知 4 位第一存储器件 4M 的第三、第四、第五或第六输出电压,从而能够知道写入在第二非易失性存储器 4Mb 中的位数据。

[0287] 第三至第六输出电压被施加给电压比较电路 VCP1。由于第三至第六输出电压取决于写入在第一非易失性存储器 4Ma 中的位数据,因此电压比较电路 VCP1 分析从第一编码器 EC1 中输出的编码信号并识别出第一非易失性存储器 4Ma 的位数据状态与第三、第四、第五或第六输出电压之间的关系。

[0288] 例如,当第一编码器 EC1 将编码信号、即 11 施加给电压比较电路 VCP1 并且 4 位第一存储器件 4M 输出第三输出电压给电压比较电路 VCP1 时,该电压比较电路 VCP1 分析从第一编码器 EC1 提供的编码信号、即 11,并确定一旦第三输入电压被施加给公用栅 GC 之后将 0V 施加给公用栅 GC 时,从 4 位第一存储器件 4M 中输出第三输出电压。根据该确定结果,电压比较电路 VCP1 计算第三输出电压与第三输入电压的比值,并确定当位数据 11 被写入在第一非易失性存储器 4Ma 中并且位数据 11 被写入在第二非易失性存储器 4Mb 中时,通过将 0V 施加给公用栅 GC 从 4 位第一存储器件 4M 输出第三输出电压。因此,当从 4 位第一存储器件 4M 施加第三输出电压时,该电压比较电路 VCP1 确定位数据“11”被写入在第二非易失性存储器 4Mb 中。接着,该电压比较电路 VCP1 分析从第一编码器 EC1 输出的编码信号“11”,并确定位数据“11”被写入在第一非易失性存储器 4Ma 中。这样,电压比较电路 VCP1 确定多位数据“1111”被写入在 4 位第一存储器件 4M 中并输出 1111。在电压比较电路 VCP1 中

描述的内容为电压比较电路 VCP1 确定的数值表达式。

[0289] 例如,  $2.5/5 = >1111$  表示当第三输出电压为 2.5V 并且第三输入电压为 5V 时, 确定多位数据“1111”被写入在 4 位第一存储器件 4M 中。

[0290] 如上所述, 当第三至第六输入电压中的任何一个被施加给公用栅 GC 时, 由第一通路晶体管 PT1 自动切断从电源  $V_s$  提供的电源。同时, 晶体管 T 将 0V 电压施加给公用栅 GC。这样, 4 位第一存储器件 4M 输出一电压。该输出电压包含了关于写入在第二非易失性存储器 4Mb 中的 2 位数据的信息。因此, 由于可以通过将 0V 施加给公用栅 GC 来测量从第一存储器件 4M 输出的电压而知道写入在第二非易失性存储器 4Mb 中的位数据, 因此不需要用于读取写入在第二非易失性存储器 4Mb 中的位数据的任何附加操作。由于这个原因, 就能够缩短本发明的非易失性存储器件的读操作所花费的时间。

[0291] 在第一和第二非易失性存储器 4Ma 和 4Mb 之间存在电压曲线, 该曲线类似于根据第一存储器件 M 的第一和第二非易失性存储器 M1 和 M2 之间的互补作用而获得的图 21 所示的电压曲线, 但是为了方便起见, 该电压曲线在此并没有被示出。

[0292] 同时, 图 23 中所示的电路能够被修改为具有相同功能的其他电路。例如, 在图 23 所示的电路中, 可以使用第一单元和第二单元来代替电压比较电路 VCP1, 其中该第一单元只读取写入在第二非易失性存储器 4Mb 中的位数据, 第二单元将第一编码器 EC1 的输出信号以及第一单元的输出信号组合并输出写入在 4 位第一存储器件 4M 中的多位数据。图 24 示出了包括第一单元和第二单元的电路的实例。

[0293] 参看图 24, 第三电压比较器 VP33 与 4 位第一存储器件 4M 的输出端相连。该第三电压比较器 VP33 包括第一至第四比较器 P22, P33, P44 以及 P55。只有当 0V 电压被施加给第三电压比较器 VP33 时, 该第一至第四比较器 P22, P33, P44 以及 P55 才工作。该第三电压比较器 VP33 连接在第一和第二通路晶体管 PT1 和 PT2 之间, 使得每当 0V 电压被施加给公用栅 GC 时, 第一至第四比较器 P22, P33, P44 以及 P55 就能工作。

[0294] 第一至第四参考电压 V22, V33, V44 和 V55 分别被施加给第三电压比较器 VP33 的第一至第四比较器 P22, P33, P44 以及 P55。考虑第三至第六输出电压来确定第一至第四参考电压 V22, V33, V44 和 V55。

[0295] 也就是说, 当写入在第二非易失性存储器 4Mb 中的位数据为 00 时, 该第一参考电压 V22 可以等于通过将 0V 施加给公用栅 GC 而从 4 位第一存储器件 4M 输出的第六输出电压。

[0296] 当写入在第二非易失性存储器 4Mb 中的位数据为 01 时, 该第二参考电压 V33 可以等于或小于通过将 0V 施加给公用栅 GC 而从 4 位第一存储器件 4M 输出的第五输出电压。但是, 该第二参考电压 V33 优选高于第六输出电压。

[0297] 当写入在第二非易失性存储器 4Mb 中的位数据为 10 时, 该第三参考电压 V44 可以等于或小于通过将 0V 施加给公用栅 GC 而从 4 位第一存储器件 4M 输出的第四输出电压。但是, 该第三参考电压 V44 优选高于第五输出电压。

[0298] 当写入在第二非易失性存储器 4Mb 中的位数据为 11 时, 该第四参考电压 V55 可以等于或小于通过将 0V 施加给公用栅 GC 而从 4 位第一存储器件 4M 输出的第三输出电压。但是, 该第四参考电压 V55 优选高于第四输出电压。

[0299] 由于第一至第四参考电压 V22, V33, V44 和 V55 分别被施加给第一至第四比较器

P22, P33, P44 以及 P55, 如果第三输出电压从 4 位第一存储器件 4M 的输出端施加给第三电压比较器 VP33, 则第一至第四比较器 P22, P33, P44 以及 P55 中的每一个都会输出对应于“1”的信号。这样, 对应于“1111”的信号被输入给第二编码器 EC11。如果第四输出电压被施加给第三电压比较器 VP33, 当第一至第三比较器 P22, P33 以及 P44 中的每一个都输出对应于“1”的信号时, 第四比较器 P55 输出对应于“0”的信号。这样, 对应于“0111”的信号被输入给第二编码器 EC11。如果第五输出电压被施加给第三电压比较器 VP33, 当第一和第二比较器 P22 和 P33 中的每一个都输出对应于“1”的信号时, 第三和第四比较器 P44 和 P55 中的每一个都输出对应于“0”的信号。这样, 对应于“0011”的信号被输入给第二编码器 EC11。如果第六输出电压被施加给第三电压比较器 VP33, 当第二至第四比较器 P33, P44 和 P55 中的每一个都输出对应于“0”的信号时, 第一比较器 P22 输出对应于“1”的信号。这样, 对应于“0001”的信号被输入给第二编码器 EC11。

[0300] 如上所述, 从第三电压比较器 VP33 输入对应于“1111”, “0111”, “0011”或“0001”的信号, 第二编码器 EC11 根据规则将输入信号编码为位数据“11”, “10”, “01”或“00”, 并将位数据发送给第三编码器 OU2。

[0301] 该第三编码器 OU2 与第一和第二编码器 EC1 和 EC11 相连。该第三编码器 OU2 不仅从第二编码器 EC11 接收位数据“11”, “10”, “01”或“00”, 而且还从第一编码器 EC1 接收位数据“11”, “10”, “01”或“00”。从第一编码器 EC1 接收的位数据是写入在 4 位第一存储器件 4M 的第一非易失性存储器 4Ma 中的位数据, 并且从第二编码器 EC11 接收的位数据是写入在 4 位第一存储器件 4M 的第二非易失性存储器 4Mb 中的位数据。第三编码器 OU2 将从第一编码器 EC1 接收的位数据和从第二编码器 EC11 接收的位数据组合, 并输出写入在 4 位第一存储器件 4M 中的 4 位数据。在从第三编码器 OU2 中输出的 4 位数据中, 前面的两位是从第一编码器 EC1 接收的, 并且最后的两位是从第二编码器 EC11 接收的。

[0302] 在 4 位第一存储器件 4M 中, 由于可以任意选择第一和第二非易失性存储器 4Ma 和 4Mb, 因此 4 位数据的结构可以与上面说明的相反。

[0303] 图 25 为显示 8 位第一存储器件 8M 的读操作的电路图, 其中该 8 位第一存储器件 8M 包括 4 位第一非易失性存储器 8Ma 和 4 位第二非易失性存储器 8Mb。

[0304] 除了外加电压以及包括在电压比较器中的比较器数目以外, 图 25 中所示的 8 位第一存储器件的读电路的结构与图 19 所示的 2 位第一存储器件 M 的读电路或 4 位第一存储器件 4M 的读电路的结构相同。

[0305] 在图 25 中, 相同的附图标记用于表示与图 19 所示的电路中相同的元件, 这里不再重复对其的说明。

[0306] 参看图 25, 第二电压比较器 VP22 与第二通路晶体管 PT2 相连, 并且第一编码器 EC2 与第二电压比较器 VP22 相连。电压比较电路 VCP2 与 8 位第一存储器件 8M 和第一编码器 EC2 的输出端相连。该第二电压比较器 VP22 包括第一至第十六比较器 1P, 2P... 以及 16P。第一至第十六比较器 1P, 2P... 以及 16P 中的每一个都具有两个输入端。第一至第十六比较器 1P, 2P... 以及 16P 中的一组输入端通常与第二通路晶体管 PT2 相连, 并且参考电压被施加给第一至第十六比较器中其他的输入端。

[0307] 同时, 在从电源  $V_s$  施加给 8 位第一存储器件 8M 的公用栅 GC 的电压被线性降低时, 当外加电压变成第一至第十六输入电压时, 8 位第一存储器件 8M 开始被使能。也就是说,

在第一至第十六输入电压中,该 8 位第一存储器件 8M 输出一个高于施加给第一电压比较器 VP1 的参考电压(即 100mV)的电压,例如 101mV。这样,无论何时当第一至第十六输入电压被施加给 8 位第一存储器件 8M 时,该第一电压比较器 VP1 都会工作。第一至第十六输入电压包含关于写入在第一非易失性存储器 8Ma 中的 4 位数据的信息。因此,通过感测第一电压比较器 VP1 工作在第一至第十六输入电压中的哪一个,就能够读出写入在第一非易失性存储器 8Ma 中的 4 位数据。当将第一至第十六输入电压中的任何一个输入给公用栅 GC 时,从电源  $V_s$  提供的电源被切断,并且施加给公用栅 GC 的输入电压被施加给第二电压比较器 VP222。同时,第一电压比较器 VP1 将对应于“1”的信号输出给第二电压比较器 VP222,使得第二电压比较器 VP222 的第一至第十六比较器 1P,2P... 以及 16P 中的每一个都将输入给它的输入电压与参考电压进行比较,并将比较结果输出给第一编码器 EC2。第一至第十六参考电压分别被施加给第一至第十六比较器 1P,2P... 以及 16P。第一至第十六参考电压分别为施加给 8 位第一存储器件 8M 的公用栅 GC 的第十六至第一输入电压。由于第一至第十六输入电压分别不同,因此第一至第十六参考电压也分别不同。因此,响应于第一至第十六输入电压而从第二电压比较器 VP222 输出的 16 个信号是分别不同的。

[0308] 例如,一旦第五输入电压例如 13V 被施加给第二电压比较器 VP222,第五输入电压就被同时输入给所有的第一至第十六比较器 1P,2P... 以及 16P,并与施加给各个比较器 1P,2P... 以及 16P 的参考电压进行比较。结果,其上施加了 2V 的参考电压的第一比较器 1P 至其上施加了 13V 的参考电压的第十二比较器 12P 中的每一个都输出对应于“1”的信号,同时,其中每一个都施加了高于 13V 的参考电压的第十三至第十六比较器 13P,14P,15P 以及 16P 中的每一个都输出对应于“0”的信号。这样,第二电压比较器 VP222 输出了对应于“0000111111111111”的信号。一旦第一输入电压例如 17V 被输入给第二电压比较器 VP222,通过相同的处理过程,第二电压比较器 VP222 输出对应于“1111111111111111”的信号。

[0309] 如上所述,由于第二电压比较器 VP222 输出 16 个信号,其中 16 个信号中的每一个都具有对应于 4 位第一非易失性存储器 8Ma 的 16 个数据状态的 16 位,因此能够确定设计规则使得从第二电压比较器 VP222 输出的 16 个信号与 4 位第一非易失性存储器 8Ma 的 16 个数据状态一一对应。

[0310] 根据该设计规则,第一编码器 EC2 将从第二电压比较器 VP222 输入的 16 位信号编码为能够写入在 4 位第一非易失性存储器 8Ma 中的 16 个多位数据(0000,0001,...,以及 1111)之一,并将对应于编码后的多位数据的信号输出给电压比较电路 VCP2。例如,当对应于“1111111111111111”的信号被输入给第二电压比较器 VP222 时,第二电压比较器 VP222 将该信号编码为“1111”并将对应于“1111”的信号输出给电压比较电路 VCP2。

[0311] 从第二电压比较器 VP222 输入给第一编码器 EC2 的信号,例如对应于“1111111111111111”的信号,取决于施加给第二电压比较器 VP222 的输入电压。因此,从第一编码器 EC2 输出给电压比较电路 VCP2 的信号也取决于施加给第二电压比较器 VP222 的输入电压。换句话说,第一编码器 EC2 的输出信号包含关于施加给第二电压比较器 VP222 的输入电压的信息。因此,该电压比较电路 VCP2 能够根据从第一编码器 EC2 输入的信号来确定施加给第二电压比较器 VCP2 的输入电压,即施加给公用栅 GC 的输入电压。由于施加给公用栅 GC 的输入电压取决于写入在 4 位第一非易失性存储器 8Ma 中的多位数据,因此通过确定第一至第十六输入电压中的哪一个被施加给公用栅 GC,就能够知道写入在 4 位第一

非易失性存储器 8Ma 中的多位数据。

[0312] 同时,与图 21 中所示的 2 位第一存储器件 M 的电压曲线一样,8 位第一存储器件 8M 也具有如图 27 所示的电压曲线。

[0313] 在图 27 中,第一组曲线 GG1 示出了 8 位第一存储器件 8M 的电流 - 电压 (I-V) 特性,而第二组曲线 GG2 示出了电压特性,即,输出电压 - 外加电压。

[0314] 类似于第一组 GG1 的各条曲线,第二组 GG2 的各条曲线与能够被写入在 8 位第一存储器件 8M 中的多位数据相关。因此,能够使用第二组曲线 GG2 读取写入在 8 位第一存储器件 8M 中的多位数据。

[0315] 参看第二组 GG2,可以看出曲线从各个不同的电压开始并且在 0V 电压处分别具有不同的输出电压。在第二组 GG2 中,第二组 GG2 的各条曲线的开始意味着 8 位第一存储器件 8M 的激活。这样,可以推断出,第二组 GG2 的各条曲线开始的电压是施加给 8 位第一存储器件 8M 的公用栅 GC 的第一至第十四输入电压。为了方便起见,省略了与第十五和第十六输入电压相关的曲线。

[0316] 在包括如图 25 所示的读电路的 8 位第一存储器件 8M 中,当施加给 8 位第一存储器件 8M 的公用栅 GC 的电压变为第一至第十六输入电压之一时,从图 27 所示的第二组曲线 GG2 中选择一条曲线。

[0317] 当从第二组 GG2 中选择一条曲线时,确定了所选曲线在 0V 电压获得的值,即输出电压。所选曲线在 0V 获得的值为一个电压,该电压是随着施加给公用栅 GC 的电压变成第一至第十六输入电压之一在从电源  $V_s$  施加给公用栅 GC 的电压被切断之后,当 0V 电压被施加给 8 位第一存储器件 8M 的公用栅 GC 时从 8 位第一存储器件 8M 输出的电压。当 0V 电压被施加给公用栅 GC 时,该输出电压取决于能够写入在 4 位第二非易失性存储器 8Mb 中的 16 多位数据。因此,当 0V 电压被施加给公用栅 GC 时,能够从在 8 位第一存储器件 8M 的输出端测得的输出电压知道写入在 4 位第二非易失性存储器 4Mb 中的多位数据。该输出电压被施加于电压比较电路 VCP2。

[0318] 类似于 4 位第一存储器件 4M 的读电路的电压比较电路 VCP1 (参看图 23),电压比较电路 VCP2 确定该输出电压对应于能够被写入在 4 位第一非易失性存储器 8Mb 中的 16 个多位数据中的哪一个。也就是说,该电压比较电路 VCP2 读取写入在 4 位第一非易失性存储器 8Mb 中的多位数据。

[0319] 电压比较电路 VCP2 根据从第一编码器 EC2 输出的信号读取写入在 4 位第二非易失性存储器 8Ma 中的 4 位数据 1111,1110, ... 或 0000。接着,当 0V 电压被施加给公用栅 GC 时,电压比较电路 VCP2 根据 4 位第一存储器件 8M 的输出电压读取写入在 4 位第二非易失性存储器 8Mb 中的 4 位多位数据。之后,电压比较电路 VCP2 将读取的 4 位多位数据组合并输出写入在 8 位第一存储器件 8M 中的 8 位数据,例如 10101011。

[0320] 同时,图 25 中所示的电路能够被修改为具有相同功能的其他电路。例如,在图 25 中所示的电路中,可以使用第一单元和第二单元来代替电压比较电路 VCP2,其中该第一单元读取写入在第二非易失性存储器 8Mb 中的多位数据,并且第二单元将写入在第一和第二非易失性存储器 8Ma 和 8Mb 中的多位数据组合并输出写入在 8 位第一存储器件 8M 中的多位数据。

[0321] 图 26 示出了包括第一单元和第二单元的电路的一个实例。下面将对图 26 的电路

进行说明,但是将省略对与图 25 的电路相同部分的说明。

[0322] 参看图 26,第三电压比较器 VP333 与 8 位第一存储器件 8M 的输出端相连。第二编码器 EC22 与第三电压比较器 VP333 相连。第三编码器 OU3 与第一编码器 EC2 以及第二编码器 EC22 相连。

[0323] 该第三电压比较器 VP333 为读取写入在 4 位第二非易失性存储器 8Mb 中的多位数据的单元之一并且在 0V 电压下工作。该第三电压比较器 VP333 连接在第一通路晶体管 PT1 和第二通路晶体管 PT2 之间。该第三电压比较器 VP333 包括第十七至第三十二比较器 1P', 2P', ..., 以及 16P'。该第十七至第三十二比较器 1P', 2P', ..., 以及 16P' 按照与第二电压比较器 VP222 的第一至第十六比较器 1P, 2P, ..., 以及 16P 相同的方式读取写入在 4 位第二非易失性存储器 8Mb 中的多位数据,其中第二电压比较器 VP222 读取写入在 4 位第一非易失性存储器 8Ma 中的 4 位多位数据。

[0324] 第十七至第三十二参考电压 VV2, VV3, ..., 以及 VV17 分别被施加给该第十七至第三十二比较器 1P', 2P', ..., 以及 16P'。考虑能够被写入在 4 位第二非易失性存储器 8Mb 中的 16 个多位数据来确定第十七至第三十二参考电压 VV2, VV3, ..., 以及 VV17。能够被写入在 4 位第二非易失性存储器 8Mb 中的 16 个多位数据与施加给公用栅 GC 的电压变成第一、第二... 或第十六输入电压之后,当 0V 电压被施加给公用栅 GC 时从 8 位第一存储器件 8M 输出的第一至第十六输出电压直接相关。因此,鉴于第一至第十六输出电压而优选确定第十七至第三十二参考电压 VV2, VV3, ..., 以及 VV17。第一至第十六输出电压分别具有逐渐减小的值。这样,第一输出电压最高,并且第十六输出电压最低。

[0325] 第十七参考电压 VV2 优选等于第一至第十六输出电压中最低的第十六输出电压。第十八参考电压 VV3 可以等于或低于第十五输出电压并高于第十六输出电压。第十九参考电压 VV4 可以高于第十五输出电压并低于或等于第十四输出电压。第二十参考电压 VV5 可以高于第十四输出电压并低于或等于第十三输出电压 VV6。第二十一参考电压 VV6 高于第十三输出电压并且低于或等于第十二输出电压。第二十二参考电压 VV7 高于第十二输出电压并且低于或等于第十一输出电压。第二十三参考电压 VV8 高于第十一输出电压并且低于或等于第十输出电压。第二十四参考电压 VV9 高于第十输出电压并且低于或等于第九输出电压。第二十五参考电压 VV10 高于第九输出电压并且低于或等于第八输出电压。第二十六参考电压 VV11 高于第八输出电压并且低于或等于第七输出电压。第二十七参考电压 VV12 高于第七输出电压并且低于或等于第六输出电压。第二十八参考电压 VV13 高于第六输出电压并且低于或等于第五输出电压。第二十九参考电压 VV14 高于第五输出电压并且低于或等于第四输出电压。第三十参考电压 VV15 高于第四输出电压并且低于或等于第三输出电压。第三十一参考电压 VV16 高于第三输出电压并且低于或等于第二输出电压。第三十二参考电压 VV17 高于第二输出电压并且低于或等于第一输出电压。

[0326] 因此,当第一,第二, ..., 或第十六输出电压被施加给第三电压比较器 VP333 时,从第三电压比较器 VP333 输出的 16 个 16 位信号分别不同。因此,能够被写入在 4 位第二非易失性存储器 8Mb 中的 16 个多位数据能够与 16 个 16 位信号一一对应。这样,通过分析从第三电压比较器 VP333 输出的信号,即 16 位信号,就能够读出写入在 4 位第二非易失性存储器 8Mb 中的 4 位多位数据。

[0327] 例如,假设从第三电压比较器 VP333 输出的 16 个 16 位信号中的 3 个 16 位信号

为“1111111111111111”，“0111111111111111”以及“0011111111111111”，并且能够被写入在 4 位第二非易失性存储器 8Mb 中的 16 个多位数据中对应于所述 3 个 16 位信号的 3 个多位数据为“1111”，“1110”以及“1101”，当从第三电压比较器 VP333 输出的 16 位信号为“0111111111111111”时，就可以知道 4 位多位数据“1110”被从 4 位第二非易失性存储器 8Mb 中读出。

[0328] 第二编码器 EC22 对从第三电压比较器 VP333 输出的 16 位信号进行编码，并输出对应于该信号的 4 位信号。

[0329] 第三编码器 OU3 将从第一编码器 EC2 中输入的 4 位数据以及从第二编码器 EC22 中输入的 4 位数据组合并输出 8 位数据。从第三编码器 OU3 中输出的 8 位数据是写入在 8 位第一存储器件 8M 中的多位数据。

[0330] 接着，将对根据本发明的包括上面第一存储器件 (M, 4M 或 8M) 的逻辑器件进行说明。

[0331] 1. NAND 型逻辑器件

[0332] 参看图 28，根据本发明一个实施例的 NAND 型逻辑器件（下文中称为本发明的 NAND 器件）包括 n 型第一非易失性存储器 60，p 型第一非易失性存储器 62，p 型第二非易失性存储器 64，以及 n 型第二非易失性存储器 66，它们被顺序的堆叠。p 型第一非易失性存储器 62 以及 n 型第二非易失性存储器 66 被翻转并堆叠使得 p 型第一非易失性存储器的栅堆叠结构 62g 面对 n 型第一非易失性存储器 60 的栅堆叠结构 60g，并且 p 型第二非易失性存储器 64 的栅堆叠结构 64g 面对 n 型第二非易失性存储器 66 的栅堆叠结构 66g。

[0333] n 型第一非易失性存储器 60 包括第一衬底 60a，设置在第一衬底 60a 上的绝缘层 60b，设置在绝缘层 60b 上的 STI 层 60c1、第一杂质区 60cs、第二杂质区 60cd 以及沟道区 60cc，设置在沟道区 60cc 上的栅堆叠结构 60g 以及第一接触垫层 60e1 和第二接触垫层 60e2，第一接触垫层 60e1 和第二接触垫层 60e2 分别与第一和第二杂质区 60cs 和 60cd 相连并在 STI 层 60c1 上方延伸。沟道区 60cc 设置在第一和第二杂质区 60cs 和 60cd 之间。栅堆叠结构 60g 包括顺序堆叠的第一绝缘层 g1，数据存储层 g2，第二绝缘层 g3 以及控制栅 g4。可以任意确定 STI 层 60c1 上方第一和第二接触垫层 60e1 和 60e2 的延伸长度。但是，如图 28 中所示，当 n 型第一和第二非易失性存储器 60 和 66 以及 p 型第一和第二非易失性存储器 62 和 64 的接触垫层 60e1, 60e2, 62e1, 62e2, 64e1, 64e2, 66e1 以及 66e2 被设置在相同的垂直面上时，n 型第一非易失性存储器 60 的第一和第二接触垫层 60e1 和 60e2 中每一个的延伸部分可以长于其他非易失性存储器 62, 64 和 66 的接触垫层 62e1, 62e2, 64e1, 64e2, 66e1 以及 66e2 中每一个的延伸部分。如果第一杂质区 60cs 为源极区，则第二杂质区 60cd 为漏极区，并且相反的情况也可以。用具有平坦表面的第一 ILD60d 覆盖栅堆叠结构 60g 以及第一和第二接触垫层 60e1 和 60e2。

[0334] p 型第一非易失性存储器 62 包括绝缘层 62b，STI 层 62c1，沟道区 62cd，第一杂质区 62cd，第二杂质区 62cs，第一接触垫层 62e1，第二接触垫层 62e2，以及栅堆叠结构 62g。该 STI 层 62c1 以及沟道区 62cc 被设置在绝缘层 62b 的一个表面上，该表面面对 n 型第一非易失性存储器 60。沟道区 62cc 设置在 STI 层 62c1 之间。栅堆叠结构 62g 设置在沟道区 62cc 上。该栅堆叠结构 62g 包括顺序堆叠的第一绝缘层 62g1，数据存储层 62g2，第二绝缘层 62g3 以及控制栅 62g4。第一和第二接触垫层 62e1 和 62e2 分别与第一和第二杂质区 62cd

和 62cs 相连,并且在 STI 层 62c1 上方延伸。如图 28 中所示,当 n 和 p 型第一非易失性存储器 60 和 62 的第一接触垫层 60e1 和 62e1 以及第二接触垫层 60e2 和 62e2 被设置在相同的垂直面上时,STI 层 62c1 上方 p 型第一非易失性存储器 62 的第一和第二接触垫层 62e1 和 62e2 的延伸长度可以短于 STI 层 60c1 上方 n 型第一非易失性存储器 60 的第一和第二接触垫层 60e1 和 60e2 的延伸长度。但是,如果 n 型第一非易失性存储器 60 的第一和第二接触垫层 60e1 和 60e2 设置在与其上设置 p 型第一非易失性存储器 62 的第一和第二接触垫层 62e1 和 62e2 的垂直面不同的垂直面上,就可以任意确定 STI 层 62c1 上方 p 型第一非易失性存储器 62 的第一和第二接触垫层 62e1 和 62e2 的延伸长度。因此,第一和第二接触垫层 62e1 和 62e2 的延伸长度可以等于或短于设置在其下的第一和第二接触垫层 60e1 和 60e2 的延伸长度。用具有平坦表面的第二 ILD62d 覆盖第一和第二接触垫层 62e1 和 62e2 以及栅堆叠结构 62g。第一 ILD60d 的表面结合到第二 ILD62d 的表面。

[0335] p 型第二非易失性存储器 64 包括绝缘层 64b,设置在绝缘层 64b 上并包括沟道区 64cc、第一杂质区 64cs 和第二杂质区 64cd 的半导体衬底(未示出),以及设置在沟道区 64cc 上的栅堆叠结构 64g。该 p 型第二非易失性存储器 64 还包括第一接触垫层 64e1 和第二接触垫层 64e2,这些垫层的一端分别与第一和第二杂质区 64cs 和 64cd 相连,而另一端分别在 STI 层 64c1 上方延伸。该第一和第二杂质区 64cs 和 64cd 掺杂有具有预定浓度的 p 型导电杂质。STI 层 64c1 上方第一和第二接触垫层 64e1 和 64e2 的延伸长度可以短于 STI 层 62c1 上方 n 型第一非易失性存储器 62 的第一和第二接触垫层 62e1 和 62e2 的延伸长度。如果 p 型第二非易失性存储器 64 的第一和第二接触垫层 64e1 和 64e2 设置在与其上设置 n 型第一非易失性存储器 62 的第一和第二接触垫层 62e1 和 62e2 的垂直面不同的垂直面上,则第一和第二接触垫层 64e1 和 64e2 的延伸长度可以等于或长于第一和第二接触垫层 62e1 和 62e2 的延伸长度。栅堆叠结构 64g 包括顺序堆叠的第一绝缘层 64g1,数据存储层 64g2,第二绝缘层 64g3 以及接触栅 64g4。用具有平坦表面的第三层间电介质 64d 覆盖第一和第二接触垫层 64e1 和 64e2 以及栅堆叠结构 64g。

[0336] n 型第二非易失性存储器 66 包括绝缘层 66b。在绝缘层 66b 上设置有半导体衬底(未示出),该衬底包括沟道区 66cc,第一杂质区 66cd,以及第二杂质区 66cs。第一和第二杂质区 66cs 和 66cd 掺杂有具有预定浓度的 n 型导电杂质。STI 层 66c1 被设置在半导体衬底周围的绝缘层 66b 上。栅堆叠结构 66g 设置在沟道区 66cc 上。该栅堆叠结构 66g 包括顺序堆叠的作为隧穿层的第一绝缘层 66g1,数据存储层 66g2,第二绝缘层 66g3 以及控制栅 66g4。第一和第二接触垫层 66e1 和 66e2 的一端分别与第一和第二杂质区 66cd 和 66cs 相连。第一和第二接触垫层 66e1 和 66e2 的另一端在相邻的 STI 层 66c1 上方延伸。STI 层 66c1 上方第一和第二接触垫层 66e1 和 66e2 的延伸长度可以短于 p 型第二非易失性存储器 64 的第一和第二接触垫层 64e1 和 64e2 在相邻的 STI 层 64c1 上方的延伸长度。与图 28 中所示的不同,如果 n 型第二非易失性存储器 66 的第一和第二接触垫层 66e1 和 66e2 设置在与其上设置 p 型第二非易失性存储器 64 的第一和第二接触垫层 64e1 和 64e2 的垂直面不同的垂直面上,则第一和第二接触垫层 66e1 和 66e2 的延伸长度可以等于或长于第一和第二接触垫层 64e1 和 64e2 的延伸长度。用具有平坦表面的第四 ILD66d 覆盖第一和第二接触垫层 66e1 和 66e2 以及栅堆叠结构 66g。第四 ILD66d 的表面结合到第三 ILD64d 的表面。

[0337] 同时,在一堆叠结构中形成第一通孔 H5a 和第二通孔 H5b,其中该堆叠结构(下文中称为第一堆叠结构)包括 n 型第二非易失性存储器 66 的绝缘层 66b,STI 层 66c1 和第四 ILD66d,p 型第二非易失性存储器 64 的第三 ILD64d,STI 层 64c1 和绝缘层 64b,p 型第一非易失性存储器 62 的绝缘层 62b,STI 层 62c1 和第二 ILD62d,以及 n 型第一非易失性存储器 60 的第一 ILD60d。第一通孔 H5a 和第二通孔 H5b 分别暴露了第一和第二接触垫层 60e1 和 60e2,并分别用第一导电插塞 P5a 和第二导电插塞 P5b 填充。并且,在一堆叠结构中形成了第三通孔 H6a 和第四通孔 H6b,其中该堆叠结构(下文中称为第二堆叠结构)包括 n 型第二非易失性存储器 66 的绝缘层 66b,STI 层 66c1 和第四 ILD66d,p 型第二非易失性存储器 64 的第三 ILD64d,STI 层 64c1 和绝缘层 64b,以及 p 型第一非易失性存储器 62 的绝缘层 62b,STI 层 62c1 和第二 ILD62d。该第三和第四通孔 H6a 和 H6b 分别暴露了第一和第二接触垫层 62e1 和 62e2,并分别用第三导电插塞 P6a 和第四导电插塞 P6b 填充。并且,在一堆叠结构中形成了第五通孔 H7a 和第六通孔 H7b,其中该堆叠结构(下文中称为第三堆叠结构)包括 n 型第二非易失性存储器 66 的绝缘层 66b,STI 层 66c1 和第四 ILD66d,以及 p 型第二非易失性存储器 64 的第三 ILD64d。该第五和第六通孔 H7a 和 H7b 分别暴露了第一和第二接触垫层 64e1 和 64e2,并分别用第五和第六导电插塞 P7a 和 P7b 填充。并且,在一堆叠结构中形成了第七通孔 H8a 和第八通孔 H8b,其中该堆叠结构(下文中称为第四堆叠结构)包括 n 型第二非易失性存储器 66 的绝缘层 66b,STI 层 66c1 和第四 ILD66d。该第七和第八通孔 H8a 和 H8b 分别暴露了第一和第二接触垫层 66e1 和 66e2,并分别用第七导电插塞 P8a 和第八导电插塞 P8b 填充。在 n 型第二非易失性存储器 66 的绝缘层 66b 上设置有第一垫层 70,第二垫层 74,以及第三垫层 76。该第一垫层 70 连接第一,第三,第五以及第七导电插塞 P5a, P6a, P7a 以及 P8a,并且第二垫层 74 连接第四和第六导电插塞 P6b 和 P7b。并且,第三垫层 76 连接第二和第八导电插塞 P5b 和 P8b。第三垫层 76 设置在第二垫层 74 周围。第二和第三垫层 74 和 76 彼此不接触。

[0338] 第一栅垫层 72a 和第二栅垫层 72b 设置在 n 型第二非易失性存储器 66 的绝缘层 66b 上。第一和第二栅垫层 72a 和 72b 彼此不相连。该第一栅垫层 72a 与 n 型第一非易失性存储器 60 的栅堆叠结构 60g 以及 p 型第一非易失性存储器 62 的栅堆叠结构 62g 相连。并且,该第二栅垫层 72b 与 p 型第二非易失性存储器 64 的栅堆叠结构 64g 以及 n 型第二非易失性存储器 66 的栅堆叠结构 66g 相连。

[0339] 虽然在图 28 中没有示出,但是为了连接第一栅垫层 72a 和栅堆叠结构 60g 和 62g 以及连接第二栅垫层 72b 和栅堆叠结构 64g 和 66g,在第一堆叠结构中形成第一栅通孔并且其暴露 n 型第一非易失性存储器 60 的栅堆叠结构 60g 的控制栅 60g4。在第二堆叠结构中形成第二栅通孔并且其暴露栅堆叠结构 62g 的控制栅 62g4,在第三堆叠结构中形成第三栅通孔并且其暴露栅堆叠结构 64g 的控制栅 64g4,在第四堆叠结构中形成第四栅通孔并且其暴露栅堆叠结构 66g 的控制栅 66g4。该第一至第四栅通孔分别用第一至第四栅导电插塞(未示出)填充。第一和第二栅导电插塞与第一栅垫层 72a 相连,并且第三和第四栅导电插塞与第二栅垫层 72b 相连。第一至第四栅导电插塞彼此不接触。因此,优选的是栅堆叠结构 60g,62g,64g 以及 66g 分别具有不同的长度。例如,栅堆叠结构 60g 可具有最小长度并且栅堆叠结构 66g 可具有最大长度。

[0340] 图 29 示出了上述 NAND 器件的等效电路。

[0341] 2. NOR 型逻辑器件

[0342] 下面,将参照图 30 对根据本发明一实施例的 NOR 型逻辑器件进行说明,但是这里将不对与图 28 所示的 NAND 器件中相同部分进行说明。相同的附图标记用于表示相同的部件。

[0343] 参看图 30,与 NAND 器件类似,根据本发明实施例的 NOR 型逻辑器件(下文中称为本发明的 NOR 器件)包括 n 型第一非易失性存储器 60,p 型第一非易失性存储器 62,p 型第二非易失性存储器 64,以及 n 型第二非易失性存储器 66,它们被顺序的堆叠。此外,该 NOR 器件包括第一至第八导电插塞 P5a,P5b,P6a,P6b,P7a,P7b,P8a 以及 P8b。第四垫层 80 以及第五垫层 82 设置在绝缘层 66b 上。第四垫层 80 与第一,第三和第七导电插塞 P5a,P6a,和 P8a 相连,并且第五垫层 82 与第五导电插塞 P7a 相连。第四垫层 80 设置在第五垫层 82 周围并与其不接触。NOR 器件的其余结构特征与上述 NAND 器件的相同。

[0344] 图 31 为图 30 所示 NOR 器件的等效电路。

[0345] 同时,在图 28 和图 30 中分别示出的 NAND 器件以及 NOR 器件中,至少一第一接触垫层 60e1,62e1,64e1 和 66e1 和第二接触垫层 60e2,62e2,64e2,66e2 可具有不同的形式。

[0346] 例如,第一和第二接触垫层 60e1 和 60e2 可以延伸到 STI 层 60b 上,而不是与 STI 层 60b 分开设置。

[0347] 并且,n 型第二非易失性存储器 66 的第一和第二接触垫层 66e1 和 66e2 可以被去除。取而代之,与图 2 中所示的第三和第四导电插塞 PL33 以及 PL44 类似,可以在绝缘层 66b 中形成通孔,从而暴露出第一和第二杂质区 66cd 以及 66cs,并且可以将导电插塞填充到该通孔中。

[0348] 下面,将参照图 32 至 40 对如图 1 所示第一存储器件的制造方法(下文中称为第一制造方法)进行说明。

[0349] 参看图 32,在第一半导体衬底 10 上形成绝缘层 11。该第一半导体衬底 10 可以为 n 型 <110> 硅衬底。在绝缘层 11 的预定区域形成 STI 层 12。在 STI 层 12 之间的绝缘层 11 上形成半导体层 10a。在半导体层 10a 中形成第一杂质区 10s 和第二杂质区 10d,并且在第一和第二杂质区 10s 和 10d 之间形成沟道区 10c。通过将具有预定浓度的 p 型导电杂质注入到半导体层 10a 的给定区域中来形成第一和第二杂质区 10s 和 10d。第一和第二杂质区 10s 和 10d 中的一个用作源极区,另一个用作漏极区。在沟道区 10c 上形成第一栅堆叠结构 G11。为了形成第一栅堆叠结构 G11,第一绝缘层 17,数据存储层 18,第二绝缘层 19 以及控制栅 20 与沟道区 10c 对准而顺序的堆叠在半导体层 10a 和 STI 层 12 的整个表面上并按相反的顺序被构图。该第一和第二绝缘层 17 和 19 可以由氧化硅 ( $\text{SiO}_2$ ) 或其他等效的绝缘材料形成。该数据存储层 18 为能够俘获预定载流子例如空穴的俘获层,例如氮化硅 ( $\text{Si}_3\text{N}_4$ ) 层或高 k 层。控制栅 20 可以由多晶硅形成,但是也可以使用其他导电材料。在数据存储层 18 中俘获的空穴保持被俘获,直到从外部施加一预定的发射电压。也就是说,该数据存储层 18 保持非易失性直到发射电压被施加到其上。

[0350] 在形成第一栅堆叠结构 G11 之后,在半导体层 10a 和 STI 层 12 上形成第一 ILD16a 以覆盖第一栅堆叠结构 G11。接着,在第一 ILD16a 中形成第一接触孔 h1 和第二接触孔 h2 并且其分别暴露第一和第二杂质区 10s 和 10d。

[0351] 之后,如图 33 中所示,分别用第一导电插塞 P1a 和第二导电插塞 P2a 填充该第一

和第二接触孔 h1 和 h2。在第一 ILD16a 上形成第一导电层 P1b 和第二导电层 P2b,使得它们分别与第一和第二导电插塞 P1a 和 P2a 相连。该第一和第二导电层 P1b 和 P2b 被用作垫层。第一导电插塞 P1a 和第一导电层 P1b 对应于图 1 中所示的第一接触垫层 P1,并且第二导电插塞 P2a 和第二导电层 P2b 对应于图 1 中所示的第二接触垫层 P2。

[0352] 之后,在第一 ILD16a 上形成第二 ILD16b,以覆盖第一和第二导电层 P1b 和 P2b。在第二 ILD16b 上执行平坦化工艺,使得第二 ILD16b 具有平坦表面。

[0353] 结果,就完成了图 1 中所示的 p 型第一非易失性存储器 M1。

[0354] 接着,为了形成图 1 中所示的 n 型第二非易失性存储器 M2,如图 34 所示,在第一衬底 31 上形成绝缘层 32。在绝缘层 32 的预定区域形成 STI 层 22。在 STI 层 22 之间的绝缘层 32 上形成半导体层 30a。在半导体层 30a 的给定区域中形成第一杂质区 30d 和第二杂质区 30s。在第一和第二杂质区 30d 和 30s 之间的半导体层 30a 中形成沟道区 30c。通过将具有预定浓度的 n 型导电杂质注入到半导体层 30a 的给定区域中来形成第一和第二杂质区 30d 和 30s。第一和第二杂质区 30s 和 30d 中的一个用作源极区,另一个用作漏极区。

[0355] 接着,在沟道区 30c 上形成第二栅堆叠结构 G22。可以按照与形成第一栅堆叠结构 G11 的方法相同的方法形成第二栅堆叠结构 G22。在这种情况下,第二栅堆叠结构 G22 的数据存储层 28 是具有预定陷阱点 (trap site) 的俘获层,在该俘获层中能够俘获预定的载流子,例如电子。例如,该数据存储层 28 为氮化硅层,但是也可以是其中能够俘获电子的具有陷阱点的其他电介质层,例如高 k 层。在数据存储层 28 中俘获的电子保持被俘获,直到从外部施加一预定的发射电压。也就是说,所俘获的电子保持非易失性直到施加发射电压。

[0356] 在形成第二栅堆叠结构 G22 之后,在半导体层 30a 和 STI 层 22 上形成第一 ILD26a 以覆盖第二栅堆叠结构 G22。在第一 ILD26a 中形成第一接触孔 h3 和第二接触孔 h4 并且其分别暴露第一和第二杂质区 30d 和 30s。接着,分别用第一导电插塞 P3a 和第二导电插塞 P4a 填充该第一和第二接触孔 h3 和 h4。在第一 ILD26a 上形成第一导电层 P3b 和第二导电层 P4b,使得它们分别与第一和第二导电插塞 P3a 和 P4a 相连。

[0357] 第一和第二导电层 P3b 和 P4b 形成为具有预定长度,优选的,形成为分别小于第一和第二导电层 P1b 和 P2b 长度的长度。但是,如果 n 型第一非易失性存储器 M2 的第一和第二导电层 P3b 和 P4b 与 p 型第一非易失性存储器 M1 的第一和第二导电层 P1b 和 P2b 没有形成在相同的垂直面上,则第一和第二导电层 P1b 和 P2b 的长度可以分别等于或长于第一和第二导电层 P3b 和 P4b 的长度。

[0358] 在第一 ILD26a 上形成第二 ILD26b,以覆盖第一和第二导电层 P3b 和 P4b。在第二 ILD26b 上执行平坦化工艺,使得第二 ILD26b 具有平坦表面。

[0359] 结果,就完成了图 1 中所示的 n 型第一非易失性存储器 M2。

[0360] 如图 35 所示,在形成 p 型第一非易失性存储器 M1 和 n 型第一非易失性存储器 M2 之后,该 n 型第一非易失性存储器 M2 被翻转并对准在 p 型第一非易失性存储器 M1 上方。之后,n 型第一非易失性存储器 M2 被对准地放在 p 型第一非易失性存储器 M1 上。这样,如图 36 所示, n 型非易失性存储器 M2 的第二 ILD26b 与 p 型非易失性存储器 M1 的第二 ILD16b 接触。在这种状态下, p 型第一非易失性存储器 M1 和 n 型第一非易失性存储器 M2 被压紧并彼此结合。

[0361] 结果,n 型第一非易失性存储器 M2 的第一衬底 31 的底表面朝上。但是,为了方便

起见,在假设 n 型第一非易失性存储器 M2 没有被翻转的前提下对 n 型第一非易失性存储器 M2 进行说明。换句话说,虽然在图 36 和 37 中示出了 n 型第一非易失性存储器 M2 的其他部件被设置在第一衬底 31 下方,但是也可以在假设它们被设置在第一衬底 31 上的前提下对 n 型第一非易失性存储器 M2 的部件进行说明。

[0362] 参看图 36,在结合工艺之后,在 n 型第一非易失性存储器 M2 的第一衬底 31 上涂敷预定厚度的光致抗蚀剂层 PR1。接着,为了暴露 p 型第一非易失性存储器 M1 的第一和第二导电层 P1b 和 P2b,进行光刻工艺和显影工艺,由此暴露 n 型第一非易失性存储器 M2 的预定区域。通过使用光致抗蚀剂层 PR1 作为蚀刻掩模,顺序的蚀刻构成堆叠结构(下文中称为第五堆叠结构)的 n 型第一非易失性存储器 M2 的第一衬底 31,绝缘层 32,STI 层 22 以及第一和第二 ILD26a 和 26b,以及 p 型第一非易失性存储器 M1 的第二 ILD16b。

[0363] 结果,如图 37 中所示,在第五堆叠结构中形成第一通孔 H1 和第二通孔 H2,使得它们暴露 p 型第一非易失性存储器 M1 的第一和第二导电层 P1b 和 P2b。通过灰化和剥离去除光致抗蚀剂层 PR1。之后,分别用第一和第二导电插塞 PL1 和 PL2 填充第一和第二通孔 H1 和 H2。

[0364] 参看图 38,在 n 型第一非易失性存储器 M2 的第一衬底 31 上涂敷预定厚度的新光致抗蚀剂层 PR2。在该光致抗蚀剂层 PR2 上进行光刻工艺和显影工艺,由此暴露出对应于 n 型第一非易失性存储器 M2 的第一和第二导电层 P3b 和 P4b 的第一衬底 31 的预定区域。通过使用光致抗蚀剂层 PR2 作为蚀刻掩模,顺序的蚀刻构成堆叠结构(下文中称为第六堆叠结构)的 n 型第一非易失性存储器 M2 的第一衬底 31,绝缘层 32,STI 层 22 以及第一 ILD26a。

[0365] 这样,如图 39 所示,在第六堆叠结构中形成第三通孔 H3 和第四通孔 H4,使得它们分别暴露第一和第二导电层 P3b 和 P4b。之后,光致抗蚀剂层 PR2 被去除。

[0366] 之后,如图 40 所示,分别用第三导电插塞 PL3 和第四导电插塞 PL4 填充第三和第四通孔 H3 和 H4。接着在 n 型第一非易失性存储器 M2 的第一衬底 31 上形成第一至第四接触垫 CP1,CP2,CP3 和 CP4,其分别覆盖第一至第四导电插塞 PL1,PL2,PL3 和 PL4 的整个表面。在这种情况下,第一至第四接触垫 CP1,CP2,CP3 和 CP4 彼此分离。之后,进行暴露第一和第二栅堆叠结构 G11 和 G22 的工艺,更具体而言,是暴露第一和第二栅堆叠结构 G11 和 G22 的控制栅 20 和 24 的工艺。

[0367] 同时,如图 40 所示,因为第一和第二非易失性存储器 M1 和 M2 彼此结合,因此第二栅堆叠结构 G22 设置在第一栅堆叠结构 G11 上。因此,为了有助于暴露第一和第二栅堆叠结构 G11 和 G22 的控制栅 20 和 24 的工艺,优选将第二栅堆叠结构 G22 形成为低于第一栅堆叠结构 G11 的高度。

[0368] 通过将第二栅堆叠结构 G22 形成为低于第一栅堆叠结构 G11 的高度,可以分开进行暴露第一栅堆叠结构 G11 的控制栅 20 的工艺(下文中称为第一工艺)以及暴露第二栅堆叠结构 G22 的控制栅 24 的工艺(下文中称为第二工艺)。这样,就可以防止第一工艺对于第二栅堆叠结构 G22 的影响。例如,能够防止由于第一工艺而暴露第二栅堆叠结构 G22。类似的,也能够防止第二工艺对于第一栅堆叠结构 G11 的影响。

[0369] 虽然图 40 中没有示出,但是作为第一工艺的结果,在一堆叠结构(下文中称为第七堆叠结构)中形成了第一栅通孔,其中该堆叠结构包括 n 型第一非易失性存储器 M2 的第一衬底 31,绝缘层 32,STI 层 22 以及第一和第二 ILD26a 和 26b,以及 p 型第一非易失性存

存储器 M1 的第一和第二 ILD16a 和 16b。并且,作为第二工艺的结果,在第六堆叠结构中形成了第二栅通孔。在形成第一和第二栅通孔之后,它们被导电插塞填充。接着,在第一衬底 31 上形成第一栅接触垫 GP1 和第二栅接触垫 GP2,使得它们覆盖填充在第一和第二栅通孔中的导电插塞。该第一和第二栅接触垫 GP1 和 GP2 彼此分离。但是,在使用如图 40 所示的存储器件时,如果需要的话,用户可以将第一和第二栅接触垫 GP1 和 GP2 整体连接。

[0370] 同时,在将 p 型第一非易失性存储器 M1 和 n 型第一非易失性存储器 M2 结合之前,可以将 n 型第一非易失性存储器 M2 的第一衬底 31 去除或使其变薄。在形成第一和第二栅堆叠结构 G11 和 G22 之后,可以不形成第一和第二接触孔 h1 和 h2 以及第一和第二导电插塞 P1a 和 P1a,而只形成第一和第二导电层 P1b 和 P2b。类似的,可以按照相同的方式形成第一非易失性存储器 M2 的第一和第二导电层 P3b 和 P4b。

[0371] 并且,可以使用单一半导体衬底(single semiconductor substrate)例如 n 型硅衬底来代替第一非易失性存储器 M1 的第一衬底 10 和绝缘层 11。在这种情况下,在 n 型硅衬底中形成 STI 层 12 以及第一和第二杂质区 10s 和 10d。可以用单一半导体衬底例如 p 型 <100> 硅衬底来代替第二非易失性存储器 M2 的第一衬底 31 和绝缘层 32。在这种情况下,在 p 型硅衬底中形成 STI 层 22 以及第一和第二杂质区 30s 和 30d。

[0372] 当使用 p 型硅衬底来代替第二非易失性存储器 M2 中的第一衬底 31 和绝缘层 32 时,在第一和第二非易失性存储器 M1 和 M2 被结合之前,应该使第一衬底 31 变薄。

[0373] 为了使第一衬底 31 更薄,当制备 p 型单一硅衬底(single silicon substrate)时,在 p 型单一硅衬底中形成预定厚度的杂质层。在这种情况下,在 p 型单一硅衬底中的杂质层之上形成 STI 层 22 以及第一和第二杂质区 30d 和 30s。在结合工艺之前,p 型单一硅衬底在形成杂质层的位置分开。该杂质层可以为 H 层或 He 和 B 的混合层,其可以通过将杂质离子注入到 p 型单一硅衬底中形成。

[0374] 根据本发明的非易失性存储器件及其制造方法能够应用于 CMOSFET,并且图 41 示出了应用了本发明的 CMOSFET 的一个实例。图 41 中所示的 CMOSFET 被设置在 SOI 衬底上,但是也可以被设置在单一硅衬底上。参看图 41,本发明的 CMOSFET 包括 P-MOSFET PM1 和 N-MOSFET NM1,它们被顺序的堆叠。该 P-MOSFET PM1 和 N-MOSFET NM1 彼此结合使得栅电极 208 和 211 相互接触。

[0375] P-MOSFET PM1 包括设置在第一衬底 200 上的绝缘层 202。半导体层 204 设置在绝缘层 202 上。半导体层 204 包括 STI 层 204a 以及设置在 STI 层 204a 之间的第一杂质区 204s,第二杂质区 204d 和沟道区 204c。沟道区 204c 被设置在第一和第二杂质区 204s 和 204d 之间。第一和第二杂质区 204s 和 204d 之一为源极区,另一个为漏极区。该第一和第二杂质区 204s 和 204d 掺杂有具有预定浓度的 p 型导电杂质。栅绝缘层 206 和栅电极 208 被顺序的堆叠在沟道区 204c 上。该栅电极 208 可以为单层或多层。第一接触垫层 212a 和第二接触垫层 212b 分别被设置在第一和第二杂质区 204s 和 204d 上。该第一和第二接触垫层 212a 和 212b 在半导体层 204 上方延伸。

[0376] 如图 41 中所示,第一和第二接触垫层 212a 和 212b 在相邻 STI 层 204a 上延伸,但是它们中的任何一个可以在除了 STI 层 204a 以外的其他构件上延伸。也就是说,第一和第二接触垫层 212a 和 212b 之间的角度优选为 180 度,但是也可以大于或小于 180 度。第一和第二接触垫层 212a 和 212b 以及栅电极 208 和栅绝缘层 206 的侧面被第一 ILD213 覆盖。

栅电极 208 和第一 ILD213 的顶表面形成了平坦表面。

[0377] N-MOSFET NM1 被翻转并结合到第一 ILD213 上。但是,为了方便起见,下面将在假设 N-MOSFET NM1 没有被翻转的前提下进行说明。

[0378] 参看图 41, N-MOSFET PM1 包括设置在第二衬底 220 上的绝缘层 218。半导体层 216 设置在绝缘层 218 上并包括 STI 层 216a, 第一杂质区 216s 和第二杂质区 216d 以及沟道区 216c, 其中该第一和第二杂质区 216s 和 216d 掺杂有具有预定浓度的 n 型导电杂质。第一和第二杂质区 216s 和 216d 设置在 STI 层 216a 之间, 并且沟道区 216c 设置在第一和第二杂质区 216s 和 216d 之间。栅绝缘层 210 和栅电极 211 被顺序的堆叠在沟道区 216c 上。第一接触垫层 214a 和第二接触垫层 214b 分别被设置在第一和第二杂质区 216s 和 216d 上。该第一和第二接触垫层 214a 和 214b 在相邻的 STI 层 216a 上方延伸。对于 P-MOSFET PM1 的第一和第二接触垫层 212a 和 212b 的说明能够类似应用于 N-MOSFET NM1 的第一和第二接触垫层 214a 和 214b。如果 P-MOSFET PM1 的第一和第二接触垫层 212a 和 212b 以及 N-MOSFET NM1 的第一和第二接触垫层 214a 和 214b 设置在如图 41 所示相同的垂直面上, 则 STI 层 216a 上方第一和第二接触垫层 214a 和 214b 的延伸长度可以小于 STI 层 204a 上方第一和第二接触垫层 212a 和 212b 的延伸长度。在 N-MOSFET NM1 中, 第一和第二接触垫层 214a 和 214b 以及栅绝缘层 210 和栅电极 211 的侧面被第二 ILD215 覆盖。栅电极 211 和第二 ILD215 的顶表面形成了平坦表面。由栅电极 211 和第二 ILD215 形成的平坦表面结合到由 P-MOSFET PM1 的栅电极 208 和第一 ILD213 形成的平坦表面。栅电极 211 的顶表面结合到栅电极 208 的顶表面。在一堆叠结构中形成第一通孔 H10 和第二通孔 H11, 其中该堆叠结构包括 N-MOSFET NM1 的第二衬底 220, 绝缘层 218, STI 层 216a 和第二 ILD215, 以及 P-MOSFET PM1 的第一 ILD213。第一和第二通孔 H10 和 H11 分别暴露第一和第二接触垫层 212a 和 212b, 并分别由第一导电插塞 P10 和第二导电插塞 P11 填充。在一堆叠结构中形成第三通孔 H12 和第四通孔 H13, 其中该堆叠结构包括 N-MOSFETNM1 的第二衬底 220, 绝缘层 218, STI 层 216a 和第二 ILD215。该第三和第四通孔 H12 和 H13 分别暴露第一和第二接触垫层 214a 和 214b, 并分别由第三导电插塞 P12 和第四导电插塞 P13 填充。

[0379] 假设其上形成有绝缘层 218 的第二衬底 220 的表面被称为第一表面, 并且与第一表面相对的、即其上没有形成绝缘层的第二衬底 220 的表面被称为第二表面, 则第一接触垫 C10 被设置在第二衬底 220 的第二表面上使得其覆盖了第一导电插塞 P10 的整个表面。并且, 第二接触垫 C11 被设置在第二表面上使得其覆盖了第二和第四导电插塞 P11 和 P13 的整个表面。并且, 第三接触垫 C12 被设置在第二表面上使得其覆盖了第三导电插塞 P12 的整个表面。

[0380] 同时, 可以用 n 型单一硅衬底代替 P-MOSFET PM1 的第一衬底 200 和绝缘层 202。在这种情况下, STI 层 204a 以及第一和第二杂质区 204s 和 204d 被设置在 n 型单一硅衬底上。类似的, 可以用 p 型单一硅衬底代替 N-MOSFET NM1 的第二衬底 220 和绝缘层 218, 并且 STI 层 216a 以及第一和第二杂质区 216s 和 216d 可以被设置在 p 型单一硅衬底上。

[0381] 在图 41 中所示的 CMOSFET 中, 可以以任意的顺序堆叠 N-MOSFETNM1 和 P-MOSFET PM1。因此, P-MOSFET PM1 可以被堆叠在 N-MOSFETNM1 上。

[0382] 通过垂直的堆叠 N-MOSFET NM1 和 P-MOSFET PM1, 能够降低存储器件中 CMOSFET 所占据的面积。并且, 在本发明中, N-MOSFET NM1 和 P-MOSFET PM1 形成在不同的衬底上, 然

后将衬底彼此结合,由此完成 CMOSFET。在该过程中,与 N-MOSFET 和 P-MOSFET 形成在一个平面的不同位置相比,能够缩短制造过程。

[0383] 并且,如果 CMOSFET 包括如图 41 所示被垂直堆叠的 N-MOSFET NM1 和 P-MOSFET PM1,则 CMOSFET 和具有预定功能的其他半导体元件例如 CPU、存储器、数字和模拟块等可以被垂直的堆叠。图 42 示出了这种半导体器件的一个实例,其中该半导体器件包括顺序堆叠的图 41 所示的 CMOSFET 和其他半导体元件。

[0384] 参看图 42,半导体器件包括 CMOSFET350,其与图 41 所示的 CMOSFET 相同。在 CMOSFET350 之下,输入/输出(I/O)和控制块 400,射频(RF)专用集成电路(ASIC)块 410 以及模拟 ASIC 块 420 被顺序的堆叠。在模拟 ASIC420 之上,CPU430,高速缓冲存储器 440,主存储器 450 以及数字信号处理芯片 460 被顺序的堆叠。

[0385] 如上所述,本发明的非易失性 CMOS 存储器件包括 p 型非易失性存储器和 n 型非易失性存储器,它们被三维的堆叠。为了形成该非易失性 CMOS 存储器件,p 和 n 型非易失性存储器被形成在分开的衬底上,然后将所述衬底彼此结合。

[0386] 因此,能够改进该存储器件的迁移率,在单一衬底上形成两个非易失性存储器所需的阱工艺能够被省略从而简化整个工艺,并且与将两个非易失性存储器设置在不同的位置相比,能够增加该存储器件的集成密度。

[0387] 并且,由于单位存储器单元为包括非易失性 PMOS 和 NMOS 存储器的 CMOS 存储器,因此在每个单元中可以存储至少两位,并且一个芯片可以由 CMOS 存储器和 CMOS 逻辑构成。

[0388] 并且,基于使用非易失性 PMOS 和 NMOS 存储器之间的互补作用的输出电压检测方法来读取数据,从而能够克服位按比例扩大的限制。

[0389] 并且,在非易失性 PMOS 和 NMOS 存储器中任何一个的数据状态被读出之后,能够使用表示它们之间互补关系的曲线来读出另一个的数据状态。这样,就能够缩短读操作。

[0390] 此外,不是以块为单位而是以单元为单位进行写和擦除操作,因此改进了操作速度并降低了功耗。

[0391] 尽管已经参照其优选实施例对本发明进行了具体表示和描述,但应理解的是,本发明的范围不限于仅仅是示例性的对于本发明的以上详细描述,而是由所附权利要求中公开的主题所限定。例如,本领域普通技术人员可以使用附加的结合部件将第一和第二非易失性存储器结合。并且,数据存储层可以由多层形成。此外,可以使用倒装芯片键合法将 P 和 N 型非易失性存储器或 P-MOSFET 和 N-MOSFET 彼此结合。

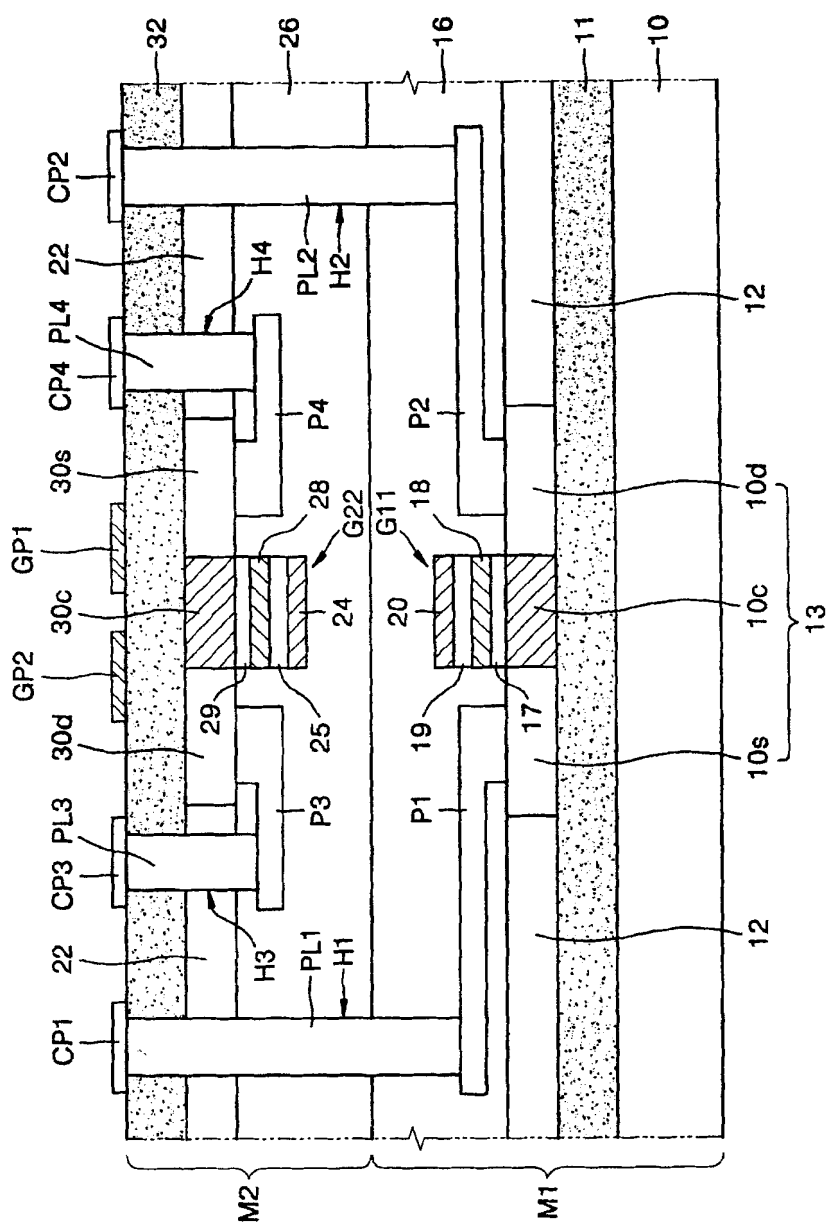


图 1

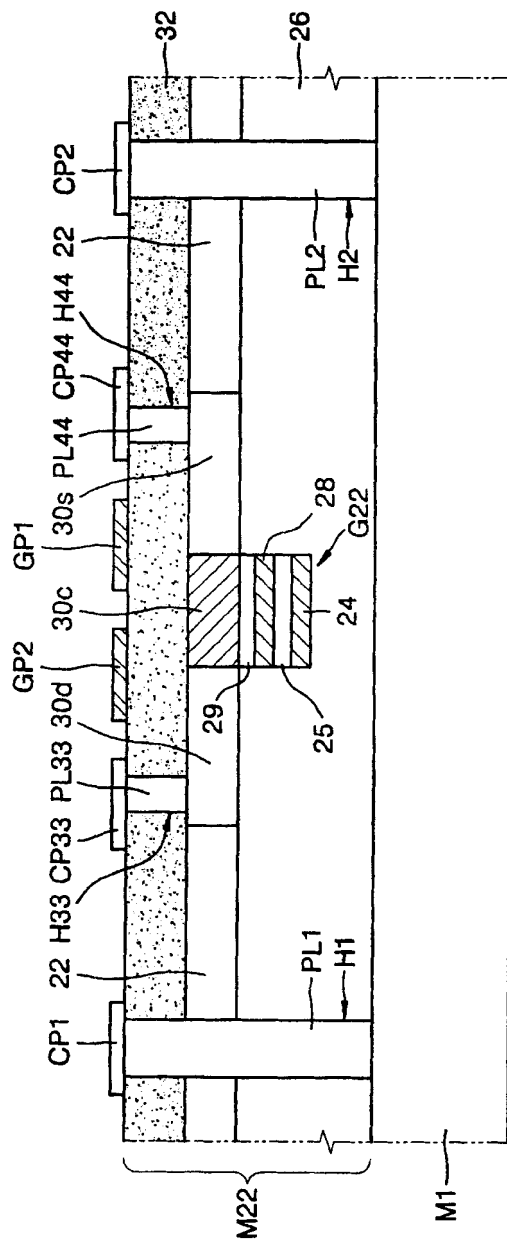


图 2

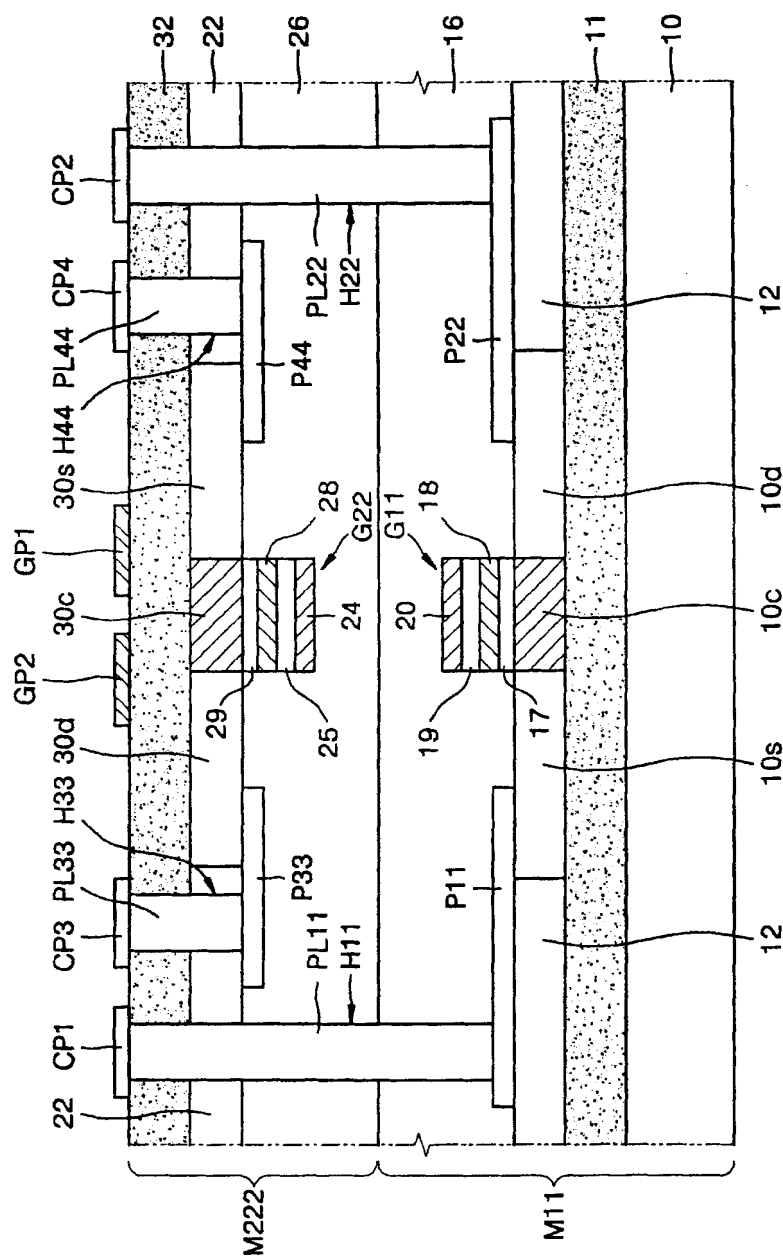


图 3

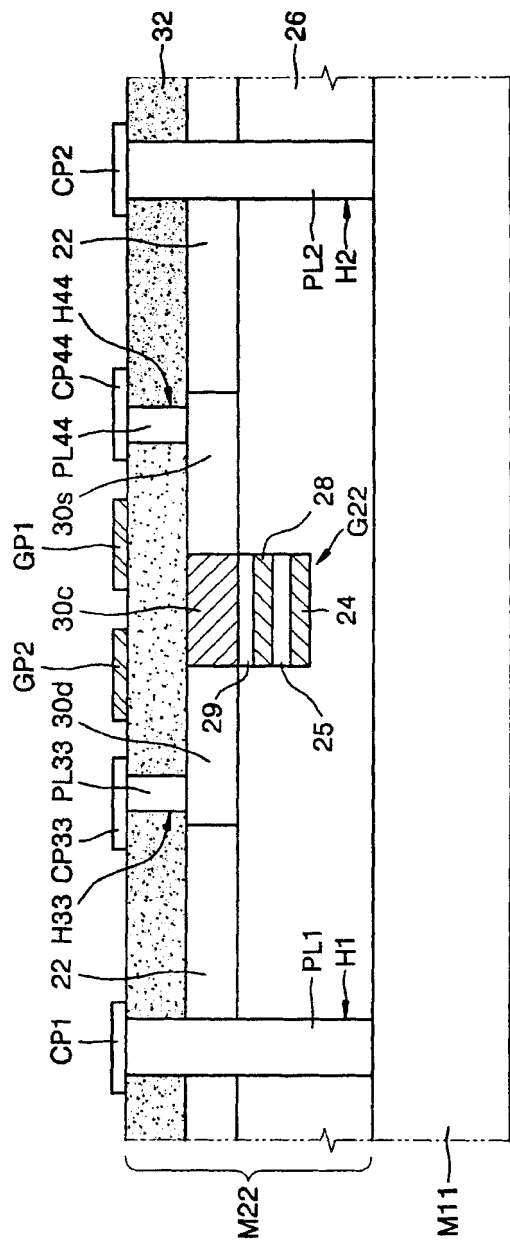


图 4

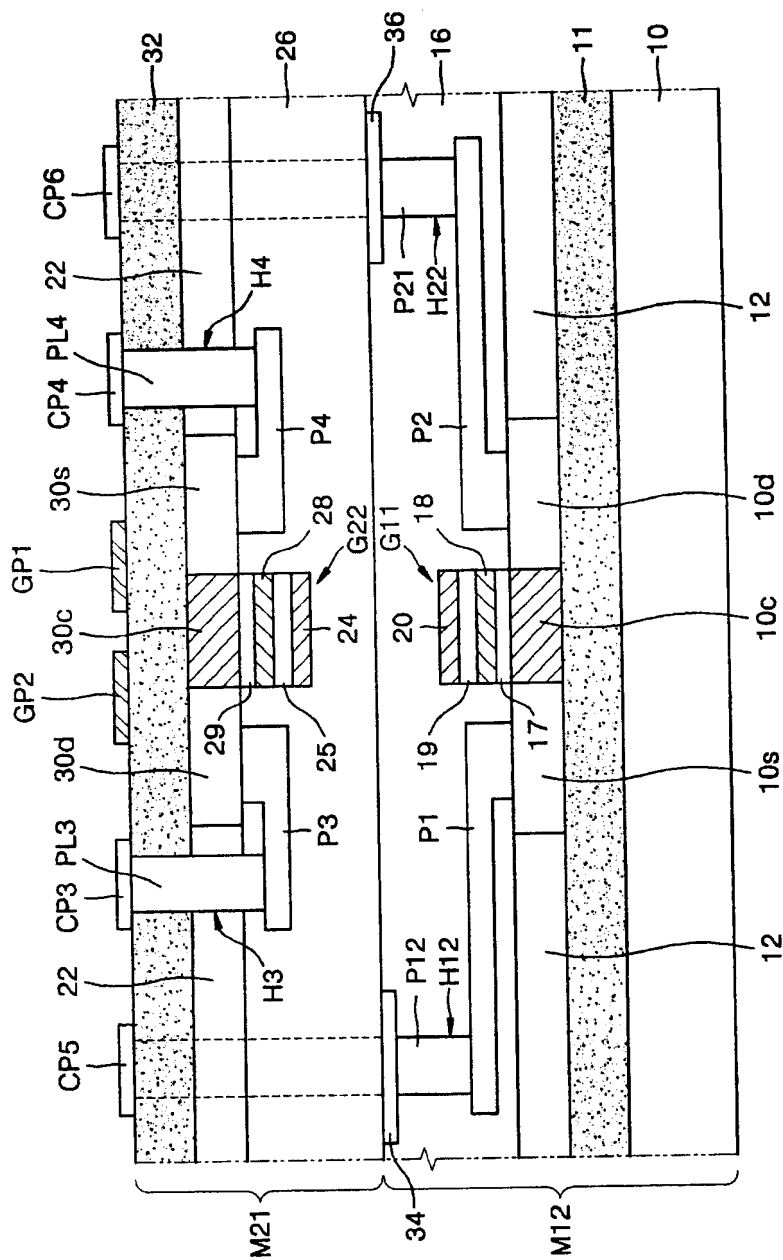


图 5

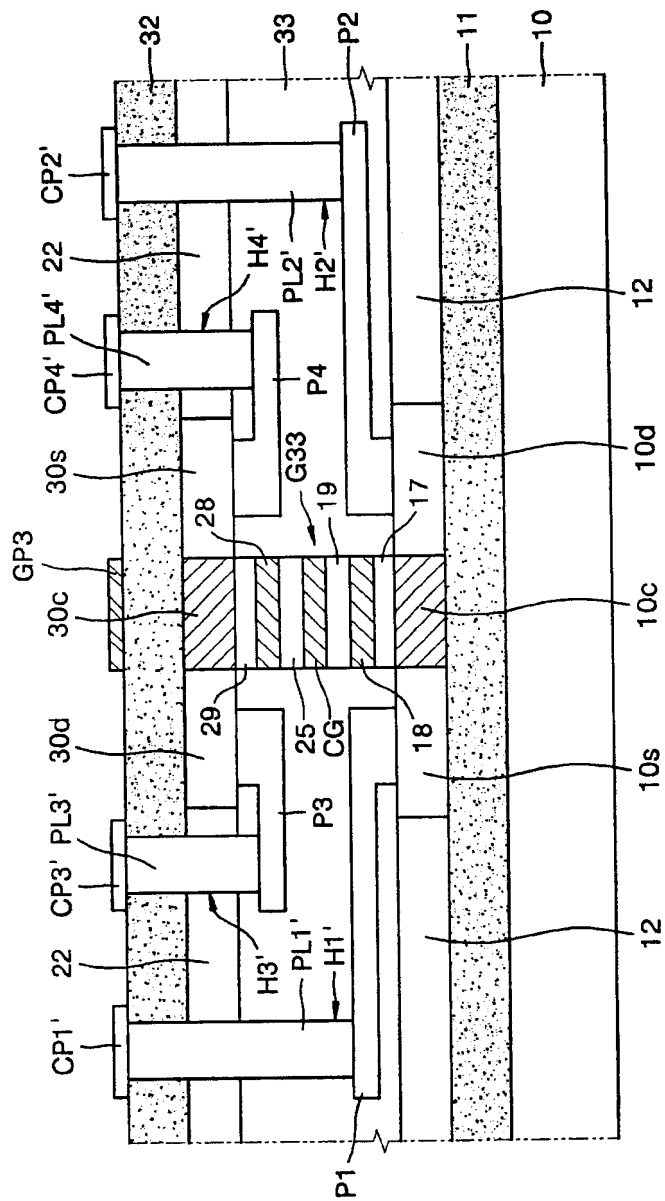


图 6



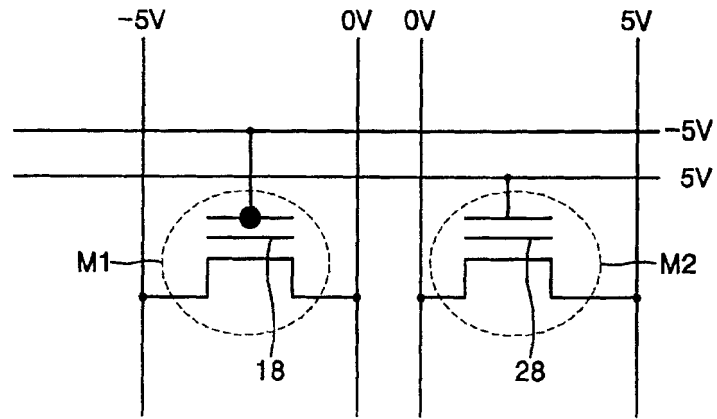


图 9

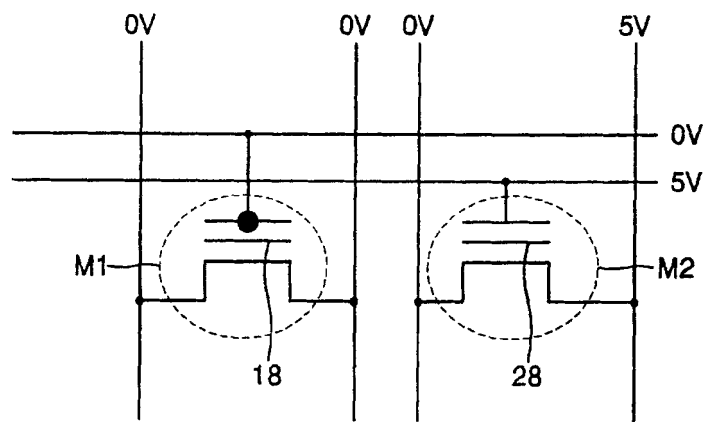


图 10

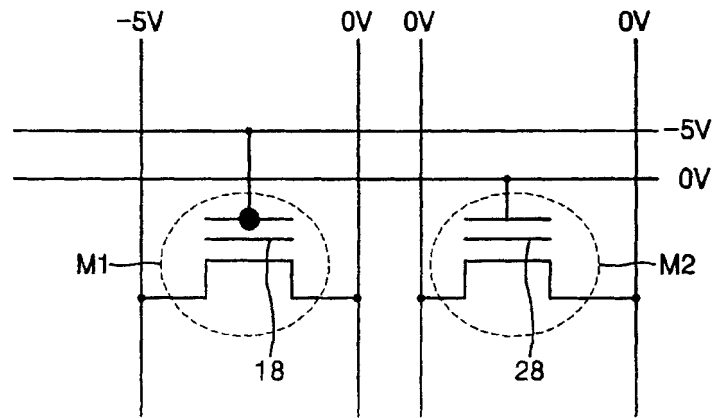


图 11

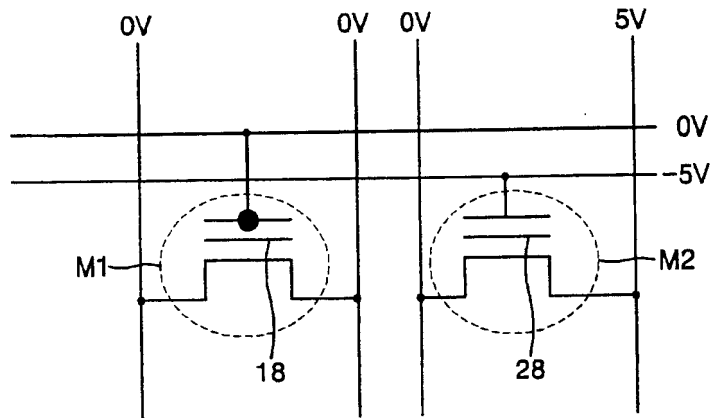


图 12

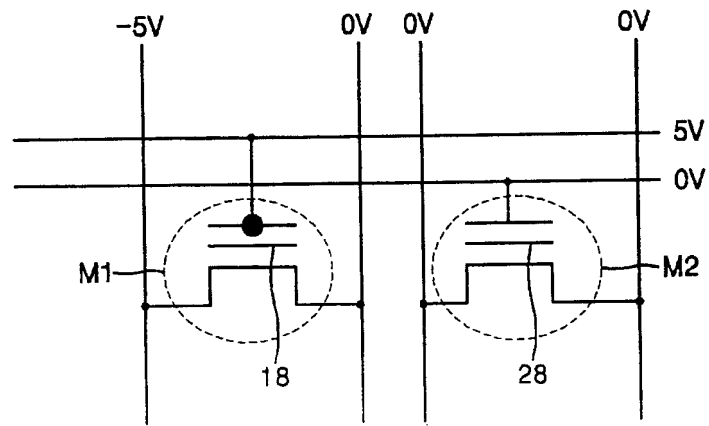


图 13

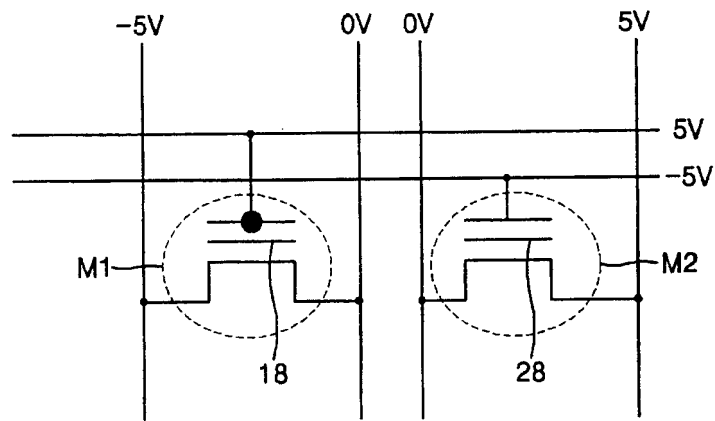


图 14

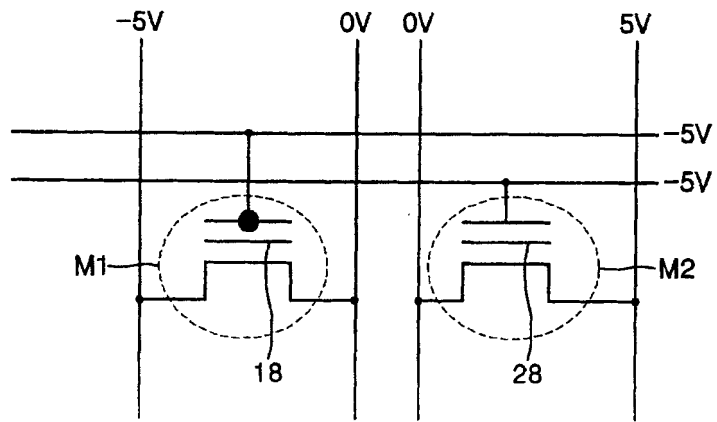


图 15

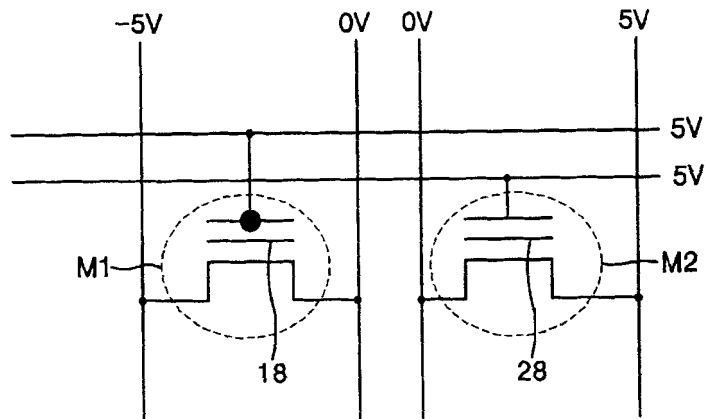


图 16

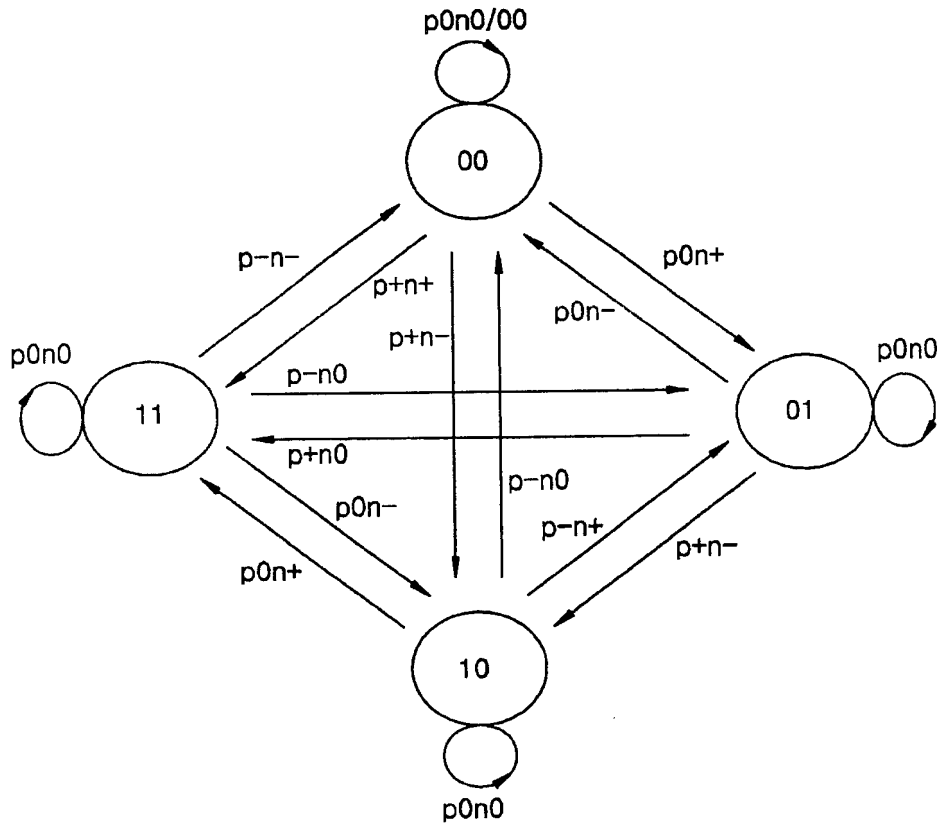


图 17

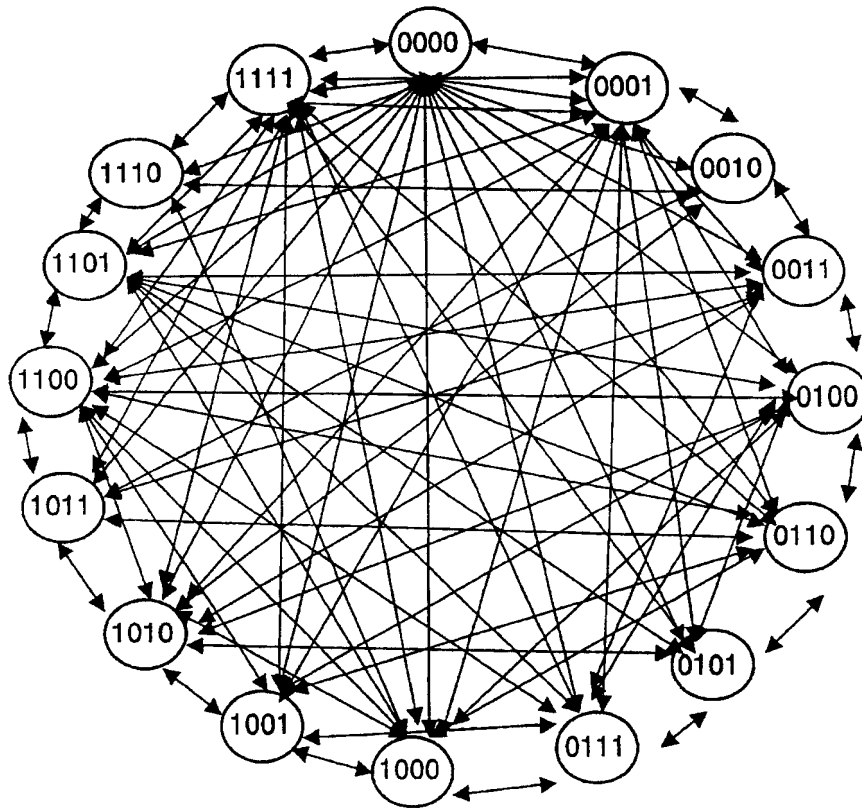


图 18

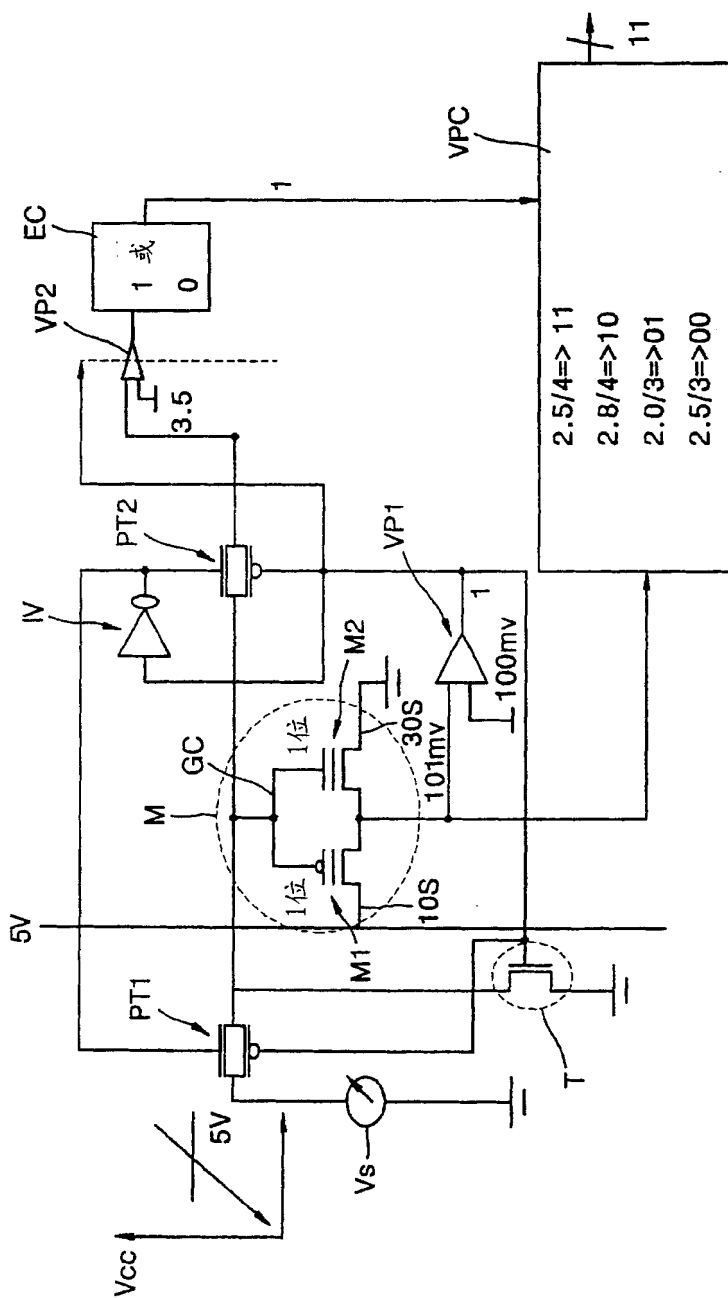


图 19



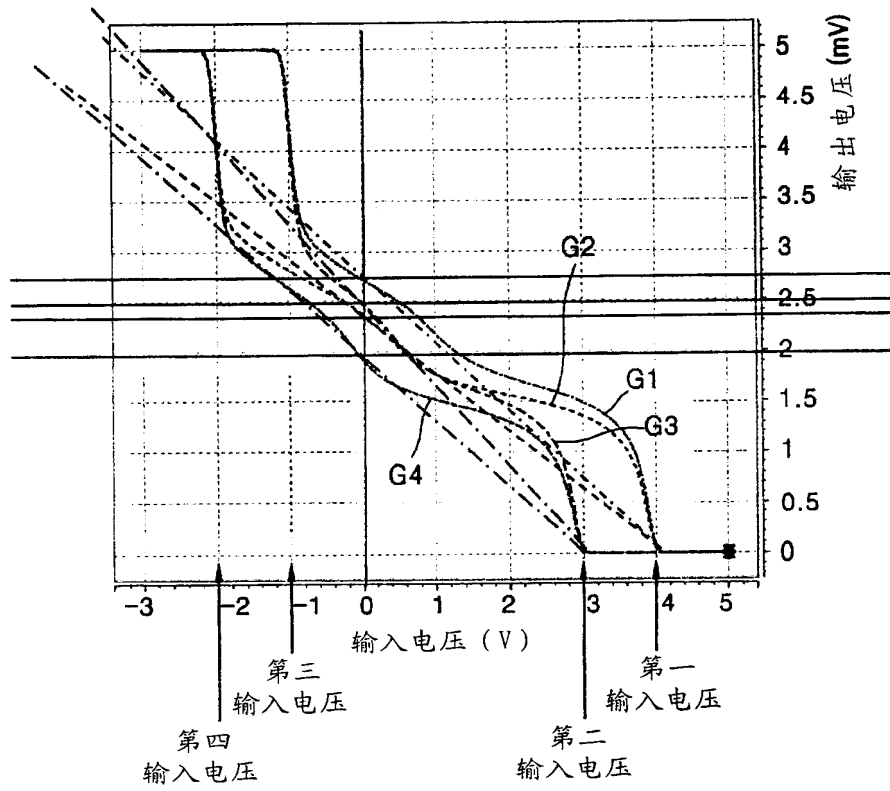


图 21

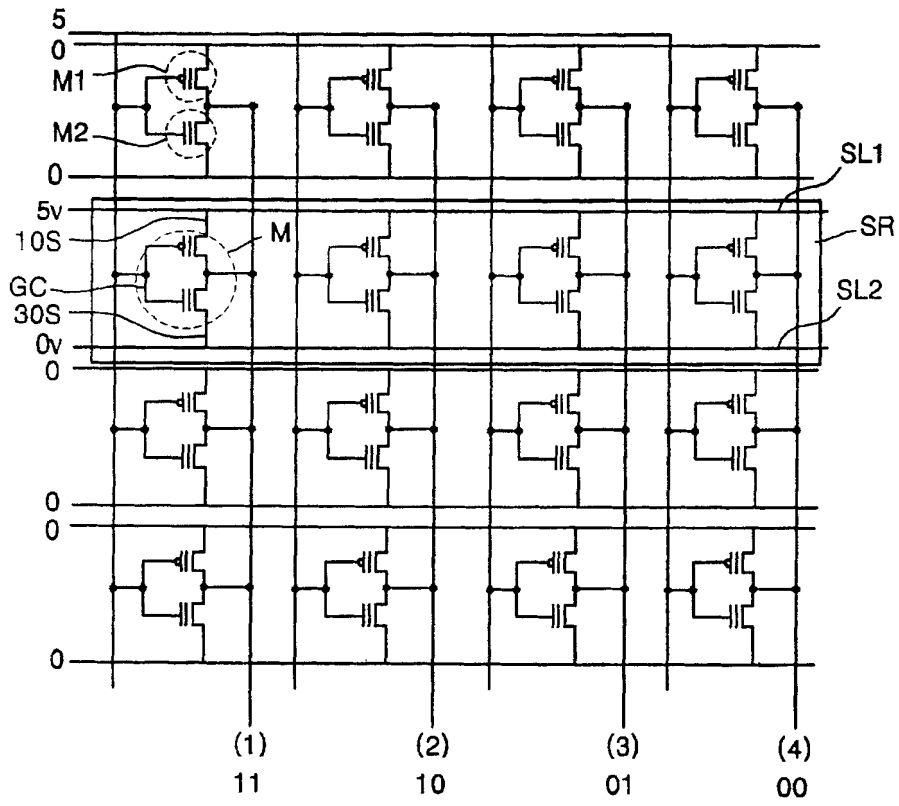


图 22



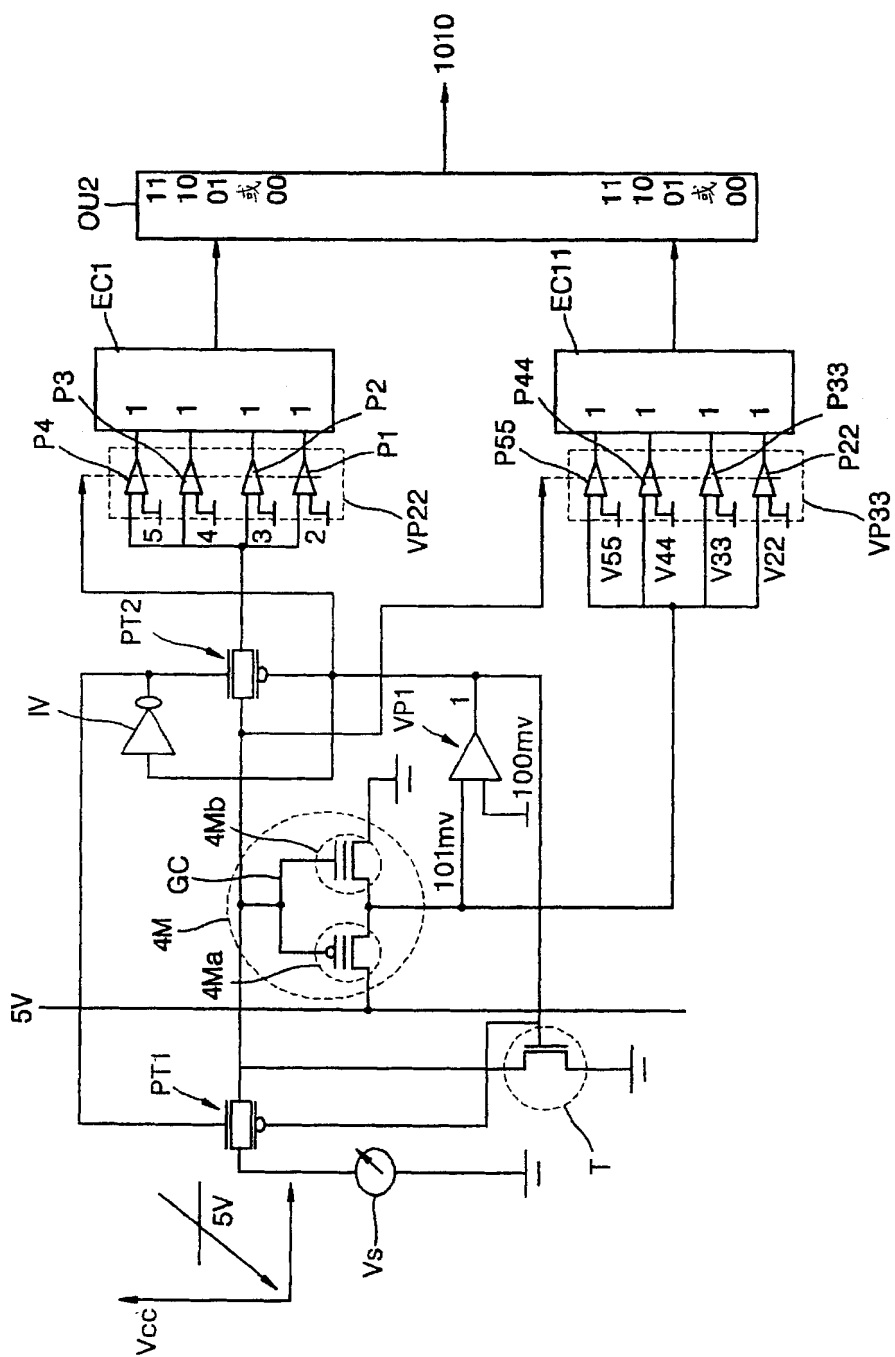


图 24



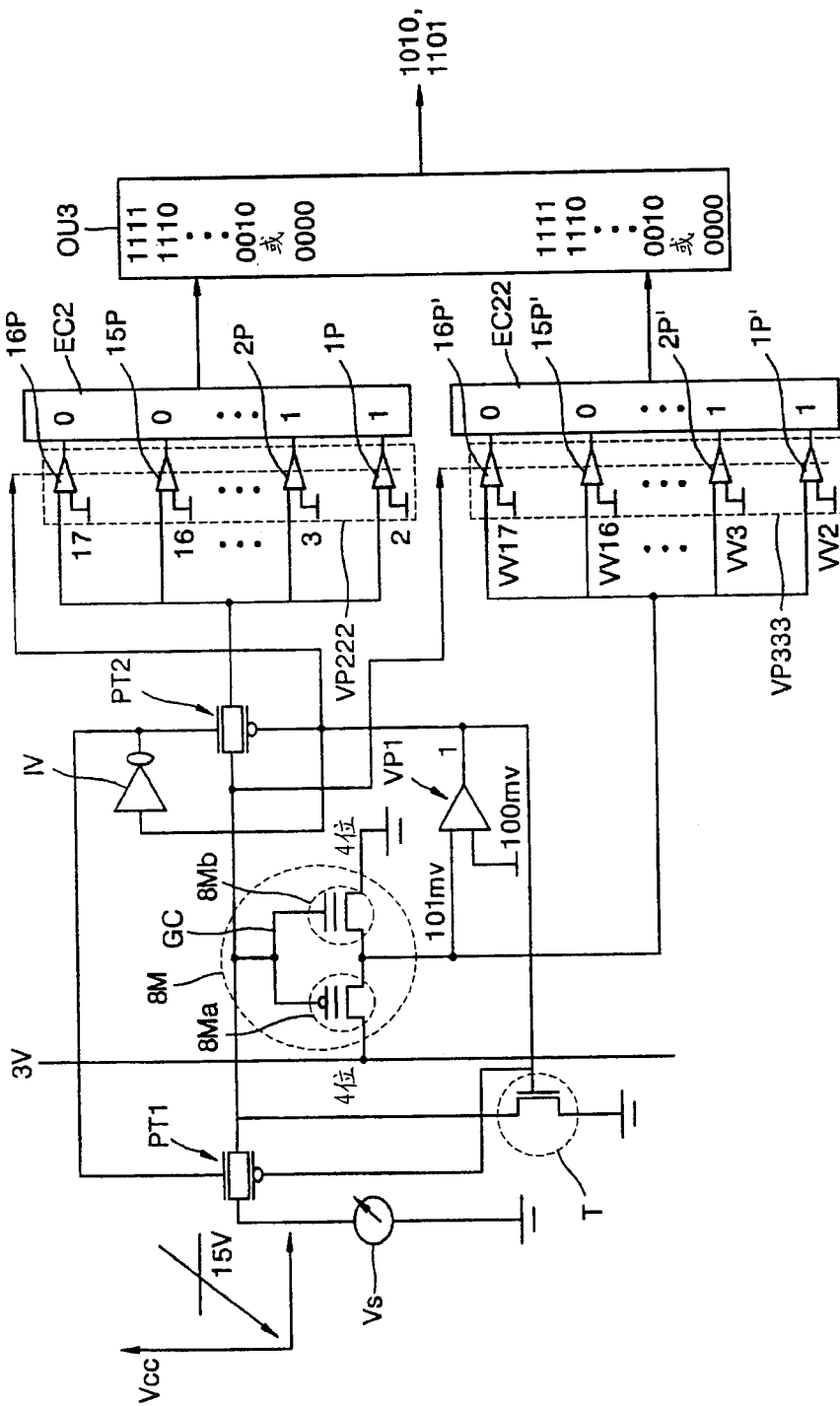


图 26

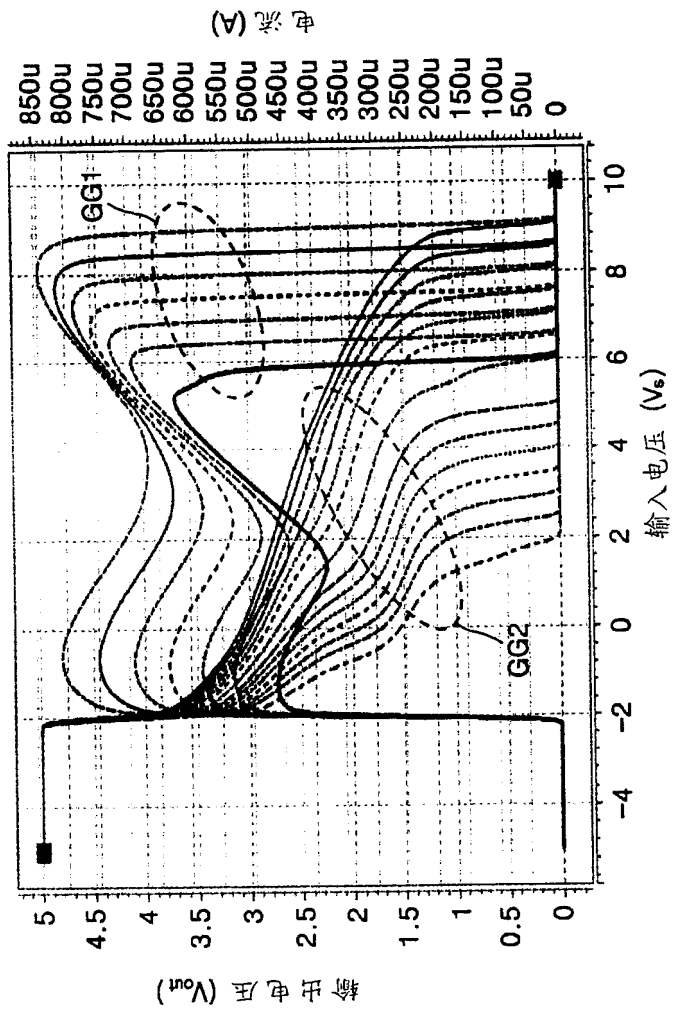


图 27



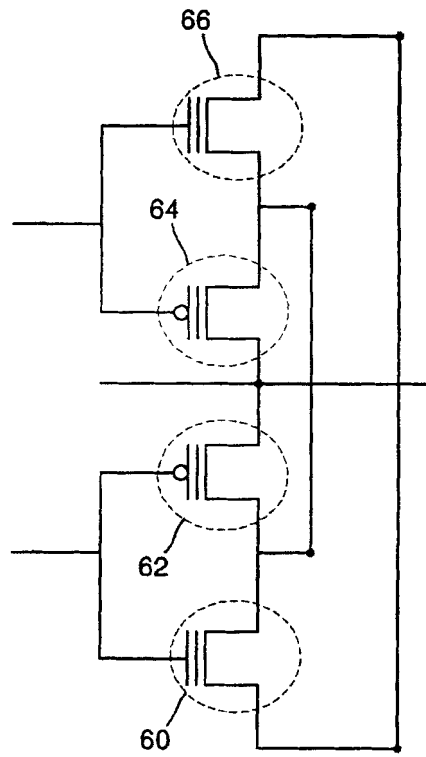


图 29

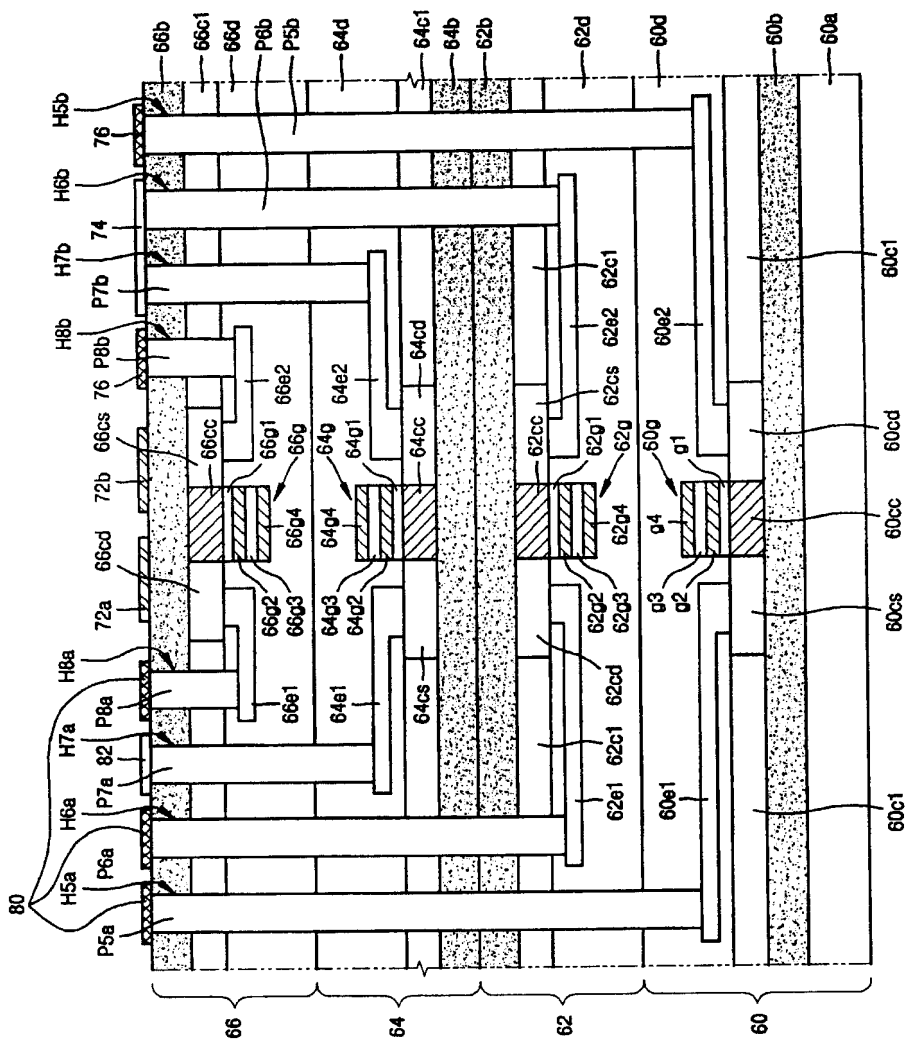


图 30

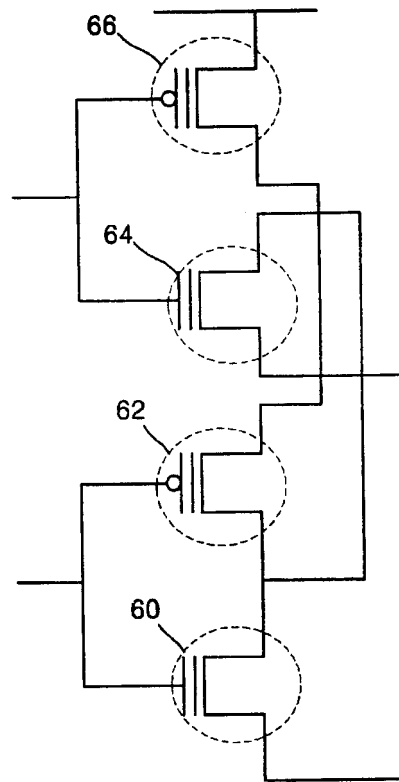


图 31

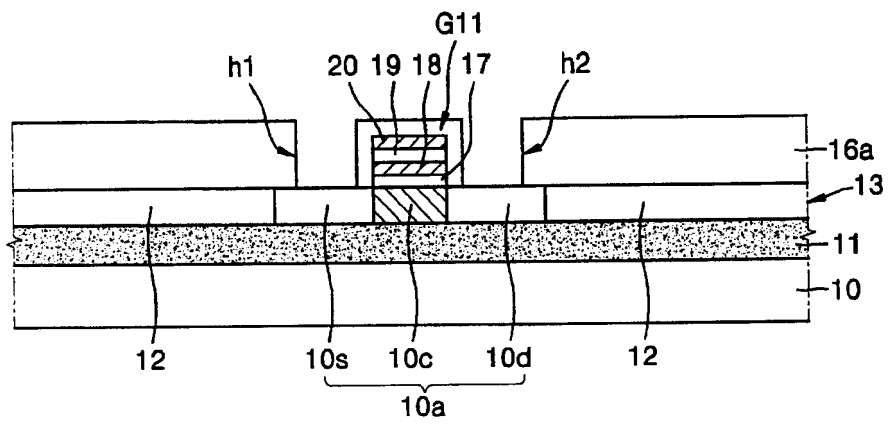


图 32

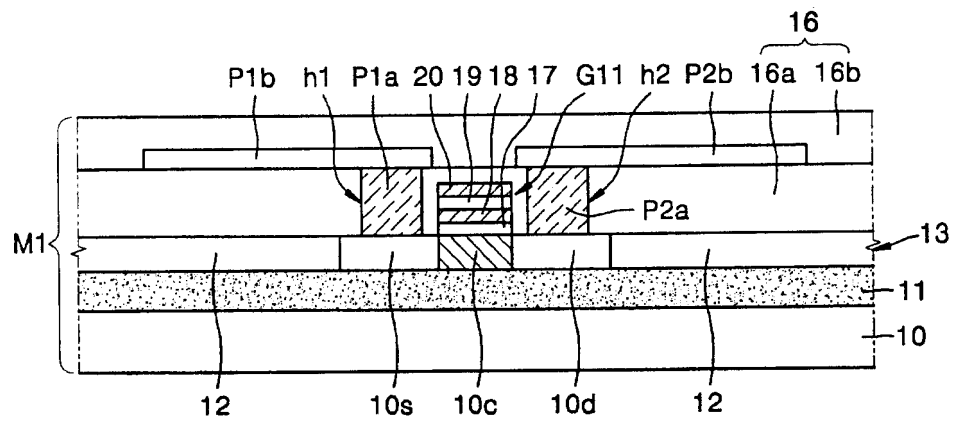


图 33

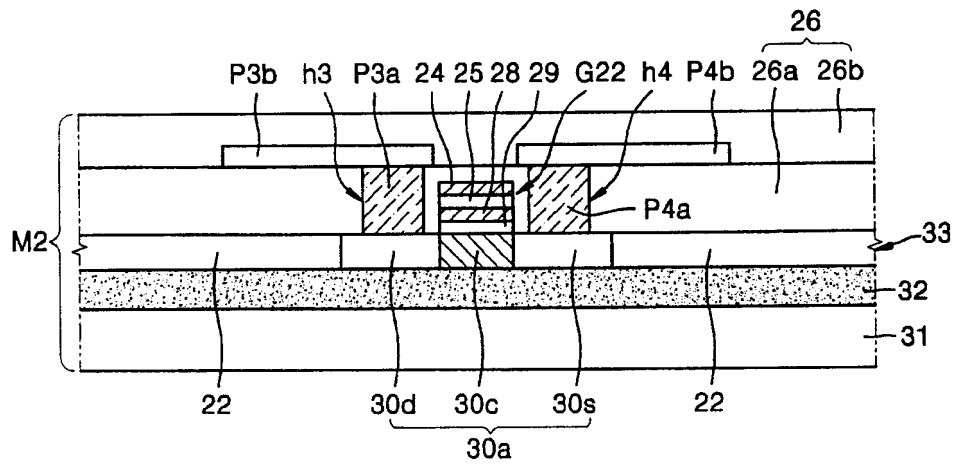


图 34

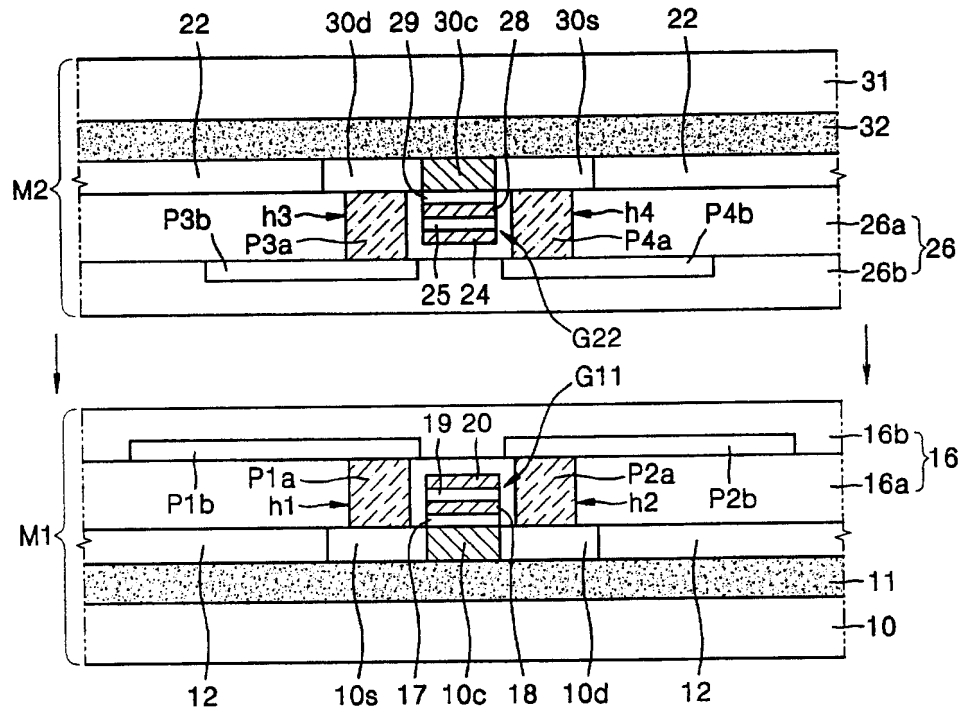


图 35

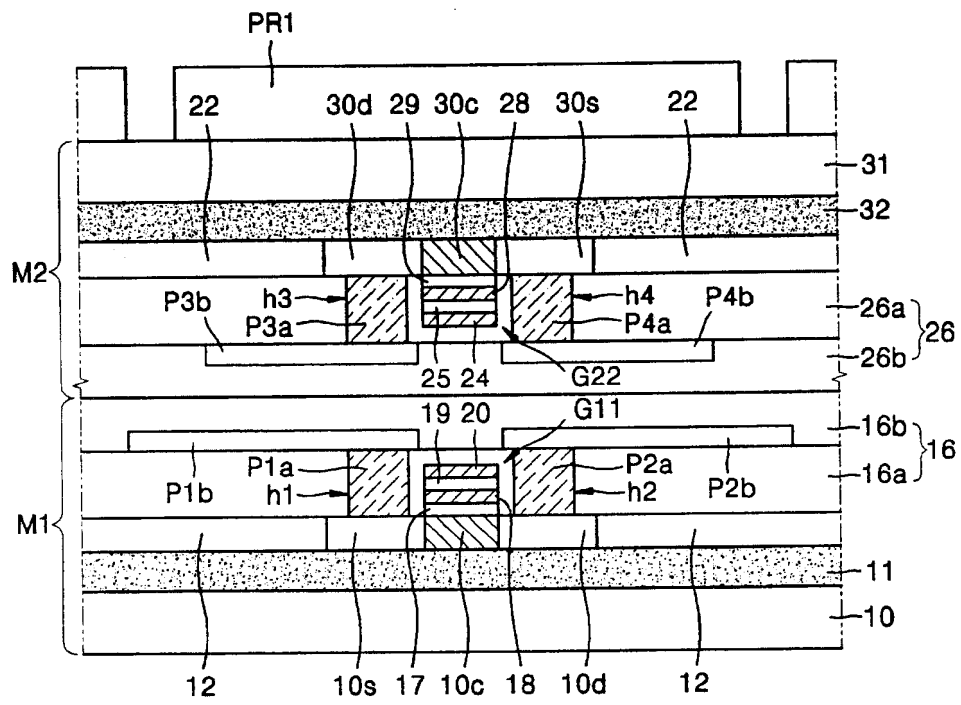


图 36

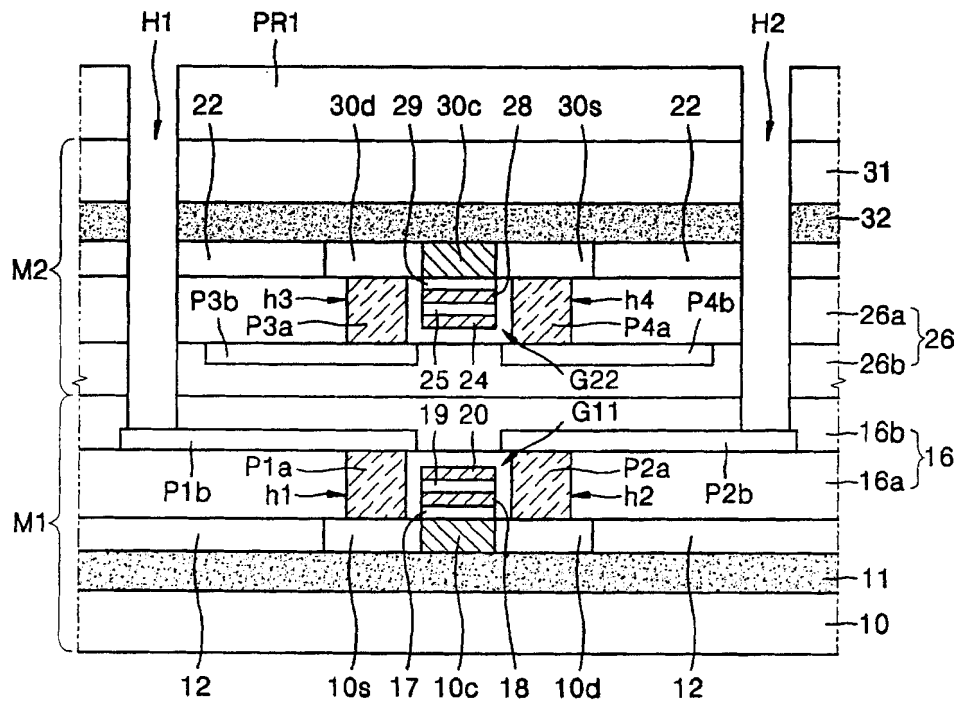


图 37

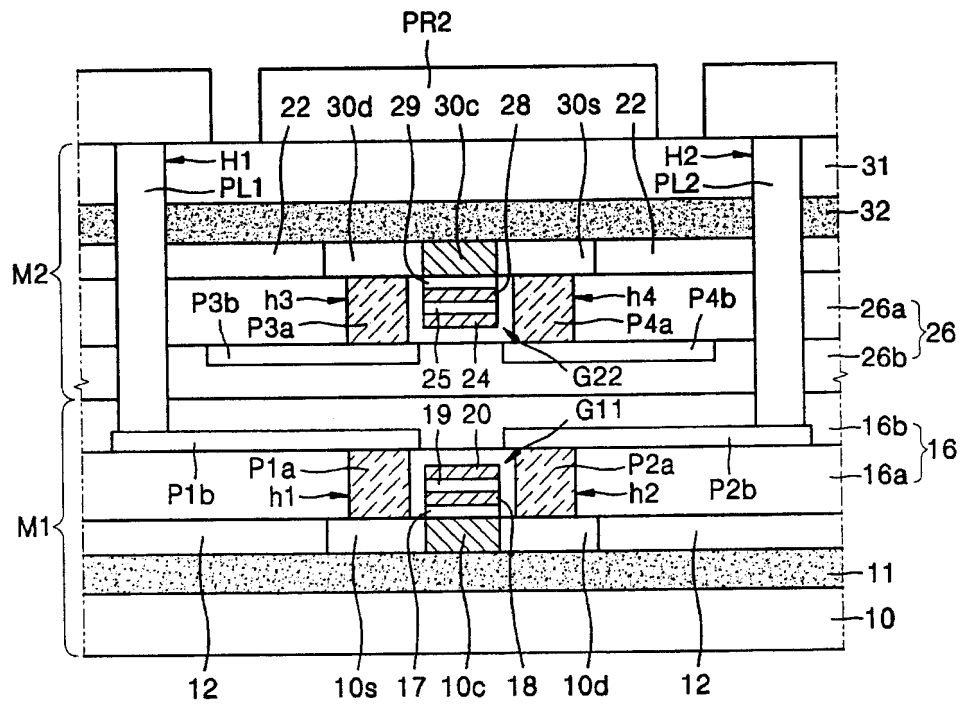


图 38

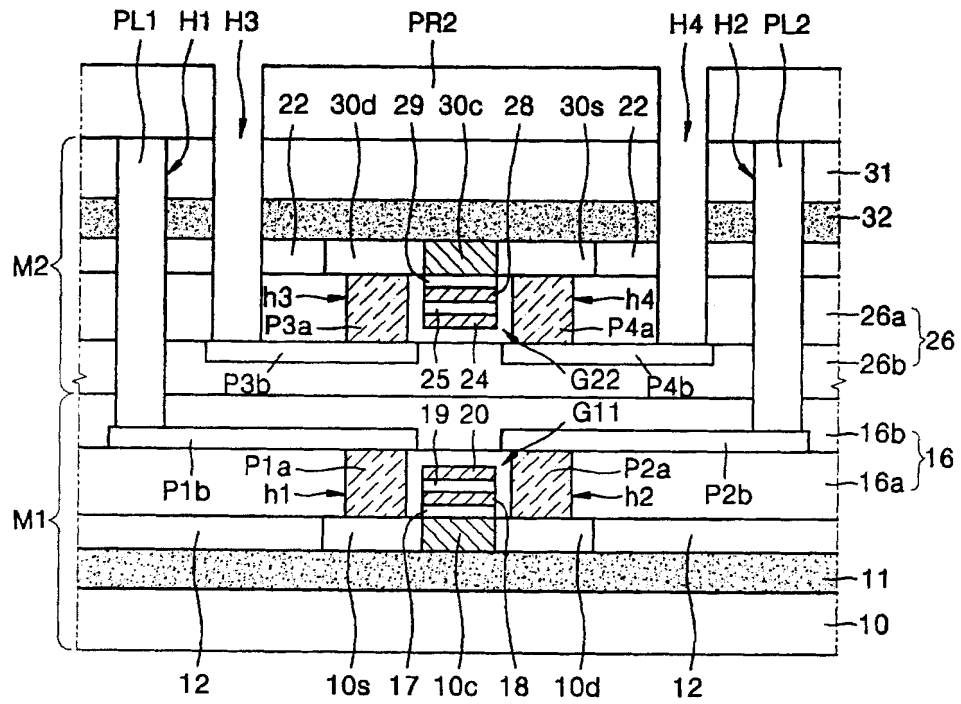


图 39

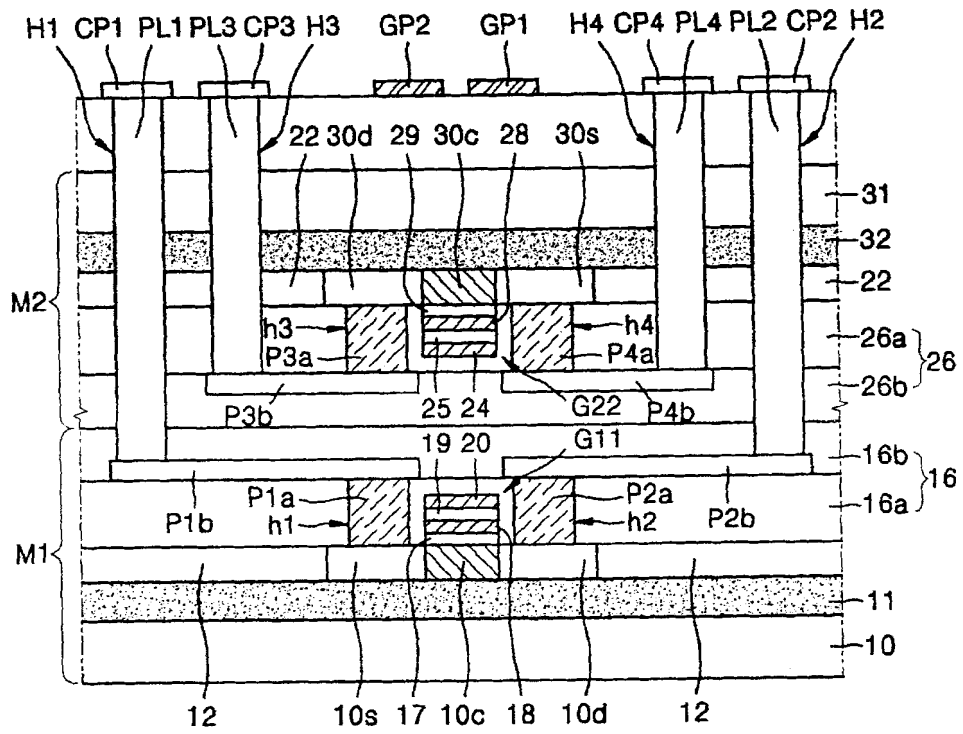


图 40

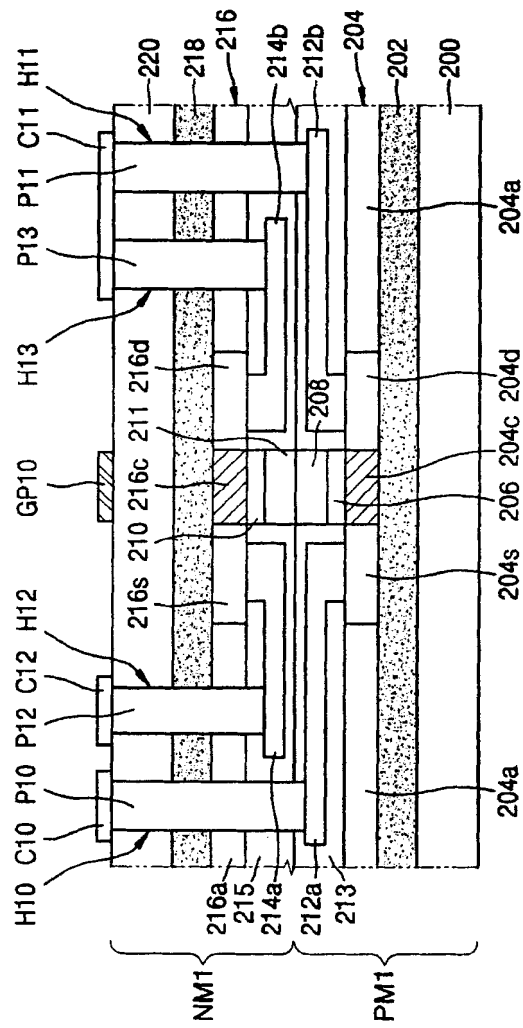


图 41

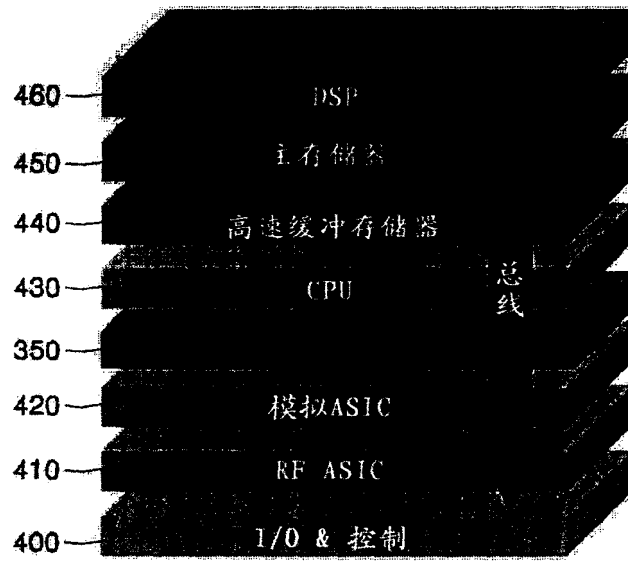


图 42