

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6032276号
(P6032276)

(45) 発行日 平成28年11月24日 (2016.11.24)

(24) 登録日 平成28年11月4日 (2016.11.4)

(51) Int.Cl. F I
GO2F 1/01 (2006.01) GO2F 1/01 B
HO4B 10/548 (2013.01) HO4B 9/00 548

請求項の数 21 (全 21 頁)

(21) 出願番号 特願2014-505815 (P2014-505815)
 (86) (22) 出願日 平成24年11月6日 (2012.11.6)
 (86) 国際出願番号 PCT/JP2012/007119
 (87) 国際公開番号 W02013/140477
 (87) 国際公開日 平成25年9月26日 (2013.9.26)
 審査請求日 平成27年10月7日 (2015.10.7)
 (31) 優先権主張番号 特願2012-64767 (P2012-64767)
 (32) 優先日 平成24年3月22日 (2012.3.22)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000004237
 日本電気株式会社
 東京都港区芝五丁目7番1号
 (74) 代理人 100103894
 弁理士 冢入 健
 (72) 発明者 野口 栄実
 東京都港区芝五丁目7番1号 日本電気株
 式会社内
 審査官 山本 貴一

最終頁に続く

(54) 【発明の名称】 光送信器、光送受信システム及び駆動回路

(57) 【特許請求の範囲】

【請求項1】

複数の位相変調領域が形成された、光信号が伝搬する光伝送路を有する光変調器と、
 前記複数の位相変調領域のそれぞれに、入力デジタル信号に応じて駆動信号を出力する
 駆動回路と、を備え、

前記駆動回路は、

前記入力デジタル信号を上位ビットと下位ビットとに分割するビット分割部と、

前記下位ビットを D / A 変換した値を、駆動信号として前記複数の変調領域のうちの第
 1 の位相変調領域に出力する下位ビット駆動部と、

前記上位ビットの値に応じて、前記下位ビット駆動部が出力する前記駆動信号の最小値
 、又は、前記下位ビット駆動部が出力する前記駆動信号の最大値よりも大きな値を、駆動
 信号として前記第 1 の位相変調領域とは異なる位相変調領域に出力する上位ビット駆動部
 と、を備える、

光送信器。

【請求項2】

前記下位ビット駆動部は、前記下位ビットである n (n は、 2 以上の整数) ビットの信
 号を D / A 変換する 2ⁿ 階調の第 1 の DAC を備えることを特徴とする、

請求項 1 に記載の光送信器。

【請求項3】

前記下位ビット駆動部が出力する前記駆動信号の前記最小値は「 0 」であり、

10

20

前記下位ビット駆動部が出力する前記駆動信号の前記最大値は「 $2^n - 1$ 」であることを特徴とする、

請求項 1 又は 2 に記載の光送信器。

【請求項 4】

前記上位ビット駆動部は、前記上位ビットである m (m は、1 以上の整数) ビットの信号の値に応じて、前記下位ビット駆動部が出力する前記駆動信号の最大値よりも大きな前記値を、それぞれ異なる位相変調領域に出力する ($2^m - 1$) 個のドライバを備えることを特徴とする、

請求項 3 に記載の光送信器。

【請求項 5】

前記 ($2^m - 1$) 個のドライバは、
前記 m ビットの値が 0 である場合には、「0」を出力し、
前記 m ビットの値が 1 大きくなるごとに、前記下位ビット駆動部が出力する前記駆動信号の最大値よりも大きな前記値を出力するものが 1 つずつ増えてゆくことを特徴とする、
請求項 4 に記載の光送信器。

【請求項 6】

前記下位ビット駆動部が出力する前記駆動信号の最大値よりも大きな前記値は、「 2^n 」であることを特徴とする、
請求項 5 に記載の光送信器。

【請求項 7】

前記上位ビット駆動部は、
前記第 1 の位相変調領域とは異なる第 2 の位相変調領域に、前記上位ビットである m (m は、1 以上の整数) ビットの最上位ビットが「0」である場合に「0」を出力し、前記最上位ビットが「1」である場合に「 $2^{(m+n-1)}$ 」を出力するドライバと、
前記第 1 及び第 2 の位相変調領域とは異なる第 3 の位相変調領域に、前記 m ビットの信号の前記最上位ビット以外のビットが示す値を D/A 変換した値に「 2^n 」を乗じた値を出力する第 2 の DAC と、を備えることを特徴とする、
請求項 3 に記載の光送信器。

【請求項 8】

光信号を送出する光送信器と、
前記光信号が伝搬する伝送路と、
前記伝送路を介して前記光信号を受信する光受信器と、を備え、
前記光送信器は、
複数の位相変調領域が形成された、光信号が伝搬する光伝送路を有する光変調器と、
前記複数の位相変調領域のそれぞれに、入力デジタル信号に応じて駆動信号を出力する駆動回路と、を備え、
前記駆動回路は、
前記入力デジタル信号を上位ビットと下位ビットに分割するビット分割部と、
前記下位ビットを D/A 変換した値を、駆動信号として前記複数の変調領域のうちの第 1 の位相変調領域に出力する下位ビット駆動部と、
前記上位ビットの値に応じて、前記下位ビット駆動部が出力する前記駆動信号の最小値、又は、前記下位ビット駆動部が出力する前記駆動信号の最大値よりも大きな値を、駆動信号として前記第 1 の位相変調領域とは異なる位相変調領域に出力する上位ビット駆動部と、を備える、
光送受信システム。

【請求項 9】

前記下位ビット駆動部は、前記下位ビットである n (n は、2 以上の整数) ビットの信号を D/A 変換する 2^n 階調の第 1 の DAC を備えることを特徴とする、
請求項 8 に記載の光送受信システム。

【請求項 10】

10

20

30

40

50

前記下位ビット駆動部が出力する前記駆動信号の前記最小値は「0」であり、
前記下位ビット駆動部が出力する前記駆動信号の前記最大値は「 $2^n - 1$ 」であることを特徴とする、

請求項 8 又は 9 に記載の光送受信システム。

【請求項 11】

前記上位ビット駆動部は、前記上位ビットである m (m は、1 以上の整数) ビットの信号の値に応じて、前記下位ビット駆動部が出力する前記駆動信号の最大値よりも大きな前記値を、それぞれ異なる位相変調領域に出力する ($2^m - 1$) 個のドライバを備えることを特徴とする、

請求項 10 に記載の光送受信システム。

10

【請求項 12】

前記 ($2^m - 1$) 個のドライバは、

前記 m ビットの値が 0 である場合には、「0」を出力し、

前記 m ビットの値が 1 大きくなるごとに、前記下位ビット駆動部が出力する前記駆動信号の最大値よりも大きな前記値を出力するものが 1 つずつ増えてゆくことを特徴とする、

請求項 11 に記載の光送受信システム。

【請求項 13】

前記下位ビット駆動部が出力する前記駆動信号の最大値よりも大きな前記値は、「 2^n 」であることを特徴とする、

請求項 12 に記載の光送受信システム。

20

【請求項 14】

前記上位ビット駆動部は、

前記第 1 の位相変調領域とは異なる第 2 の位相変調領域に、前記上位ビットである m (m は、1 以上の整数) ビットの最上位ビットが「0」である場合に「0」を出力し、前記最上位ビットが「1」である場合に「 $2^{(m+n-1)}$ 」を出力するドライバと、

前記第 1 及び第 2 の位相変調領域とは異なる第 3 の位相変調領域に、前記 m ビットの信号の前記最上位ビット以外のビットが示す値を D/A 変換した値に「 2^n 」を乗じた値を出力する第 2 の DAC と、を備えることを特徴とする、

請求項 10 に記載の光送受信システム。

【請求項 15】

30

入力デジタル信号を上位ビットと下位ビットに分割するビット分割部と、

光変調器に設けられた光信号が伝搬する光伝送路に形成された複数の変調領域のうちの第 1 の位相変調領域に、前記下位ビットを D/A 変換した値を駆動信号として出力する下位ビット駆動部と、

前記上位ビットの値に応じて、前記下位ビット駆動部が出力する前記駆動信号の最小値、又は、前記下位ビット駆動部が出力する前記駆動信号の最大値よりも大きな値を、駆動信号として前記第 1 の位相変調領域とは異なる位相変調領域に出力する上位ビット駆動部と、を備える、

駆動回路。

【請求項 16】

40

前記下位ビット駆動部は、前記下位ビットである n (n は、2 以上の整数) ビットの信号を D/A 変換する 2^n 階調の第 1 の DAC を備えることを特徴とする、

請求項 15 に記載の駆動回路。

【請求項 17】

前記下位ビット駆動部が出力する前記駆動信号の前記最小値は「0」であり、

前記下位ビット駆動部が出力する前記駆動信号の前記最大値は「 $2^n - 1$ 」であることを特徴とする、

請求項 15 又は 16 に記載の駆動回路。

【請求項 18】

前記上位ビット駆動部は、前記上位ビットである m (m は、1 以上の整数) ビットの信

50

号の値に応じて、前記下位ビット駆動部が出力する前記駆動信号の最大値よりも大きな前記値を、それぞれ異なる位相変調領域に出力する ($2^m - 1$) 個のドライバを備えることを特徴とする、

請求項 17 に記載の駆動回路。

【請求項 19】

前記 ($2^m - 1$) 個のドライバは、

前記 m ビットの値が 0 である場合には、「0」を出力し、

前記 m ビットの値が 1 大きくなるごとに、前記下位ビット駆動部が出力する前記駆動信号の最大値よりも大きな前記値を出力するものが 1 つずつ増えてゆくことを特徴とする、

請求項 18 に記載の駆動回路。

10

【請求項 20】

前記下位ビット駆動部が出力する前記駆動信号の最大値よりも大きな前記値は、「 2^n 」であることを特徴とする、

請求項 19 に記載の駆動回路。

【請求項 21】

前記上位ビット駆動部は、

前記第 1 の位相変調領域とは異なる第 2 の位相変調領域に、前記上位ビットである m (m は、1 以上の整数) ビットの最上位ビットが「0」である場合に「0」を出力し、前記最上位ビットが「1」である場合に「 $2^{(m+n-1)}$ 」を出力するドライバと、

前記第 1 及び第 2 の位相変調領域とは異なる第 3 の位相変調領域に、前記 m ビットの信号の前記最上位ビット以外のビットが示す値を D/A 変換した値に「 2^n 」を乗じた値を出力する第 2 の DAC と、を備えることを特徴とする、

20

請求項 17 に記載の駆動回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は光送信器、光送受信システム及び駆動回路に関し、特に多値変調を行う光送信器、光送受信システム及び駆動回路に関する。

【背景技術】

【0002】

インターネットや映像配信等の広帯域マルチメディア通信サービスの爆発的な需要増加に伴い、幹線系やメトロ系ではより長距離大容量かつ高信頼な高密度波長多重光ファイバ通信システムの導入が進んでいる。また、加入者系においても、光ファイバアクセスサービスの普及が急速に進んでいる。こうした光ファイバを使用した通信システムでは、光伝送路である光ファイバの敷設コスト低減や、光ファイバ 1 本当たりの伝送帯域利用効率を高めることが重要である。このため、複数の異なる波長の光信号を多重化して伝送する、波長多重技術が広く用いられている。

30

【0003】

波長多重光ファイバ通信システム向け光送信機には、高速光変調が可能で、その光信号波長依存性が小さく、さらに長距離信号伝送時の受信光波形劣化を招く不要な光位相変調成分 (変調方式が光強度変調方式の場合) または光強度変調成分 (変調方式が光位相変調方式の場合) が極力抑えられた光変調器が要求される。こうした用途には、光導波路型マツハツェンダ (以下 MZ: Mach-Zehnder) 干渉計と同様の光導波路型の光位相変調器を組み込んだ、MZ 光強度変調器が実用的である。

40

【0004】

また、1 波長チャンネル当りの伝送容量拡大にあたっては、課題となるスペクトル利用効率および光ファイバの波長分散や偏波モード分散に対する耐性の観点から、通常の 2 値光強度変調方式に比べて光変調スペクトル帯域幅がより狭い、多値光変調信号方式が有利である。この多値光変調信号方式は、特に今後の需要増加が見込まれる 40 Gb/s を越える幹線系光ファイバ通信システムでは主流になると考えられる。現在、こうした用途向

50

けに、上述のMZ光強度変調器2個と光合分波器を組み合わせたモノリシック集積多値IQ光変調器が開発されている。

【0005】

こうした光変調器を用いて、特に変調電気信号の周波数が1GHzを超えるような高周波領域で高速光変調を行う場合には、光変調器の光位相変調器領域に設けられた電極の長さに対して、変調電気信号の伝搬波長は無視できない程度にまで短くなる。このため、光位相変調器に電場を印加する手段である電極構造の電位分布は、光信号伝搬軸方向で均一と見なすことはできない。よって、光変調特性を正しく見積もるためには、この電極自体を分布定数線路として、かつ、光位相変調器領域を伝搬する変調電気信号を進行波として取り扱う必要がある。この場合、被変調光信号と変調電気信号との実効的な相互作用長をできるだけ稼ぐために、被変調光信号の位相速度 v_o と変調電気信号の位相速度 v_m とを可能な限り近づける(位相速度整合させる)工夫を施した、いわゆる進行波型電極構造が必要となる。

10

【0006】

このような進行波型電極構造と多値光変調信号方式とを実現するための分割電極構造を有する光変調器モジュールがすでに提案されている(特許文献1~4)。また、分割電極のそれぞれにおける被変調光信号の位相変化を多値制御することができる光変調器モジュールが提案されている。この光変調器モジュールは、デジタル信号を入力することにより、進行波構造動作に要する位相速度整合及びインピーダンス整合を維持しつつ任意の多値光変調信号を発生させることが可能な、小型、広帯域及び低駆動電圧の光変調器モジュールである。

20

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開平7-13112号公報

【特許文献2】特開平5-289033号公報

【特許文献3】特開平5-257102号公報

【特許文献4】国際公開第2011/043079号公報

【発明の概要】

【発明が解決しようとする課題】

30

【0008】

ところが発明者は、上述の光変調器モジュールでは、以下に示す問題点があることを見出した。分割電極構造においては、理論上は分割電極の個数を増やすことにより、分割電極の個数分だけの多値化が可能である。しかし、実際に作製される光変調器モジュールに搭載できる分割電極数は、光変調器のサイズにより制限される。そのため、多値変調の階調数は、実際には制約されてしまう。

【0009】

そこで、それぞれの分割電極に与える信号を多値化することが考えられる。入力デジタル信号に応じたアナログ信号を出力する多値D/Aコンバータにより、分割電極のそれぞれに駆動信号を供給すればよい。ところが、この手法だと、分割電極の数だけ多値D/Aコンバータが必要となってしまう。一般的に回路規模が大きい多値D/Aコンバータを光送信器に多数搭載すると、光送信器自体のサイズが大きくなってしまい、高コスト化にも繋がってしまう。

40

【0010】

本発明は上記の課題に鑑みてなされたものであり、本発明の目的は、小規模な回路構成で高次の多値変調が可能な光送信器、光受信システム及び駆動回路を提供することを目的とする。

【課題を解決するための手段】

【0011】

本発明の一態様である光送信器は、複数の位相変調領域が形成された、光信号が伝搬す

50

る光伝送路を有する光変調器と、前記複数の位相変調領域のそれぞれに、入力デジタル信号に応じて駆動信号を出力する駆動回路と、を備え、前記駆動回路は、前記入力デジタル信号を上位ビットと下位ビットとに分割するビット分割部と、前記下位ビットをD/A変換した値を、駆動信号として前記複数の変調領域のうちの第1の位相変調領域に出力する下位ビット駆動部と、前記上位ビットの値に応じて、前記下位ビット駆動部が出力する前記駆動信号の最小値、又は、前記下位ビット駆動部が出力する前記駆動信号の最大値よりも大きな値を、駆動信号として前記第1の位相変調領域とは異なる位相変調領域に出力する上位ビット駆動部と、を備えるものである。

【0012】

本発明の一態様である光送受信システムは、光信号を送出する光送信器と、前記光信号が伝搬する伝送路と、前記伝送路を介して前記光信号を受信する光受信器と、を備え、前記光送信器は、複数の位相変調領域が形成された、光信号が伝搬する光伝送路を有する光変調器と、前記複数の位相変調領域のそれぞれに、入力デジタル信号に応じて駆動信号を出力する駆動回路と、を備え、前記駆動回路は、前記入力デジタル信号を上位ビットと下位ビットに分割するビット分割部と、前記下位ビットをD/A変換した値を、駆動信号として前記複数の変調領域のうちの第1の位相変調領域に出力する下位ビット駆動部と、前記上位ビットの値に応じて、前記下位ビット駆動部が出力する前記駆動信号の最小値、又は、前記下位ビット駆動部が出力する前記駆動信号の最大値よりも大きな値を、駆動信号として前記第1の位相変調領域とは異なる位相変調領域に出力する上位ビット駆動部と、を備えるものである。

【0013】

本発明の一態様である駆動回路は、入力デジタル信号を上位ビットと下位ビットに分割するビット分割部と、光変調器に設けられた光信号が伝搬する光伝送路に形成された複数の変調領域のうちの第1の位相変調領域に、前記下位ビットをD/A変換した値を駆動信号として出力する下位ビット駆動部と、前記上位ビットの値に応じて、前記下位ビット駆動部が出力する前記駆動信号の最小値、又は、前記下位ビット駆動部が出力する前記駆動信号の最大値よりも大きな値を、駆動信号として前記第1の位相変調領域とは異なる位相変調領域に出力する上位ビット駆動部と、を備えるものである。

【発明の効果】

【0014】

本発明によれば、小規模な回路構成で高次の多値変調が可能な光送信器、光送受信システム及び駆動回路を提供することができる。

【図面の簡単な説明】

【0015】

【図1】一般的な分割電極構造の多値の光送信器500の構成を模式的に示すブロック図である。

【図2A】光合分波器513の構成を模式的に示す図である。

【図2B】光合分波器514の構成を模式的に示す図である。

【図3】光送信器500の動作を示す動作表である。

【図4】光送信器500での光の伝搬態様を模式的に示す図である。

【図5A】位相変調領域PM51__1~51__4及び位相変調領域PM52__1~52__4により位相変調を受けなかった場合の光L1及びL2を示すコンスタレーション図である。

【図5B】光送信器500において入力デジタル信号の2進コードが「0000」である場合の光L1及びL2を示すコンスタレーション図である。

【図5C】光送信器500における光L1及びL2を示すコンスタレーション図である。

【図5D】光送信器500において光L1及びL2が合波されることによる出力光OUTの光強度を示すコンスタレーション図である。

【図6】実施の形態1にかかる光送信器100の構成を模式的に示すブロック図である。

【図7】実施の形態1にかかる光送信器100の動作を示す動作表である。

10

20

30

40

50

【図 8】実施の形態 2 にかかる光送信器 200 の構成を模式的に示すブロック図である。

【図 9】実施の形態 3 にかかる光送信器 300 の構成を模式的に示すブロック図である。

【図 10】実施の形態 3 にかかる光送信器 300 の動作を示す動作表である。

【図 11】実施の形態 4 にかかる光受信システム 400 の構成を模式的に示すブロック図である。

【発明を実施するための形態】

【0016】

以下、図面を参照して本発明の実施の形態について説明する。各図面においては、同一要素には同一の符号が付されており、必要に応じて重複説明は省略される。

【0017】

以下の実施の形態にかかる光送信器の構成及び動作を理解するための前提として、一般的な分割電極構造の多値の光送信器 500 について説明する。光送信器 500 は、多値変調光送信器であるが、ここでは説明の簡略化のため、光送信器 500 を 4 ビットの光送信器として説明する。図 1 は、一般的な分割電極構造の多値の光送信器 500 の構成を模式的に示すブロック図である。光送信器 500 は、光変調器 51、デコーダ 52 及び駆動回路 53 を有する。

【0018】

光変調器 51 は、入力光 IN を変調した出力光 OUT を出力する。光変調器 51 は、光導波路 511 及び 512、光合分波器 513 及び 514、位相変調領域 PM51_1 ~ PM51_4、PM52_1 ~ PM52_4 を有する。光導波路 511 及び 512 は並列に配置される。

【0019】

光導波路 511 及び 512 の光信号入力（入力光 IN）側には、光合分波器 513 が挿入される。光合分波器 513 の入力側では、入力ポート P1 に入力光 IN が入力され、入力ポート P2 は無入力とする。光合分波器 513 の出力側では、光導波路 511 は出力ポート P3 と接続され、光導波路 512 は出力ポート P4 と接続される。

【0020】

図 2A は、光合分波器 513 の構成を模式的に示す図である。光合分波器 513 では、入力ポート P1 に入射した光は、出力ポート P3 及び P4 に伝搬する。ただし、入力ポート P1 から出力ポート P4 に伝搬する光は、入力ポート P1 から出力ポート P3 に伝搬する光に比べて、位相が 90° 遅延する。また、入力ポート P2 に入射した光は、出力ポート P3 及び P4 に伝搬する。ただし、入力ポート P2 から出力ポート P3 に伝搬する光は、入力ポート P2 から出力ポート P4 に伝搬する光に比べて、位相が 90° 遅延する。

【0021】

光導波路 511 及び 512 の光信号出力（出力光 OUT）側には、光合分波器 514 が挿入される。光合分波器 514 の入力側では、光導波路 511 は入力ポート P5 と接続され、光導波路 512 は入力ポート P6 と接続される。光合分波器 514 の出力側では、出力ポート P7 から出力光 OUT が出力される。

【0022】

図 2B は、光合分波器 514 の構成を模式的に示す図である。光合分波器 514 は、光合分波器 513 と同様の構成を有する。入力ポート P5 及び P6 は、それぞれ光合分波器 513 の入力ポート P1 及び P2 に対応する。出力ポート P7 及び P8 は、それぞれ光合分波器 513 の出力ポート P3 及び P4 に対応する。入力ポート P5 に入射した光は、出力ポート P7 及び P8 に伝搬する。ただし、入力ポート P5 から出力ポート P8 に伝搬する光は、入力ポート P5 から出力ポート P7 に伝搬する光に比べて、位相が 90° 遅延する。また、入力ポート P6 に入射した光は、出力ポート P7 及び P8 に伝搬する。ただし、入力ポート P6 から出力ポート P7 に伝搬する光は、入力ポート P6 から出力ポート P8 に伝搬する光に比べて、位相が 90° 遅延する。

【0023】

光合分波器 513 と光合分波器 514 との間の光導波路 511 には、位相変調領域 PM

10

20

30

40

50

5 1 __ 1 ~ P M 5 1 __ 4 が配置される。光合分波器 5 1 3 と光合分波器 5 1 4 との間の光導波路 5 1 2 には、位相変調領域 P M 5 2 __ 1 ~ P M 5 2 __ 4 が配置される。

【 0 0 2 4 】

ここで、位相変調領域とは、光導波路上に形成された電極を有する領域である。そして、電極に電気信号、例えば電圧信号が印加されることにより、電極の下の光導波路の実効屈折率が変化する。その結果、位相変調領域の光導波路の実質的な光路長を変化させることができる。これにより、位相変調領域は、光導波路を伝搬する光信号の位相を変化させることができる。そして、2本の光導波路 5 1 1 及び 5 1 2 の間を伝搬する光信号間に位相差を与えることで、光信号を変調することができる。すなわち、光変調器 5 1 は、2本のアームと電極分割構造を有する、多値のマツハツェンダ光変調器を構成する。

10

【 0 0 2 5 】

デコーダ 5 2 は、4ビットの入力デジタル信号 D [3 : 0] をデコードし、例えば多ビットの信号 D 1 ~ D 4 を駆動回路 5 3 に出力する。

【 0 0 2 6 】

駆動回路 5 3 は、5 値の D / A コンバータ D A C 5 1 ~ D A C 5 4 を有する。D / A コンバータ D A C 5 1 ~ D A C 5 4 のそれぞれには、信号 D 1 ~ D 4 が供給される。D / A コンバータ D A C 5 1 ~ D A C 5 4 は、信号 D 1 ~ D 4 に応じて一对の差動出力信号を出力する。このとき、D / A コンバータ D A C 5 1 ~ D A C 5 4 から出力される差動出力信号の正相出力信号のそれぞれは、位相変調領域 P M 5 1 __ 1 ~ 5 1 __ 4 に出力される。D / A コンバータ D A C 5 1 ~ D A C 5 4 から出力される差動出力信号の逆相出力信号のそれぞれは、位相変調領域 P M 5 2 __ 1 ~ 5 2 __ 4 に出力される。

20

【 0 0 2 7 】

ここで、D / A コンバータ D A C 5 1 ~ D A C 5 4 が出力する差動出力信号について説明する。D / A コンバータ D A C 5 1 は、上述のように、5 値出力 (0 、 1 、 2 、 3 、 4) の D / A コンバータである。つまり、D A C 5 1 は、信号 D 1 の値の増大に応じて、正相出力信号の値を「 0 」 「 1 」 「 2 」 「 3 」 「 4 」の順に増加させる。

【 0 0 2 8 】

一方、D A C 5 1 は、正相出力信号を反転させた信号を、逆相出力信号として出力する。つまり、D A C 5 1 は、信号 D 1 の値の増大に応じて、逆相出力信号の値を「 4 」 「 3 」 「 2 」 「 1 」 「 0 」の順に増加させる。なお、正相出力信号及び逆相出力信号の値の和が、5 値出力の最大値「 4 」と等しくなるように、逆相出力信号の値が決定されると理解することも可能である。

30

【 0 0 2 9 】

図 3 は、光送信器 5 0 0 の動作を示す動作表である。D / A コンバータ D A C 5 1 は、入力デジタル信号 D [3 : 0] が「 0 0 0 0 」 「 0 0 0 1 」 「 0 0 1 0 」 「 0 0 1 1 」 「 0 1 0 0 」と増加するに従って、正相出力信号の値を「 0 」 「 1 」 「 2 」 「 3 」 「 4 」の順で増加させ、逆相出力信号の値を「 4 」 「 3 」 「 2 」 「 1 」 「 0 」の順で減少させる。ただし、入力デジタル信号 D [3 : 0] が「 0 1 0 1 」以上の場合には、D / A コンバータ D A C 5 1 の正相出力信号の値は「 4 」、逆相出力信号の値は「 0 」となる。

40

【 0 0 3 0 】

D / A コンバータ D A C 5 2 は、入力デジタル信号 D [3 : 0] が「 0 1 0 0 」 「 0 1 0 1 」 「 0 1 1 0 」 「 0 1 1 1 」 「 1 0 0 0 」と増加するに従って、正相出力信号の値を「 0 」 「 1 」 「 2 」 「 3 」 「 4 」の順で増加させ、逆相出力信号の値を「 4 」 「 3 」 「 2 」 「 1 」 「 0 」の順で減少させる。ただし、入力デジタル信号 D [3 : 0] が「 0 0 1 1 」以下の場合には、D / A コンバータ D A C 5 2 の正相出力信号の値は「 0 」、逆相出力信号の値は「 4 」となる。また、入力デジタル信号 D [3 : 0] が「 1 0 0 1 」以上の場合には、D / A コンバータ D A C 5 2 の正相出力信号の値は「 4 」、逆相出力信号の値は「 0 」となる。

【 0 0 3 1 】

50

D/AコンバータDAC53は、入力デジタル信号D[3:0]が「1000」「1001」「1010」「1011」「1100」と増加するに従って、正相出力信号の値を「0」「1」「2」「3」「4」の順で増加させ、逆相出力信号の値を「4」「3」「2」「1」「0」の順で減少させる。ただし、入力デジタル信号D[3:0]が「0111」以下の場合には、D/AコンバータDAC53の正相出力信号の値は「0」、逆相出力信号の値は「4」となる。また、入力デジタル信号D[3:0]が「1101」以上の場合には、D/AコンバータDAC53の正相出力信号の値は「4」、逆相出力信号の値は「0」となる。

【0032】

D/AコンバータDAC54は、入力デジタル信号D[3:0]が「1100」「1101」「1110」「1111」と増加するに従って、正相出力信号の値を「0」「1」「2」「3」の順で増加させ、逆相出力信号の値を「4」「3」「2」「1」の順で減少させる。ただし、入力デジタル信号D[3:0]が「1011」以下の場合には、D/AコンバータDAC51の正相出力信号の値は「0」、逆相出力信号の値は「4」となる。

【0033】

ここで、光送信器500の位相変調動作について説明する。図4は、光送信器500での光の伝搬様態を模式的に示す図である。この例では、図1に示すように、光合分波器513の入力ポートP1に入力光INが入力する。そのため、出力ポートP3から出力される光に比べて、出力ポートP4から出力される光は、位相が90°遅れる。その後、出力ポートP3から出力された光は、位相変調領域PM51_1~51_4を通過し、光合分波器514の入力ポートP5に到達する。入力ポートP5に到達した光は、そのまま出力ポートP7に到達する。一方、出力ポートP4から出力された光は、位相変調領域PM52_1~52_4を通過し、光合分波器514の入力ポートP6に到達する。入力ポートP6に到達した光は、さらに位相が90°遅延して、出力ポートP7に到達する。

【0034】

つまり、位相変調領域PM51_1~51_4及び位相変調領域PM52_1~52_4により位相変調を受けなかった場合でも、入力ポートP6から出力ポートP7に到達する光L2は、入力ポートP5から出力ポートP7に到達する光L1に比べて、位相が180°遅延することとなる。

【0035】

図5Aは、位相変調領域PM51_1~51_4及び位相変調領域PM52_1~52_4により位相変調を受けなかった場合の光L1及びL2を示すコンスタレーション図である。上述したように、入力ポートP6から出力ポートP7に到達する光L2は、入力ポートP5から出力ポートP7に到達する光L1に比べて、位相が180°遅延する。

【0036】

これに対し、光送信器500では、位相変調領域PM51_1~51_4には正相出力信号が入力し、位相変調領域PM52_1~52_4には逆相出力信号が入力する。これにより、入力ポートP6から出力ポートP7に到達する光L2の位相遅れを補償する。図5Bは、光送信器500において入力デジタル信号D[3:0]の2進コードが「0000」である場合の光L1及びL2を示すコンスタレーション図である。例えば、入力デジタル信号D[3:0]の2進コードが「0000」であれば、位相変調領域PM51_1~51_4には正相出力信号である「0」が入力される。一方、位相変調領域PM52_1~52_4には逆相出力信号である「4」が入力される。これにより、位相変調領域PM52_1~52_4を通過する光は、更に位相が180°遅れる。

【0037】

すなわち、入力ポートP6から出力ポートP7に到達する光L2には、元々の180°位相遅れに加えて、位相変調領域PM52_1~52_4による位相遅れである180°が加算される。これにより、入力ポートP6から出力ポートP7に到達する光L2には、360°の位相遅れが生じるため、入力ポートP5から出力ポートP7に到達する光L1

10

20

30

40

50

に対する位相遅れが実質的に解消される。また、入力デジタル信号 D [3 : 0] の 2 進コードが増加して、D A C 5 1 ~ 5 4 から出力される正相出力信号が増加するとともに、逆相出力信号が減少する。

【 0 0 3 8 】

図 5 C は、光送信器 5 0 0 における光 L 1 及び L 2 を示すコンスタレーション図である。図 5 C に示すように、差動出力信号を用いることで、入力デジタル信号 D [3 : 0] の変化に応じて、入力ポート P 1 から出力ポート P 4 及び入力ポート P 6 から出力ポート P 7 に到達する光 L 2 の位相遅れを補償しつつ、L 1 / L 2 の各々が R e 軸に対して対照的に光の位相が変化することとなり、光送信器における光 D / A 変換が可能となる。これにより、図 3 の動作表に示すように、入力デジタル信号 D [3 : 0] の値に応じて、光 L 1 の位相変調量を 0 ~ 1 5 、光 L 2 の位相変調量を 0 ~ - 1 5 の 1 6 段階に変化させることができる。

10

【 0 0 3 9 】

なお、図 5 B 及び図 5 C では、入力デジタル信号 D [3 : 0] の 2 進コードが「 0 0 0 0 」又は「 1 1 1 1 」のときに、光 L 1 及び L 2 の位置が一致していないが、これは、図面を見やすくするために過ぎない。つまり、入力デジタル信号 D [3 : 0] の 2 進コードが「 0 0 0 0 」又は「 1 1 1 1 」のときに、光 L 1 及び L 2 の位置が一致していてもよい。また、ここでは、位相変調領域で変調される位相変化量は、入力デジタル信号に応じて 0 ~ 1 8 0 度変化する場合について説明したが、これに限ったことではない。

【 0 0 4 0 】

20

光送信器 5 0 0 は、以上の構成により、4 ビットの光送信器として機能する。ところが、駆動回路 5 3 によって位相変調された L 1 および L 2 の位相の階調が等間隔である場合には、以下の問題が生じる。図 5 D は、光送信器 5 0 0 において光 L 1 及び L 2 が合波されることによる出力光 O U T の光強度を示すコンスタレーション図である。図 5 D に示すように、光信号の位相を等間隔にずらしてゆくと、出力光の光強度の階調間隔は不均一になってしまい、入力デジタル信号に対する出力光の信号強度の線形性が確保できない。

【 0 0 4 1 】

実施の形態 1

まず、本発明の実施の形態 1 にかかる光送信器 1 0 0 について説明する。光送信器 1 0 0 は、多値変調光送信器であるが、ここでは説明の簡略化のため、光送信器 1 0 0 を 4 ビットの光送信器として説明する。図 6 は、実施の形態 1 にかかる光送信器 1 0 0 の構成を模式的に示すブロック図である。光送信器 1 0 0 は、光変調器 1 1 及び駆動回路 1 2 を有する。

30

【 0 0 4 2 】

光変調器 1 1 は、入力光 I N を変調した出力光 O U T を出力する。光変調器 1 1 は、光導波路 1 1 1 及び 1 1 2、光合分波器 1 1 3 及び 1 1 4、位相変調領域 P M 1 1 _ 1 ~ P M 1 1 _ 4、P M 1 2 _ 1 ~ 1 2 _ 4 を有する。光導波路 1 1 1 及び 1 1 2 は並列に配置される。

【 0 0 4 3 】

光導波路 1 1 1 及び 1 1 2 の光信号入力（入力光 I N）側には、光合分波器 1 1 3 が挿入される。光合分波器 1 1 3 は、上述の光合分波器 5 1 3 と同様の構成を有する。光合分波器 1 1 3 の入力側では、入力ポート P 1 に入力光 I N が入力され、入力ポート P 2 は無入力とする。光合分波器 1 1 3 の出力側では、光導波路 1 1 1 は出力ポート P 3 と接続され、光導波路 1 1 2 は出力ポート P 4 と接続される。

40

【 0 0 4 4 】

光導波路 1 1 1 及び 1 1 2 の光信号出力（出力光 O U T）側には、光合分波器 1 1 4 が挿入される。光合分波器 1 1 4 は、上述の光合分波器 5 1 4 と同様の構成を有する。光合分波器 1 1 4 の入力側では、光導波路 1 1 1 は入力ポート P 5 と接続され、光導波路 1 1 2 は入力ポート P 6 と接続される。光合分波器 1 1 4 の出力側では、出力ポート P 7 から出力光 O U T が出力される。

50

【 0 0 4 5 】

光合分波器 1 1 3 と光合分波器 1 1 4 との間の光導波路 1 1 1 には、位相変調領域 P M 1 1 _ 1 ~ P M 1 1 _ 4 が配置される。光合分波器 1 1 3 と光合分波器 1 1 4 との間の光導波路 1 1 2 には、位相変調領域 P M 1 2 _ 1 ~ P M 1 2 _ 4 が配置される。

【 0 0 4 6 】

ここで、位相変調領域とは、光導波路上に形成された電極（分割電極）を有する領域である。そして、電極に電気信号、例えば電圧信号が印加されることにより、電極の下の光導波路の実効屈折率が変化する。その結果、位相変調領域の光導波路の実質的な光路長を変化させることができる。これにより、位相変調領域は、光導波路を伝搬する光信号の位相を変化させることができる。そして、2本の光導波路 1 1 1 及び 1 1 2 の間を伝搬する光信号間に位相差を与えることで、光信号を変調することができる。すなわち、光変調器 1 1 は、2本のアームと電極分割構造を有する、多値のマッハツェンダ光変調器を構成する。

10

【 0 0 4 7 】

駆動回路 1 2 は、下位ビット駆動部 1 2 1、上位ビット駆動部 1 2 2 及びビット分割部 1 2 3 を有する。ビット分割部 1 2 3 は、駆動回路 1 2 に供給される 4 ビットの入力デジタル信号 D [3 : 0] を、上位ビットと下位ビットとに分割する。ここでは、ビット分割部 1 2 3 は、入力デジタル信号 D [3 : 0] を、2 ビットの上位ビット D [3 : 2] 及び 2 ビットの下位ビット D [1 : 0] に分割するものとする。

【 0 0 4 8 】

図 7 は、実施の形態 1 にかかる光送信器 1 0 0 の動作を示す動作表である。下位ビット駆動部 1 2 1 には、下位ビット D [1 : 0] が供給される。下位ビット駆動部 1 2 1 は、下位ビット D [0 : 1] の値に応じて、一对の差動出力信号を出力する。このとき、下位ビット駆動部 1 2 1 から出力される差動出力信号の正相出力信号は、位相変調領域 P M 1 1 _ 1 に出力される。下位ビット駆動部 1 2 1 から出力される差動出力信号の逆相出力信号は、位相変調領域 P M 1 2 _ 1 に出力される。

20

【 0 0 4 9 】

具体的には、下位ビット D [1 : 0] に応じた下位ビット駆動部 1 2 1 の出力は 4 値（0、1、2、3）である。下位ビット駆動部 1 2 1 は、下位ビット D [1 : 0] の値の増大に応じて、正相出力信号の値を「0」「1」「2」「3」の順に増加させる。

30

【 0 0 5 0 】

一方、下位ビット駆動部 1 2 1 は、正相出力信号を反転させた信号を、逆相出力信号として出力する。つまり、下位ビット駆動部 1 2 1 は、下位ビット D [1 : 0] の値の増大に応じて、逆相出力信号の値を「3」「2」「1」「0」の順に減少させる。なお、正相出力信号及び逆相出力信号の値の和が、4 値出力の最大値「3」と等しくなるように、逆相出力信号の値が決定されると理解することも可能である。

【 0 0 5 1 】

上位ビット駆動部 1 2 2 には、上位ビット D [3 : 2] が供給される。上位ビット駆動部 1 2 2 は、上位ビット D [3 : 2] に値に応じて、3 対の差動出力信号を出力する。このとき、上位ビット駆動部 1 2 2 から出力される差動出力信号の正相出力信号は、それぞれ位相変調領域 P M 1 1 _ 2 ~ P M 1 1 _ 4 に出力される。上位ビット駆動部 1 2 2 から出力される差動出力信号の逆相出力信号は、それぞれ位相変調領域 P M 1 2 _ 2 ~ P M 1 2 _ 4 に出力される。なお、上位ビット駆動部 1 2 2 では、正相出力信号及び逆相出力信号は、ともに「0」又は「4」の値のみをとる。すなわち、正相出力信号が「0」である場合には、逆相出力信号は「4」である。正相出力信号が「4」である場合には、逆相出力信号は「0」である。

40

【 0 0 5 2 】

具体的には、上位ビット D [3 : 2] のうちの最上位ビット D [3] 及び最上位ビット D [2] がともに「0」である場合に、上位ビット駆動部 1 2 2 は、正相出力信号として位相変調領域 P M 1 1 _ 2 ~ P M 1 1 _ 4 へ「0」を、逆相出力信号として位相変調領域 P M

50

1 2 _ 2 ~ P M 1 2 _ 4 へ「 4 」を出力する。

【 0 0 5 3 】

上位ビット D [3 : 2] のうちの最上位ビット D [3] が「 0 」、最上位ビット D [2] が「 1 」である場合に、上位ビット駆動部 1 2 2 は、正相出力信号として、位相変調領域 P M 1 1 _ 2 へ「 4 」、位相変調領域 P M 1 1 _ 3 及び P M 1 1 _ 4 へ「 0 」を出力する。また、上位ビット駆動部 1 2 2 は、逆相出力信号として、位相変調領域 P M 1 2 _ 2 へ「 0 」、位相変調領域 P M 1 2 _ 3 及び P M 1 2 _ 4 へ「 4 」を出力する。

【 0 0 5 4 】

上位ビット D [3 : 2] のうちの最上位ビット D [3] が「 1 」、最上位ビット D [2] が「 0 」である場合に、上位ビット駆動部 1 2 2 は、正相出力信号として、位相変調領域 P M 1 1 _ 2 及び P M 1 1 _ 3 へ「 4 」、位相変調領域 P M 1 1 _ 4 へ「 0 」を出力する。また、上位ビット駆動部 1 2 2 は、逆相出力信号として、位相変調領域 P M 1 2 _ 2 及び P M 1 2 _ 3 へ「 0 」、位相変調領域 P M 1 2 _ 4 へ「 4 」を出力する。

【 0 0 5 5 】

上位ビット D [3 : 2] のうちの最上位ビット D [3] 及び最上位ビット D [2] がともに「 1 」である場合に、上位ビット駆動部 1 2 2 は、正相出力信号として位相変調領域 P M 1 1 _ 2 ~ P M 1 1 _ 4 へ「 4 」を、逆相出力信号として位相変調領域 P M 1 2 _ 2 ~ P M 1 2 _ 4 へ「 0 」を出力する。

【 0 0 5 6 】

すなわち、上位ビット駆動部 1 2 2 は、上位ビットに応じた大まかな制御を行う。一方、下位ビット駆動部 1 2 1 は、下位ビットの値に応じた細かい制御を行う。

【 0 0 5 7 】

同じ導波路内を伝搬する光信号では、分割された位相変調領域による位相変調は加算される。よって、下位ビットと上位ビットとに分けて光送信器 1 0 0 を駆動することにより、少ない分割数でも大規模な多値変調が可能な光送信器を実現することが可能となる。

【 0 0 5 8 】

本構成では、多値変調を行うに際し、多値 D A C の代わりに 2 値のドライバを用いることができる。よって、多値 D A C だけで駆動回路を構成する場合に比べて、駆動回路の回路規模を小さくすることができる。その結果、光送信器自体の小型化を実現することが可能となる。

【 0 0 5 9 】

また、多値変調の階調数が多くなると、特に電気信号などでは、高速に信号を足し合わせることは困難である。ところが、本構成では、電気信号を光の位相に変換して、その位相の変化を加算するので、高速な加算動作が可能である。よって、高速の光通信に好適に用いることができる光送信器を提供することができる。

【 0 0 6 0 】

実施の形態 2

次に、本発明の実施の形態 2 にかかる光送信器 2 0 0 について説明する。光送信器 2 0 0 は、実施の形態 1 にかかる光送信器 1 0 0 の具体例である。図 8 は、実施の形態 2 にかかる光送信器 2 0 0 の構成を模式的に示すブロック図である。

【 0 0 6 1 】

下位ビット駆動部 1 2 1 は、下位ビット D [1 : 0] が供給される 4 値の D / A コンバータ D A C 1 を有する。D / A コンバータ D A C 1 は、下位ビット D [1 : 0] に応じて、図 7 に示すように、位相変調領域 P M 1 1 _ 1 に正相出力信号を、位相変調領域 P M 1 2 _ 1 に逆相出力信号を出力する。

【 0 0 6 2 】

上位ビット駆動部 1 2 2 は、デコード部 2 1 及び 2 値のドライバ D R V 1 ~ 3 を有する。デコード部 2 1 は、上位ビット D [3 : 2] をバイナリコードから温度計コードに変換する。そして、デコード部 2 1 は、温度計コードの増加に応じて、ドライバ D R V 1 ~ 3 を順に駆動する。ドライバ D R V 1 ~ 3 は、上位ビット D [3 : 2] に値に応じて、それぞれ差

10

20

30

40

50

動出力信号を出力する。このとき、ドライバDRV1～3から出力される正相出力信号はそれぞれ位相変調領域PM11__2～PM11__4に出力され、逆相出力信号はそれぞれ位相変調領域PM12__2～PM12__4に出力される。なお、ドライバDRV1～3から出力される正相出力信号及び逆相出力信号は、実施の形態1と同様に、ともに「0」又は「4」の値のみをとる。すなわち、正相出力信号が「0」である場合には、逆相出力信号は「4」である。正相出力信号が「4」である場合には、逆相出力信号は「0」である。

【0063】

具体的には、上位ビットD[3:2]のうちの最上位ビットD[3]及び最上位ビットD[2]がともに「0」である場合に、ドライバDRV1～3は、正相出力信号として「0」を、位相変調領域PM11__2～PM1__4のそれぞれへ出力する。ドライバDRV1～3は、逆相出力信号として「4」を、位相変調領域PM12__2～PM12__4のそれぞれへ出力する。

10

【0064】

上位ビットD[3:2]のうちの最上位ビットD[3]が「0」、最上位ビットD[2]が「1」である場合に、ドライバDRV1は、正相出力信号として「4」を位相変調領域PM11__2へ出力し、逆相出力信号として「0」を位相変調領域PM12__2へ出力する。ドライバDRV2及び3は、正相出力信号として「0」を位相変調領域PM11__3及びPM1__4のそれぞれへ出力し、逆相出力信号として「4」を位相変調領域PM12__3及びPM12__4のそれぞれへ出力する。

20

【0065】

上位ビットD[3:2]のうちの最上位ビットD[3]が「1」、最上位ビットD[2]が「0」である場合に、ドライバDRV1及び2は、正相出力信号として「4」を位相変調領域PM11__2及びPM11__3のそれぞれへ出力し、逆相出力信号として「0」を位相変調領域PM12__2及びPM12__3のそれぞれへ出力する。ドライバDRV3は、正相出力信号として「0」を位相変調領域PM11__4へ出力し、逆相出力信号として「4」を位相変調領域PM12__4へ出力する。

【0066】

上位ビットD[3:2]のうちの最上位ビットD[3]及び最上位ビットD[2]がともに「1」である場合に、ドライバDRV1～3は、正相出力信号として「4」を、位相変調領域PM11__2～PM1__4のそれぞれへ出力する。ドライバDRV1～3は、逆相出力信号として「0」を、位相変調領域PM12__2～PM12__4のそれぞれへ出力する。

30

【0067】

従って、本構成によれば、実施の形態1にかかる光送信器100と同様の動作を行うことができる光送信器を具体的に実現することが可能となる。

【0068】

本実施の形態では、4ビットの光送信器について説明したが、本構成は、以下のように一般化して理解することが可能である。上位ビットを m (m は、1以上の整数)ビット、下位ビットを n (n は、2以上の整数)ビットとすると、入力デジタル信号は、 $(m+n)$ ビットとなる。よって、下位ビット駆動部のD/AコンバータDAC1は、 n ビットの信号をD/A変換した 2^n 階調の信号(「0」～「 $2^n - 1$ 」)を出力する。

40

【0069】

また、上位ビット駆動部は、 $(2^m - 1)$ 個のドライバを有する。 $(2^m - 1)$ 個のドライバは、 m ビットの信号の値に応じて、下位ビット駆動部が出力する駆動信号の最大値より大きな値を、それぞれ異なる位相変調領域に出力する。具体的には、 $(2^m - 1)$ 個のドライバは、前記 m ビットの値が0である場合には、「0」を出力する。また、 $(2^m - 1)$ 個のドライバは、 m ビットの値が1大きくなるごとに、下位ビット駆動部が出力する前記駆動信号の最大値「 $2^n - 1$ 」よりも1大きい「 2^n 」を出力するものが、1ずつ増えてゆく。

50

【 0 0 7 0 】

実施の形態 3

次に、本発明の実施の形態 3 にかかる光送信器 3 0 0 について説明する。光送信器 3 0 0 は、実施の形態 1 にかかる光送信器 1 0 0 及び実施の形態 2 にかかる光送信器 2 0 0 の変形例である。図 9 は、実施の形態 3 にかかる光送信器 3 0 0 の構成を模式的に示すブロック図である。光送信器 3 0 0 は、光変調器 3 1 及び駆動回路 3 2 を有する。光変調器 3 1 及び駆動回路 3 2 は、それぞれ光送信器 1 0 0 及び 2 0 0 の光変調器 1 1 及び駆動回路 1 2 に対応する。光送信器 3 0 0 は、5 ビットの光送信器として構成される。

【 0 0 7 1 】

光変調器 3 1 は、光導波路 1 1 1 及び 1 1 2、光合分波器 1 1 3 及び 1 1 4、位相変調領域 P M 3 1 __ 1 ~ P M 3 1 __ 3、P M 3 2 __ 1 ~ 3 2 __ 3 を有する。光合分波器 1 1 3 と光合分波器 1 1 4 との間の光導波路 1 1 1 には、位相変調領域 P M 3 1 __ 1 ~ P M 3 1 __ 3 が配置される。光合分波器 1 1 3 と光合分波器 1 1 4 との間の光導波路 1 1 2 には、位相変調領域 P M 3 2 __ 1 ~ P M 3 2 __ 3 が配置される。光変調器 3 1 のその他の構成は、光変調器 1 1 と同様であるので、説明を省略する。

10

【 0 0 7 2 】

駆動回路 3 2 は、下位ビット駆動部 1 2 1、上位ビット駆動部 3 2 2 及びビット分割部 3 2 3 を有する。ビット分割部 3 2 3 は、駆動回路 3 2 に供給される 5 ビットの入力デジタル信号 D [4 : 0] を、上位ビットと下位ビットとに分割する。ここでは、ビット分割部 3 2 3 は、入力デジタル信号 D [4 : 0] を、3 ビットの上位ビット D [4 : 2] 及び 2 ビットの下位ビット D [1 : 0] に分割するものとする。

20

【 0 0 7 3 】

下位ビット駆動部 1 2 1 は、実施の形態 2 と同様であるので、説明を省略する。

【 0 0 7 4 】

上位ビット駆動部 3 2 2 には、上位ビット D [4 : 2] が供給される。上位ビット駆動部 3 2 2 は、ビット分割部 3 2 4、4 値の D / A コンバータ D A C 2 及び 2 値のドライバ D R V 4 を有する。ビット分割部 3 2 4 は、上位ビット D [4 : 2] を、最上位ビット D [4] と下位側ビット D [3 : 2] とに分割する。下位側ビット D [3 : 2] は D / A コンバータ D A C 2 に供給され、最上位ビット D [4] はドライバ D R V 4 に供給される。

【 0 0 7 5 】

図 1 0 は、光送信器 3 0 0 の動作を示す動作表である。下位ビット駆動部 1 2 1 は、実施の形態 1 及び 2 と同様に、入力デジタル信号の値が増加するに従って、「 0 」 「 1 」 「 2 」 「 3 」 「 0 」 … の順で値を繰り返し出力する。

30

【 0 0 7 6 】

上位ビット駆動部 3 2 2 の D / A コンバータ D A C 2 は、下位側ビット D [3 : 2] の値に応じて、位相変調領域 P M 3 1 __ 2 に正相出力信号を、位相変調領域 P M 3 2 __ 2 に逆相出力信号を出力する。なお、D / A コンバータ D A C 2 から出力される正相出力信号及び逆相出力信号は、「 0 」、「 4 」、「 8 」、「 1 2 」のいずれかの値をとる。すなわち、正相出力信号が「 0 」、「 4 」、「 8 」、「 1 2 」である場合、逆相出力信号は、それぞれ「 1 2 」、「 8 」、「 4 」、「 0 」となる。なお、正相出力信号及び逆相出力信号の値の和が、最大値「 1 2 」と等しくなるように、逆相出力信号の値が決定されると理解することも可能である。

40

【 0 0 7 7 】

上位ビット駆動部 3 2 2 のドライバ D R V 4 は、最上位ビット D [4] が「 0 」である場合に、位相変調領域 P M 3 1 __ 3 へ正相出力信号として「 0 」を出力し、位相変調領域 P M 3 2 __ 3 へ逆相出力信号として「 1 6 」を出力する。一方、ドライバ D R V 4 は、最上位ビット D [4] が「 1 」である場合に、位相変調領域 P M 3 1 __ 3 へ正相出力信号として「 1 6 」を出力し、位相変調領域 P M 3 2 __ 3 へ逆相出力信号として「 0 」を出力する。

【 0 0 7 8 】

つまり、下位ビット駆動部 1 2 1 (D / A コンバータ D A C 1) は、実施の形態 1 及び

50

2と同様に、入力デジタル信号の値が増加するに従って、「0」「1」「2」「3」「0」・・・の順で値を繰り返し出力する。これにより、下位ビット駆動部121は、下位ビットの値に応じた細かい制御を行う。

【0079】

上位ビット駆動部322は、ドライバDRV4が、最上位ビットに応じた、第1の大まかな制御を行う。また、D/AコンバータDAC2が、第1の大まかな制御に比べれば精密な、第2の大まかな制御を行う。

【0080】

すなわち、光送信器300では、光送信器100及び200と同様に、上位ビット駆動部が上位ビットに応じた大まかな制御を行い、下位ビット駆動部が下位ビットの値に応じた細かい制御を行うことができる。

10

【0081】

また、光送信器300は、光送信器100及び200と比べて、位相変調領域、すなわち分割電極の数を減らすことができる。よって、光送信器を小型化できる点で、有利である。さらに、光送信器300は、位相変調領域(分割電極)の数を減らしたにもかかわらず、光送信器100及び200よりも多値の変調を行うことができる。したがって、語型かつより多値の変調を実現できる光送信器を実現することができる。

【0082】

本実施の形態では、4ビットの光送信器について説明したが、本構成は、以下のように一般化して理解することが可能である。上位ビットを m (m は、1以上の整数)ビット、下位ビットを n (n は、2以上の整数)ビットとすると、入力デジタル信号は、 $(m+n)$ ビットとなる。よって、下位ビット駆動部のD/AコンバータDAC1は、 n ビットの信号をD/A変換した 2^n 階調の信号(「0」~「 $2^n - 1$ 」)を出力する。

20

【0083】

上位ビット駆動部は、1個のドライバを有する。1個のドライバは、 m ビットの信号の値に応じて、下位ビット駆動部が出力する駆動信号の最大値より大きな値を、出力する。具体的には、上位ビット(m ビットの信号)の最上位ビットが「0」であれば「0」を出力し、最上位ビットが「1」であれば、「 $2^{(n+m-1)}$ 」を出力する。

【0084】

また、上位ビット駆動部は、1個のD/Aコンバータを有する。1個のD/Aコンバータは、上位ビット(m ビットの信号)のうち、最上位ビット以外のビットが示す値をD/A変換した値に、「 2^n 」を乗じた値を出力する。

30

【0085】

実施の形態4

次に、本発明の実施の形態4にかかる光送受信システム400について説明する。光送受信システム400は、上述の光送信器100、200及び300のいずれかを用いた光送受信システムである。ここでは、光送受信システム400が光送信器100を有する例について説明する。図11は、実施の形態4にかかる光送受信システム400の構成を模式的に示すブロック図である。

【0086】

光送受信システム400は、光送信器100、光受信器401、光伝送路402、光増幅器403を有する。

40

【0087】

光送信器100は、光信号として、例えば四位相偏移変調(Quadrature Phase Shift Keying:以下、QPSKと表記する)された、QPSK光信号を出力する。

【0088】

光送信器100と光受信器401との間は、光伝送路402により光学的に接続され、QPSK光信号が伝搬する。光伝送路402には、光増幅器403が挿入され、光伝送路402を伝搬するQPSK光信号を増幅する。光受信器401は、QPSK光信号を電気

50

信号に復調する。

【 0 0 8 9 】

光送受信システム 4 0 0 は、以上の構成により、光送信器 1 0 0 を用いた光信号の伝送が可能である。なお、光送信器 1 0 0 を、適宜、光送信器 2 0 0 又は 3 0 0 に置換できることは勿論である。

【 0 0 9 0 】

その他の実施の形態

なお、本発明は上記実施の形態に限られたものではなく、趣旨を逸脱しない範囲で適宜変更することが可能である。例えば、光の位相変化は、変化の順序に関係なく加算することができるので、下位ビット駆動部と上位ビット駆動部の配置を入れ換えることができる。また、上位ビット駆動部内の D / A コンバータ及びドライバの順序を任意に入れ換えることができる。

10

【 0 0 9 1 】

上述の実施の形態では、光送信器 1 0 0 及び 2 0 0 を 4 ビットの光送信器、光送信器 3 0 0 を 5 ビットの光送信器として説明したが、これは例示に過ぎない。すなわち、位相変調領域（分割電極）、D / A コンバータの個数及び階調数を増加させることにより、さらに高次の多値変調が可能な光送信器を構成できることは、言うまでもない。

【 0 0 9 2 】

上述の実施の形態では、位相変調領域に差動出力信号が供給される例について説明したが、これは例示に過ぎない。例えば、一对の位相変調領域の一方に入力される値を固定し、他方に入力される値のみを変化させる構成とすることもできる。

20

【 0 0 9 3 】

以上、実施の形態を参照して本願発明を説明したが、本願発明は上記によって限定されるものではない。本願発明の構成や詳細には、発明のスコープ内で当業者が理解し得る様々な変更をすることができる。

【 0 0 9 4 】

この出願は、2 0 1 2 年 3 月 2 2 日に出願された日本出願特願 2 0 1 2 - 0 6 4 7 6 7 を基礎とする優先権を主張し、その開示の全てをここに取り込む。

【 符号の説明 】

【 0 0 9 5 】

1 1、3 1 光変調器
 1 2、3 2 駆動回路
 2 1 デコード部
 1 0 0、2 0 0、3 0 0、5 0 0 光送信器
 1 1 1、1 1 2、5 1 1、5 1 2 光導波路
 1 1 3、1 1 4、5 1 3、5 1 4 光合分波器
 1 2 1 下位ビット駆動部
 1 2 2、3 2 2 上位ビット駆動部
 1 2 3、3 2 3、3 2 4 ビット分割部
 4 0 0 光送受信システム
 4 0 1 光受信器
 4 0 2 伝送路
 4 0 3 光増幅器
 D A C 1、D A C 2、D A C 5 1 ~ D A C 5 4 D / A コンバータ
 D R V 1 ~ 4 ドライバ
 L 1、L 2 光
 P 1、P 2、P 6、P 7 入力ポート
 P 3、P 4、P 7、P 8 出力ポート
 P M 1 1 __ 1 ~ P M 1 1 __ 4、P M 1 2 __ 1 ~ P M 1 2 __ 4、P M 3 1 __ 1 ~ P M 3 1 __ 3、P M 3 2 __ 1 ~ P M 3 2 __ 3、P M 5 1 __ 1 ~ 5 1 __ 4、P M 5 2 __ 1 ~ 5 2 __ 4

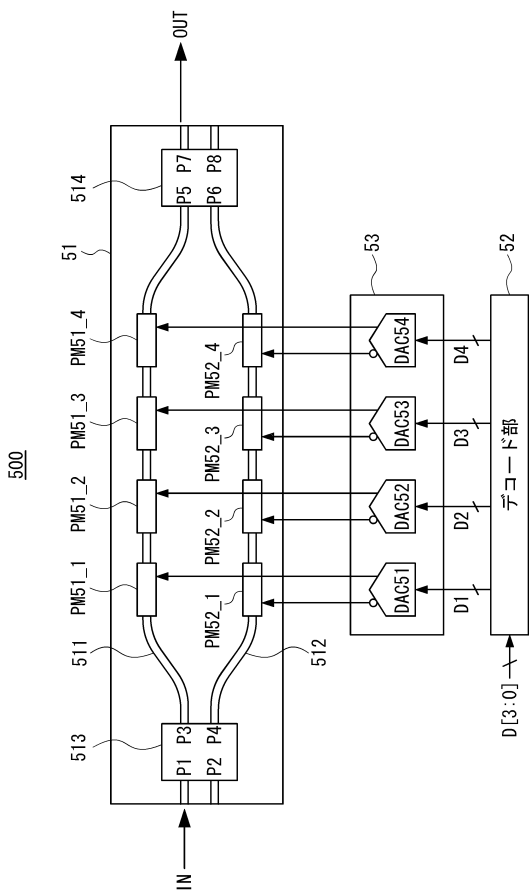
30

40

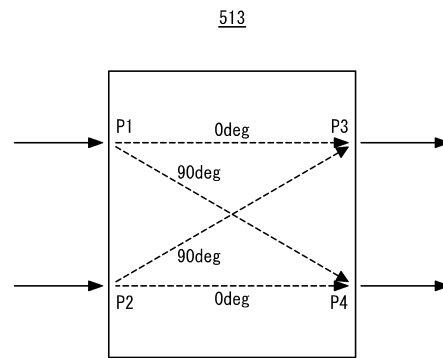
50

位相変調領域

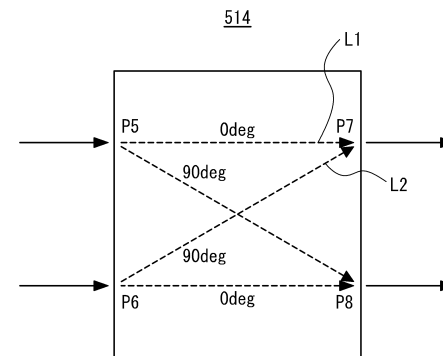
【図1】



【図2A】



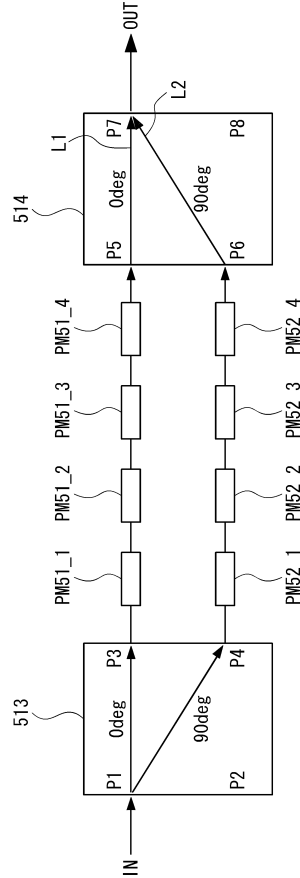
【図2B】



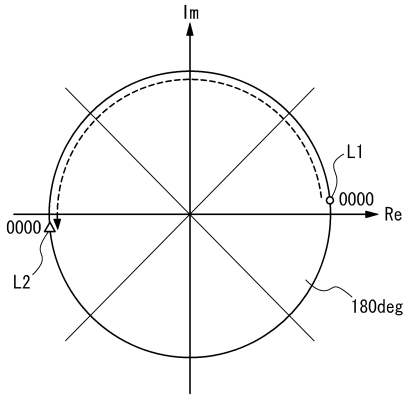
【 図 3 】

2進コード	DAC51		DAC52		DAC53		DAC54		位相変調量 (deg)	
	正相	逆相	正相	逆相	正相	逆相	正相	逆相	L1	L2
0000	0	4	0	4	0	4	0	4	0	0
0001	1	3	0	4	0	4	0	4	$\Delta\theta$	$-\Delta\theta$
0010	2	2	0	4	0	4	0	4	$2\Delta\theta$	$-2\Delta\theta$
0011	3	1	0	4	0	4	0	4	$3\Delta\theta$	$-3\Delta\theta$
0100	4	0	0	4	0	4	0	4	$4\Delta\theta$	$-4\Delta\theta$
0101	4	0	1	3	0	4	0	4	$5\Delta\theta$	$-5\Delta\theta$
0110	4	0	2	2	0	4	0	4	$6\Delta\theta$	$-6\Delta\theta$
0111	4	0	3	1	0	4	0	4	$7\Delta\theta$	$-7\Delta\theta$
1000	4	0	4	0	0	4	0	4	$8\Delta\theta$	$-8\Delta\theta$
1001	4	0	4	0	1	3	0	4	$9\Delta\theta$	$-9\Delta\theta$
1010	4	0	4	0	2	2	0	4	$10\Delta\theta$	$-10\Delta\theta$
1011	4	0	4	0	3	1	0	4	$11\Delta\theta$	$-11\Delta\theta$
1100	4	0	4	0	4	0	0	4	$12\Delta\theta$	$-12\Delta\theta$
1101	4	0	4	0	4	0	1	3	$13\Delta\theta$	$-13\Delta\theta$
1110	4	0	4	0	4	0	2	2	$14\Delta\theta$	$-14\Delta\theta$
1111	4	0	4	0	4	0	3	1	$15\Delta\theta$	$-15\Delta\theta$

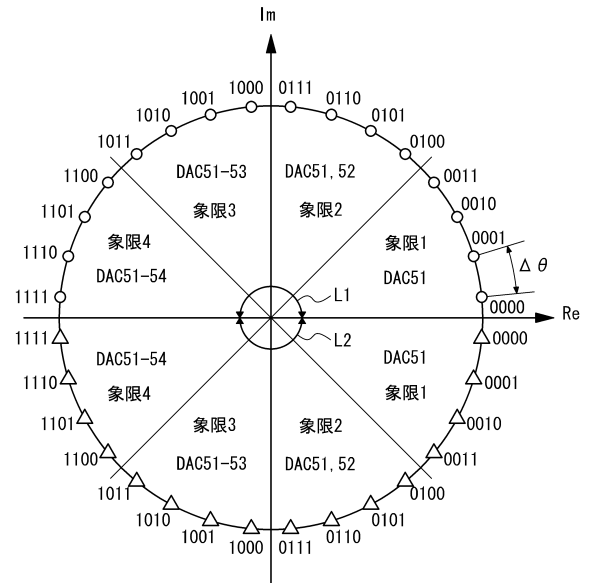
【 図 4 】



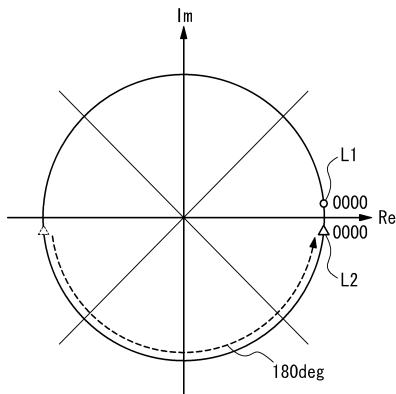
【 図 5 A 】



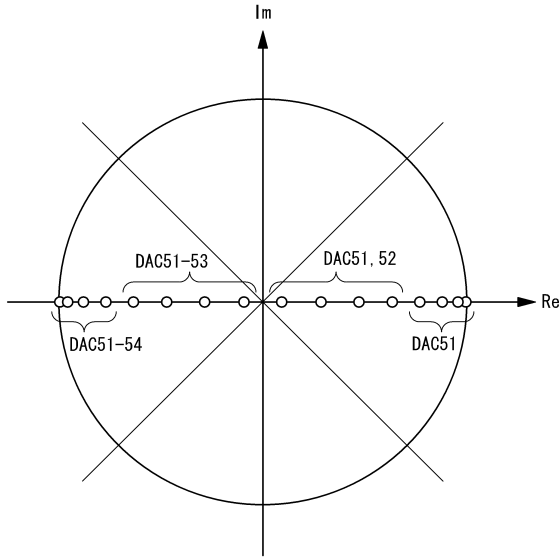
【 図 5 C 】



【 図 5 B 】



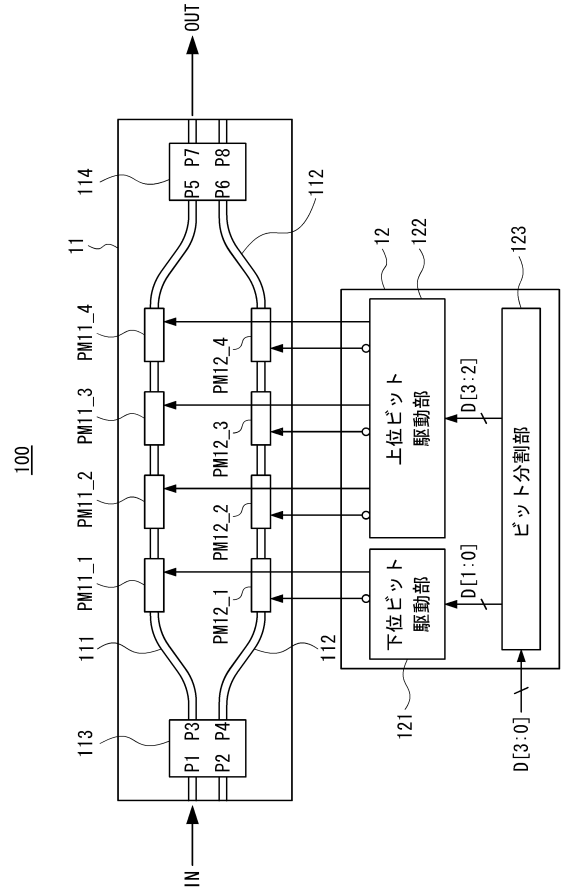
【図5D】



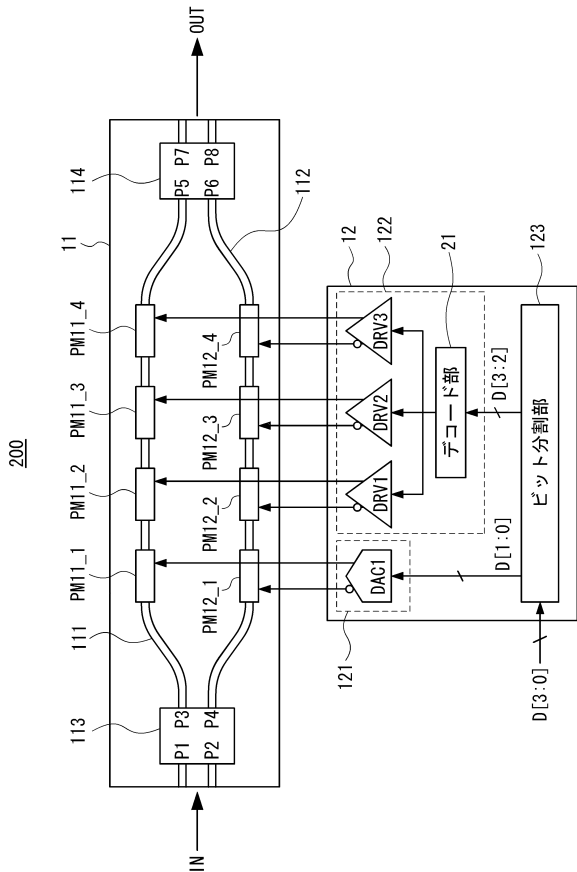
【図7】

2進コード	DAC1		DRV1		DRV2		DRV3		位相変調量 (deg)	
	正相	逆相	正相	逆相	正相	逆相	正相	逆相	L1	L2
0000	0	3	0	4	0	4	0	4	0	0
0001	1	2	0	4	0	4	0	4	$\Delta\theta$	$-\Delta\theta$
0010	2	1	0	4	0	4	0	4	$2\Delta\theta$	$-2\Delta\theta$
0011	3	0	0	4	0	4	0	4	$3\Delta\theta$	$-3\Delta\theta$
0100	0	3	4	0	0	4	0	4	$4\Delta\theta$	$-4\Delta\theta$
0101	1	2	4	0	0	4	0	4	$5\Delta\theta$	$-5\Delta\theta$
0110	2	1	4	0	0	4	0	4	$6\Delta\theta$	$-6\Delta\theta$
0111	3	0	4	0	0	4	0	4	$7\Delta\theta$	$-7\Delta\theta$
1000	0	3	4	0	4	0	0	4	$8\Delta\theta$	$-8\Delta\theta$
1001	1	2	4	0	4	0	0	4	$9\Delta\theta$	$-9\Delta\theta$
1010	2	1	4	0	4	0	0	4	$10\Delta\theta$	$-10\Delta\theta$
1011	3	0	4	0	4	0	0	4	$11\Delta\theta$	$-11\Delta\theta$
1100	0	3	4	0	4	0	4	0	$12\Delta\theta$	$-12\Delta\theta$
1101	1	2	4	0	4	0	4	0	$13\Delta\theta$	$-13\Delta\theta$
1110	2	1	4	0	4	0	4	0	$14\Delta\theta$	$-14\Delta\theta$
1111	3	0	4	0	4	0	4	0	$15\Delta\theta$	$-15\Delta\theta$

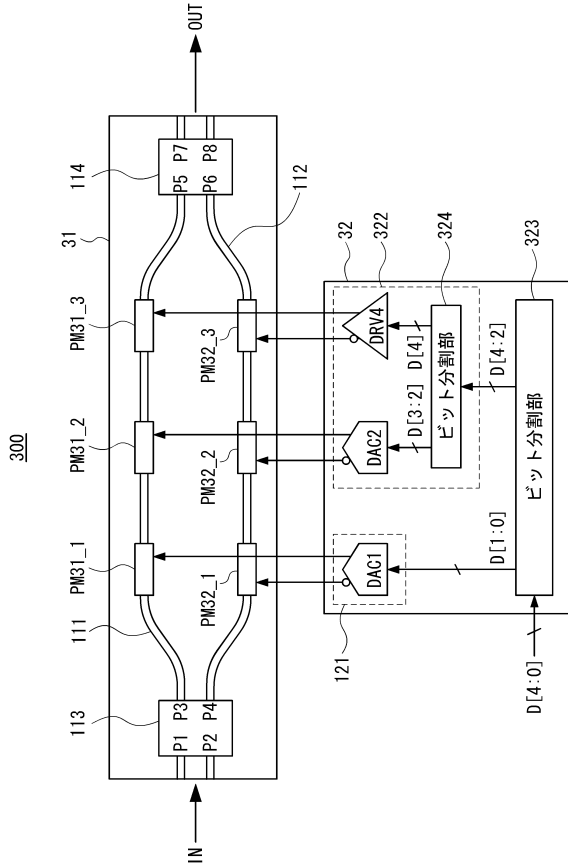
【図6】



【図8】



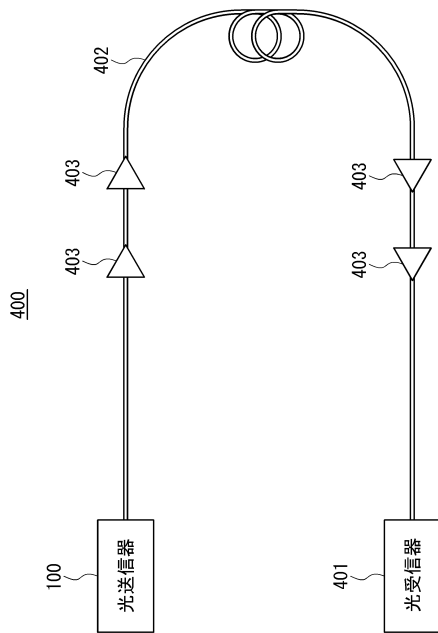
【図9】



【図10】

2進コード	DAC1		DAC2		DRV4		位相変調量 (deg)	
	正相	逆相	正相	逆相	正相	逆相	L1	L2
00000	0	3	0	12	0	16	0	0
00001	1	2	0	12	0	16	$\Delta\theta$	$-\Delta\theta$
00010	2	1	0	12	0	16	$2\Delta\theta$	$-2\Delta\theta$
00011	3	0	0	12	0	16	$3\Delta\theta$	$-3\Delta\theta$
00100	0	3	4	8	0	16	$4\Delta\theta$	$-4\Delta\theta$
00101	1	2	4	8	0	16	$5\Delta\theta$	$-5\Delta\theta$
00110	2	1	4	8	0	16	$6\Delta\theta$	$-6\Delta\theta$
00111	3	0	4	8	0	16	$7\Delta\theta$	$-7\Delta\theta$
01000	0	3	8	4	0	16	$8\Delta\theta$	$-8\Delta\theta$
01001	1	2	8	4	0	16	$9\Delta\theta$	$-9\Delta\theta$
01010	2	1	8	4	0	16	$10\Delta\theta$	$-10\Delta\theta$
01011	3	0	8	4	0	16	$11\Delta\theta$	$-11\Delta\theta$
01100	0	3	12	0	0	16	$12\Delta\theta$	$-12\Delta\theta$
01101	1	2	12	0	0	16	$13\Delta\theta$	$-13\Delta\theta$
01110	2	1	12	0	0	16	$14\Delta\theta$	$-14\Delta\theta$
01111	3	0	12	0	0	16	$15\Delta\theta$	$-15\Delta\theta$
10000	0	3	0	12	16	0	$16\Delta\theta$	$-16\Delta\theta$
10001	1	2	0	12	16	0	$17\Delta\theta$	$-17\Delta\theta$
10010	2	1	0	12	16	0	$18\Delta\theta$	$-18\Delta\theta$
10011	3	0	0	12	16	0	$19\Delta\theta$	$-19\Delta\theta$
10100	0	3	4	8	16	0	$20\Delta\theta$	$-20\Delta\theta$
10101	1	2	4	8	16	0	$21\Delta\theta$	$-21\Delta\theta$
10110	2	1	4	8	16	0	$22\Delta\theta$	$-22\Delta\theta$
10111	3	0	4	8	16	0	$23\Delta\theta$	$-23\Delta\theta$
11000	0	3	8	4	16	0	$24\Delta\theta$	$-24\Delta\theta$
11001	1	2	8	4	16	0	$25\Delta\theta$	$-25\Delta\theta$
11010	2	1	8	4	16	0	$26\Delta\theta$	$-26\Delta\theta$
11011	3	0	8	4	16	0	$27\Delta\theta$	$-27\Delta\theta$
11100	0	3	12	0	16	0	$28\Delta\theta$	$-28\Delta\theta$
11101	1	2	12	0	16	0	$29\Delta\theta$	$-29\Delta\theta$
11110	2	1	12	0	16	0	$30\Delta\theta$	$-30\Delta\theta$
11111	3	0	12	0	16	0	$31\Delta\theta$	$-31\Delta\theta$

【図11】



フロントページの続き

(56)参考文献 国際公開第2011/043079(WO, A1)

特開2007-082094(JP, A)

特開2012-073475(JP, A)

加藤友章, 佐藤峰斗, 佐藤健二, 山瀬知行, 野口栄実, CMOSロジックIC直接駆動対応線形加速器型縦列電極構造InP MZ変調器, 電子情報通信学会技術研究報告書, 2011年 6月23日, Vol.111, No.111(OPE2011 15-27), pp.59-64

(58)調査した分野(Int.Cl., DB名)

G02B 26/12

G02F 1/01 - 1/035

H04B 10/54, 10/548

H01S 5/02 - 5/026

Scopus

JSTPlus(JDreamIII)

JST7580(JDreamIII)