

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5500660号
(P5500660)

(45) 発行日 平成26年5月21日(2014.5.21)

(24) 登録日 平成26年3月20日(2014.3.20)

(51) Int. Cl.	F 1				
H03M	1/14	(2006.01)	H03M	1/14	A
H03M	1/38	(2006.01)	H03M	1/38	
H03M	1/56	(2006.01)	H03M	1/56	
H04N	5/378	(2011.01)	H04N	5/335	780

請求項の数 2 (全 15 頁)

(21) 出願番号	特願2012-11163 (P2012-11163)	(73) 特許権者	504157024 国立大学法人東北大学 宮城県仙台市青葉区片平二丁目1番1号
(22) 出願日	平成24年1月23日(2012.1.23)	(73) 特許権者	304050923 オリンパスメディカルシステムズ株式会社 東京都渋谷区幡ヶ谷2丁目4番2号
(65) 公開番号	特開2013-150255 (P2013-150255A)	(74) 代理人	100118913 弁理士 上田 邦生
(43) 公開日	平成25年8月1日(2013.8.1)	(74) 代理人	100112737 弁理士 藤田 考晴
審査請求日	平成25年1月21日(2013.1.21)	(72) 発明者	須川 成利 宮城県仙台市青葉区片平2丁目1番1号 国立大学法人東北大学内
		審査官	栗栖 正和

最終頁に続く

(54) 【発明の名称】 固体撮像装置

(57) 【特許請求の範囲】

【請求項1】

アナログデジタル変換器と、
 複数の画素がマトリクス状に配置された画素部とを備える固体撮像装置であって、
 前記アナログデジタル変換器が、
 クロック信号を所定の方向へカウントし、カウント信号を出力するカウンタと、
 前記カウント信号に基づきランプ波形信号を発生するランプ波形信号発生部と、
 前記画素部の画素列に対応して設けられた複数の信号変換部と、
 該信号変換部を制御する制御部とを備え、
 前記信号変換部の各々は、
 入力されてきた信号の電圧をサンプリングして保持するサンプルホールド回路と、
 2倍ごとに容量値が異なる所定の数の容量を有し、これらの容量の接続を変更すること
 によりレベルの異なるバイアス電圧を出力する逐次比較容量群と、
 前記ランプ波形信号の電圧および前記バイアス電圧の一方が選択された選択電圧と、前
 記サンプルホールド回路で保持された電圧および所定の参照電圧の一方とを加算した加算
 電圧を出力する電圧加算部と、
 前記サンプルホールド回路で保持された電圧および前記所定の参照電圧のうち他方であ
 る非加算対象電圧と前記加算電圧とを比較する比較部とを備え、
 前記制御部が、
 前記バイアス電圧を前記選択電圧として前記電圧加算部で加算された前記加算電圧と前

記非加算対象電圧とを前記容量の前記所定の数の接続組合せにおいて前記比較部によって比較した結果に基づき生成された第1のデジタルデータと、前記ランプ波形信号の電圧を前記選択電圧として前記電圧加算部で加算された前記加算電圧と前記非加算対象電圧とを前記比較部で比較した結果に基づき生成された第2のデジタルデータとに基づき、前記サンプルホールド回路に保持された電圧をデジタル変換するとともに、

前記逐次比較容量群の前記容量の接続組合せと、前記ランプ波形信号発生部が発生する信号とに基づき前記逐次比較容量群のキャリブレーション用データを取得し、

各前記画素の、ノイズ電圧と該ノイズ電圧に信号電圧を重畳した信号ノイズ和電圧とを順番に読み出す動作において、前記画素部に含まれる前記複数の画素を列によって第1のグループと第2のグループとに分け、前記第1のグループの、前記ノイズ電圧または前記信号ノイズ和電圧の前記信号変換部への出力動作、前記信号変換部による電圧のデジタル変換動作および前記信号変換部からのデジタル信号の出力動作に対して、前記第2のグループの、前記信号変換部への出力動作、前記変換動作および前記デジタル信号の出力動作を1ステップずつ遅らせて実行することを特徴とする固体撮像装置。

10

【請求項2】

板厚方向に積層された第1の半導体基板と第2の半導体基板とを備え、

前記画素部が、前記第1の半導体基板に形成され、

前記アナログデジタル変換器が、前記第2の半導体基板に形成されていることを特徴とする請求項1に記載の固体撮像装置。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、固体撮像装置に関するものである。

【背景技術】

【0002】

従来、動作方式の異なる複数種類のアナログデジタル変換器が知られている。そのような動作方式としては、いわゆるカウンタ・ランプ方式や逐次比較方式が知られている。カウンタ・ランプ方式においては、電圧値が一定の傾きで変化するランプ電圧とアナログ信号とをコンパレータで比較し、これらの2つの電圧が一致するまでのカウント数からアナログ信号のデジタル値が得られる。逐次比較方式においては、複数の容量の組み合わせによって生成される参照電圧とアナログ信号とをコンパレータで比較しながら参照電圧をアナログ信号に漸近させ、そのときのコンパレータの出力がアナログ信号のデジタル値として得られる。

30

【0003】

また、アナログ信号を上位ビットと下位ビットとに分けて2段階でデジタル変換するアナログデジタル変換器が知られている（例えば、特許文献1参照。）。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2007-243324号公報

40

【発明の概要】

【発明が解決しようとする課題】

【0005】

特許文献1のように複数の動作方式を組み合わせる場合、アナログデジタル変換器の高速化を図るためには逐次比較方式が好適である。しかしながら、逐次比較方式で用いられる容量の容量値には製造誤差によってばらつきが生じやすい。これによりバイアス電圧の電圧値が不正確になると、正確なデジタルデータが得られないという問題がある。

【0006】

本発明は、上述した事情に鑑みてなされたものであって、複数段階でアナログデジタル変換処理を行うアナログデジタル変換器において、逐次比較方式を採用しつつ正確なデジ

50

タルデータを得ることができる固体撮像装置を提供することを目的とする。

【課題を解決するための手段】

【0007】

上記目的を達成するため、本発明は以下の手段を提供する。

本発明は、アナログデジタル変換器と、複数の画素がマトリクス状に配置された画素部とを備える固体撮像装置であって、前記アナログデジタル変換器が、クロック信号を所定の方向へカウントし、カウント信号を出力するカウンタと、前記カウント信号に基づきランプ波形信号を発生するランプ波形信号発生部と、前記画素部の画素列に対応して設けられた複数の信号変換部と、該信号変換部を制御する制御部とを備え、前記信号変換部の各々は、入力されてきた信号の電圧をサンプリングして保持するサンプルホールド回路と、2倍ごとに容量値が異なる所定の数の容量を有し、これらの容量の接続を変更することによりレベルの異なるバイアス電圧を出力する逐次比較容量群と、前記ランプ波形信号の電圧および前記バイアス電圧の一方が選択された選択電圧と、前記サンプルホールド回路で保持された電圧および所定の参照電圧の一方とを加算した加算電圧を出力する電圧加算部と、前記サンプルホールド回路で保持された電圧および前記所定の参照電圧のうち他方である非加算対象電圧と前記加算電圧とを比較する比較部とを備え、前記制御部が、前記バイアス電圧を前記選択電圧として前記電圧加算部で加算された前記加算電圧と前記非加算対象電圧とを前記容量の前記所定の数の接続組合せにおいて前記比較部によって比較した結果に基づき生成された第1のデジタルデータと、前記ランプ波形信号の電圧を前記選択電圧として前記電圧加算部で加算された前記加算電圧と前記非加算対象電圧とを前記比較部で比較した結果に基づき生成された第2のデジタルデータとに基づき、前記サンプルホールド回路に保持された電圧をデジタル変換するとともに、前記逐次比較容量群の前記容量の接続組合せと、前記ランプ波形信号発生部が発生する信号とに基づき前記逐次比較容量群のキャリブレーション用データを取得し、各前記画素の、ノイズ電圧と該ノイズ電圧に信号電圧を重畳した信号ノイズ和電圧とを順番に読み出す動作において、前記画素部に含まれる前記複数の画素を列によって第1のグループと第2のグループとに分け、前記第1のグループの、前記ノイズ電圧または前記信号ノイズ和電圧の前記信号変換部への出力動作、前記信号変換部による電圧のデジタル変換動作および前記信号変換部からのデジタル信号の出力動作に対して、前記第2のグループの、前記信号変換部への出力動作、前記変換動作および前記デジタル信号の出力動作を1ステップずつ遅らせて実行することを特徴とする固体撮像装置を提供する。

【0008】

本発明によれば、サンプルホールド回路が保持する電圧は、逐次比較容量群が生成する複数のバイアス電圧と比較部によって比較されることにより一部が逐次比較方式によってデジタル変換され、また、ランプ波形信号発生部が発生するランプ波形信号と比較部によって比較されることにより他の部分がカウンタ・ランプ方式によってデジタル変換される。これら2つのデジタルデータからサンプルホールド回路に入力された信号の電圧のデジタル信号が得られる。

【0009】

この場合に、ランプ波形信号発生部が発生する電圧値が既知の電圧と逐次比較容量群の容量が発生するバイアス電圧とを比較部によって比較することにより、各容量の容量値のばらつきを含むキャリブレーション用のデータが得られる。このキャリブレーション用データを用いて逐次比較方式によって変換されたデジタルデータを補償することにより、正確なデジタルデータを得ることができる。

【0010】

また、本発明の参考例は、クロック信号を所定の方向へカウントし、カウント信号を出力するカウンタと、前記カウント信号に基づきランプ波形信号を発生するランプ波形信号発生部と、複数の信号変換部と、該信号変換部を制御する制御部とを備え、前記信号変換部の各々は、入力されてきた信号の電圧をサンプリングして保持するサンプルホールド回路と、2倍ごとに容量値が異なる所定の数の容量を有し、これらの容量の接続を変更する

10

20

30

40

50

ことによりレベルの異なるバイアス電圧を出力する逐次比較容量群と、前記ランプ波形信号の電圧および前記バイアス電圧の一方が選択された選択電圧と、前記サンプルホールド回路で保持された電圧および所定の参照電圧の一方とを加算した加算電圧を出力する電圧加算部と、前記サンプルホールド回路で保持された電圧および前記所定の参照電圧のうち他方である非加算対象電圧と前記加算電圧とを比較する比較部とを備え、前記制御部が、前記バイアス電圧を前記選択電圧として前記電圧加算部で加算された前記加算電圧と前記非加算対象電圧とを前記容量の前記所定の数の接続組合せにおいて前記比較部によって比較した結果に基づき生成された第1のデジタルデータと、前記ランプ波形信号の電圧を前記選択電圧として前記電圧加算部で加算された前記加算電圧と前記非加算対象電圧とを前記比較部で比較した結果に基づき生成された第2のデジタルデータとに基づき、前記サンプルホールド回路に保持された電圧をデジタル変換するとともに、前記逐次比較容量群の前記容量の接続組合せと、前記ランプ波形信号発生部が発生する信号とに基づき、前記逐次比較容量群を構成する全ての前記容量の各々について、大きな容量値を有する前記容量から順にキャリブレーション用データを取得することを特徴とするアナログデジタル変換器を提供する。

10

【発明の効果】

【0011】

本発明によれば、複数段階でアナログデジタル変換処理を行うアナログデジタル変換器において、逐次比較方式を採用しつつ正確なデジタルデータを得ることができるという効果を奏する。

20

【図面の簡単な説明】

【0012】

【図1】本発明の一実施形態に係るアナログデジタル変換器およびこれを備える固体撮像装置の構成を示す平面図である。

【図2】図1の信号変換回路の構成を示す平面図である。

【図3】図2のDAC回路の構成を示す平面図である。

【図4】図1のアナログデジタル変換器の動作の一例を説明する図である。

【図5】図2の信号変換回路による上位ビットのデジタル変換の動作の一例を示す図である。

【図6】図2の信号変換回路による上位ビットのデジタル変換の動作のもう1つの例を示す図である。

30

【図7】図3のDAC回路の変形例の構成を示す平面図である。

【図8】図7のDAC回路を備える変形例に係る固体撮像装置のキャリブレーション動作を示すフローチャートである。

【図9】図8のフローチャートの容量26校正ルーチンを示すフローチャートである。

【図10】図8のフローチャートの容量25校正ルーチンを示すフローチャートである。

【図11】図1の固体撮像装置の変形例の構成を示す平面図である。

【図12】図1の固体撮像装置の動作の変形例を示すタイミングチャートである。

【発明を実施するための形態】

【0013】

40

以下に、本発明の一実施形態に係るアナログデジタル(A/D)変換器1およびこれを備える固体撮像装置100について図面を参照して説明する。

本実施形態に係る固体撮像装置100は、図1に示されるように、複数の画素2が行列方向に配列されてなる画素アレイ(画素部)3と、画素2から信号電圧を読み出す垂直シフトレジスタ4および水平シフトレジスタ5と、これらのシフトレジスタ4,5によって読み出された信号電圧をデジタル変換するA/D変換器1と、該A/D変換器1の周辺に設けられた周辺回路とを備えている。

【0014】

これらの構成のうち、画素アレイ3および2つのシフトレジスタ4,5は1つの半導体基板100aに形成され、他の構成はもう1つの半導体基板100bに形成されている。

50

これらの半導体基板 100a, 100b は、その板圧方向に積層される。このようにすることで、1つの半導体基板に全ての回路を形成した場合と比べて半導体基板 100a, 100b の面積を縮小し、固体撮像装置 1 が搭載される装置の小型化を図ることができる。

【0015】

符号 6 は、一方の半導体基板 100a 上の水平シフトレジスタ 5 から、他方の半導体基板 100b 上の A/D 変換器 1 が備えるサンプルホールド回路 12 (後述) に信号を伝達する配線を示している。配線 6 は、画素アレイ 3 の各列と対応して列の数と同じ数が設けられていてもよい。または、配線 6 は、複数の列と対応して設けられ、複数の列の画素 2 の信号が同一の配線 6 で伝達されてもよい。

【0016】

固体撮像装置 100 は、以下のような動作により画素 2 の信号電圧をデジタル信号として外部に出力する。

まず、垂直シフトレジスタ 4 が、画素アレイ 3 のうち 1 行目の画素 2 を選択する。水平シフトレジスタ 5 は、垂直シフトレジスタ 4 によって選択された 1 行目の画素 2 から信号電圧を受け取り、A/D 変換器 1 に出力する。A/D 変換器 1 によって信号電圧から変換された 1 行分の画素 2 のデジタル信号はメモリ回路 7 に記憶され後にパラレルシリアル変換回路 8 によってパラレル信号からシリアル信号に変換され、LVDS のようなシリアルデジタル出力回路 9 から図示しない外部の回路に出力される。これにより、1 行目の画素 2 の信号電圧をデジタル信号として外部に出力する。

【0017】

固体撮像装置 100 は、垂直シフトレジスタ 4 によって選択する画素アレイ 3 の行を 1 行ずつずらしながら、1 行分ずつ画素 2 の信号電圧をデジタル信号として外部に出力する。

図中、符号 10 は電源回路、符号 11 は各回路を駆動するためのパルスが発生するパルス発生回路を示している。

【0018】

次に、本実施形態に係る A/D 変換器 1 の構成および作用について詳細に説明する。

A/D 変換器 1 は、画素 2 からの信号電圧の上位ビットを逐次比較方式によりデジタル変換する構成と、下位ビットをカウンタ・ランプ方式を用いてデジタル変換する構成とを備えている。具体的には、A/D 変換器 1 は、画素アレイ 3 の各列に対応して設けられた複数のサンプルホールド回路 (信号変換部) 12 および信号変換回路 (信号変換部) 13 と、これらの信号変換回路 13 にランプ電圧 (ランプ波形信号) を供給するランプ波形発生回路 (ランプ波形信号発生部) 14 と、クロック信号をカウントするカウンタ回路 (カウンタ) 15 とを備えている。

【0019】

なお、図 1 には、サンプルホールド回路 12 および信号変換回路 13 が、画素アレイ 3 の各列に対して 1 つずつ設けられた構成が示されているが、これに代えて、サンプルホールド回路 12 および信号変換回路 13 が画素アレイ 3 の複数の列に対して 1 つずつ設けられていてもよい。

【0020】

図 2 は、各信号変換回路 13 の構成を示す平面図である。信号変換回路 13 は、図 2 に示されるように、DAC 回路 (逐次比較容量群、電圧加算部) 16 と、コンパレータ (比較部) 17 と、制御回路 (制御部) 18 とを備えている。各信号変換回路 13 の入力端はスイッチ S_{win} を介して対応するサンプルホールド回路 12 に接続されている。

【0021】

コンパレータ 17 は、DAC 回路 16 からの出力電圧 V_{dac} が反転端子に入力され、参照電圧 V_0 が非反転端子に入力される。参照電圧 V_0 は、例えば、0V である。コンパレータ 17 は、これら 2 つの電圧 V_{dac} , V_0 の大きさを比較する。比較の結果、コンパレータ 17 の出力は、電圧 V_{dac} が参照電圧 V_0 よりも小さい場合には「high」となり、電圧 V_{dac} が参照電圧 V_0 よりも大きい場合には「low」となる。コンパレ

10

20

30

40

50

ータ17から出力された信号レベルはラッチ回路19によってラッチされる。ラッチ回路19は、ラッチした信号レベルを制御回路18および各信号変換回路13の後段に設けられたメモリ回路7に出力する。

【0022】

カウンタ回路15は、制御回路18からの指示に基づき、図示しないクロック回路が発生したクロック信号のカウント動作を開始する。

ランプ波形発生回路14は、カウンタ回路15のカウント動作の開始に同期して、時間軸方向に一定の傾きで電圧値が小さくなるランプ電圧 V_{ramp} を発生してDAC回路16に出力する。

【0023】

図3は、DAC回路16の構成を示す平面図である。図3には、5ビットのデジタルデータを生成する構成が例示されている。この構成において、DAC回路16は、7つの容量 $2^0 \sim 2^6$ と、各容量 $2^0 \sim 2^6$ に対応して設けられたスイッチ $SW_0 \sim SW_6$ とを備えている。容量 $2^0 \sim 2^6$ の容量値はそれぞれ、最も小さい容量 2^0 、 2^1 の容量値を C としたときに、 C 、 C 、 $2C$ 、 $4C$ 、 $8C$ 、 $16C$ および $32C$ (C は正の定数)である。

【0024】

容量 $2^0 \sim 2^6$ の上側電極は、スイッチ SW_{in} およびコンパレータ17の反転入力端子に並列に接続されている。最も小さい容量値 C を有する一方の容量 2^0 の下側電極は、スイッチ SW_0 の切り替えにより、ランプ波形発生回路14からランプ電圧 V_{ramp} が入力されるランプ入力端子またはグランド電圧 GND に接続される。他の容量 $2^1 \sim 2^7$ の下側電極は、スイッチ $SW_1 \sim SW_6$ の切り替えにより、基準電圧 V_{ref} またはグランド電圧 GND に接続される。スイッチ $SW_0 \sim SW_6$ の切り替えは、制御回路18によって制御される。

【0025】

次に、このように構成されたAD変換器1の作用について、図4に示される例を用いて説明する。

水平シフトレジスタ5が読み出した1行分の画素2の信号電圧 V_{in} は、対応する列のサンプルホールド回路12に入力されて該サンプルホールド回路12に保持される。次に、スイッチ SW_{in} が閉じられることにより、各サンプルホールド回路12は後段の対応する列の信号変換回路13に信号電圧 V_{in} を出力する。このときに、制御回路18によりスイッチ $SW_0 \sim SW_6$ はグランド電圧 GND 側に切り替えられる。これにより、DAC回路16の出力電圧 V_{dac} は信号電圧 V_{in} と等しくなる。この後、スイッチ SW_{in} が開放されることにより、DAC回路16の出力電圧 V_{dac} は V_{in} に保持される。

【0026】

次に、制御回路18は、ラッチ回路19から受け取った信号に基づいて $SW_1 \sim SW_6$ を切り替え、コンパレータ17により電圧 V_{dac} と参照電圧 V_0 とを比較することにより、信号電圧 V_{in} の上位5ビット分をデジタル変換する。

【0027】

具体的には、まず、最も大きい容量値 $32C$ を有する容量 2^6 のスイッチ SW_6 を基準電圧 V_{ref} 側に切り替える。これにより、DAC回路16の出力電圧 V_{dac} は $V_{in} - V_{ref} / 2$ となる。コンパレータ17は、出力電圧 V_{dac} と参照電圧 V_0 とを比較する。図4においては、 $V_{dac} > V_0$ 、すなわち、 $V_{in} < V_{ref} / 2 + V_0$ であり、コンパレータ17の出力信号は「low」になり、最上位ビットのデジタル値として「0」が得られる。ラッチ回路19は、この信号レベルをラッチし、制御回路18とメモリ回路7に出力する。

【0028】

次に、制御回路18は、ラッチ回路19からの「low」の入力を受けて、スイッチ SW_6 を基準電圧 V_{ref} 側に接続したままとし、スイッチ SW_5 を基準電圧 V_{ref} 側に切り替える。これにより、DAC回路16の出力電圧 V_{dac} は $V_{in} - (V_{ref} / 2$

+ $V_{ref}/4$)となる。コンパレータ17は、出力電圧 V_{dac} と参照電圧 V_0 とを比較する。図4においては、 $V_{dac} < V_0$ 、すなわち、 $V_{in} < V_{ref}/2 + V_{ref}/4 + V_0$ であり、コンパレータの出力信号は「high」になり、上位2ビット目のデジタル値として「1」が得られる。ラッチ回路19は、信号レベルをラッチし、制御回路18とメモリ回路7に出力する。

【0029】

次に、制御回路18は、ラッチ回路19からの「high」の入力を受けて、スイッチSW5をグランド電圧GND側に切り替え、スイッチSW4を基準電圧 V_{ref} 側に切り替える。これにより、DAC回路16の出力電圧 V_{dac} は $V_{in} - (V_{ref}/2 + V_{ref}/8)$ となる。コンパレータ17は、出力電圧 V_{dac} と参照電圧 V_0 とを比較する。図4においては、 $V_{dac} > V_0$ 、すなわち、 $V_{in} < V_{ref}/4 + V_{ref}/8 + V_0$ であり、コンパレータ17の出力信号は「low」になり、上位3ビット目のデジタル値として「0」が得られる。

10

【0030】

このように、制御回路18は、直前のコンパレータ17による比較結果に応じて基準電圧 V_{ref} 側に切り替えるスイッチSW1～6の組み合わせを変更することにより、容量によって生成されるバイアス電圧を、 $V_{ref}/2$ 、 $V_{ref}/2 + V_{ref}/4$ 、 $V_{ref}/2 + V_{ref}/8$ 、...と信号電圧 V_{in} に漸近するように変化させる。そして、信号電圧 V_{in} と各バイアス電圧との比較結果である「0」または「1」をそのビットのデジタル値とすることにより上位5ビット目までのデジタル値を得る。

20

【0031】

ここで、制御回路18は、図5および図6に示されるように、コンパレータ17の出力が「0」であったときのDAC回路16のデジタルコード(図中、黒塗りライン参照。)を記憶し、上位5ビット分のコンパレータ17による比較が終了した後に、最後に記憶したデジタルコードに対応する出力電圧 V_{dac} をもう一度生成させる。これにより、逐次比較方式によるデジタル変換動作は、出力電圧 V_{dac} が参照電圧 V_0 よりも大きい状態で終了することとなる。なお、図5および図6には、4ビットをデジタル変換する場合が例示されている。

【0032】

次に、制御回路18は、信号電圧 V_{in} の下位ビットをカウンタ・ランプ方式によってデジタル変換する。具体的には、制御回路18は、最も小さい容量値Cを有する容量20のスイッチSW0をランプ入力端子側に切り替える。これと共に、制御回路18は、カウンタ回路15にクロック信号のカウント開始を指示する。ランプ波形発生回路14は、カウンタ回路15のカウント動作開始を受けて、初期値を基準電圧 V_{ref} とし、一定の傾きで小さくなるランプ電圧 V_{ramp} を出力する。コンパレータ17は、反転入力端子に入力される電圧 V_{dac} を参照電圧 V_0 と比較し、 $V_{dac} > V_{ref}$ の間は「low」を出力する。

30

【0033】

カウンタ回路15は、ラッチ回路19から「low」が入力されている間、クロック信号の数をカウントし続け、ラッチ回路19からの入力「high」に変化したときにカウントを停止する。カウンタ回路15がカウントしたクロック信号のカウント数を、信号電圧 V_{in} の下位ビットのデジタルデータとして得られる。カウンタ回路15は、カウント数をメモリ回路7に出力する。

40

以上の2段階で生成された上位ビットのデジタルデータと下位ビットのデジタルデータを結合することにより、信号電圧 V_{in} のデジタル信号が得られる。

【0034】

このように、本実施形態によれば、高速動作に適した逐次変換方式を採用しつつ、下位のデジタル変換に回路構成が簡素なカウンタ・ランプ方式を採用することにより、全体に占める面積および消費電力の割合が比較的大きい容量20～26の数を削減し、回路の小型化および低消費電力化を図ることができる。

50

【0035】

また、逐次比較方式による上位ビットのデジタル変換においてDAC回路16が出力する最後の電圧 V_{dac} が参照電圧 V_0 より大きくなるようにすることで、この後に行われるカウンタ・ランプ方式によるデジタル変換において経時的に減少するランプ電圧 V_{ramp} は参照電圧 V_0 と確実に交差することとなる。これにより、下位ビットのデジタル変換動作を確実に実行することができる。

【0036】

次に、本実施形態に係るAD変換器1のキャリブレーション動作について説明する。キャリブレーション動作は、AD変換器1が信号電圧 V_{in} のデジタル変換を実行する度に実行されてもよく、固体撮像装置100の電源が投入されたときや温度等の環境が変化したとき等のタイミングで実行されてもよい。

10

【0037】

まず、ランプ波形発生回路14から電圧値が既知の校正電圧 V_{cal} が、ランプ入力端子側に切り替えられたスイッチSW0を介して容量20の下側極板に印加される。このときに、他の容量21~26の下側極板は、スイッチSW1~6によりグランド電圧GNDに接続される。これにより、コンパレータ17の反転入力端子には電圧 $V_{dac} = -V_{cal}$ が入力される。校正電圧 V_{cal} は、前述した逐次比較方式による信号電圧 V_{in} の上位ビットのデジタル変換と同様にしてデジタル変換される。同様に、電圧値の異なる複数の校正電圧 V_{cal} がデジタル変換される。

【0038】

20

デジタル変換して得られた校正電圧 V_{cal} のデジタル信号は容量20~26のキャリブレーション用データとして用いられる。すなわち、容量20~26の容量値に製造誤差によるばらつきが存在する場合、校正電圧 V_{cal} を実際にデジタル変換して得られたデジタル信号は、校正電圧 V_{cal} から理論的に算出されるデジタル信号と異なる。そこで、これら2つのデジタル信号を対応付けたテーブルを、例えば、固体撮像装置100の外部に設けられた図示しない記憶装置に記憶しておく。これにより、AD変換器1によって得られた上位ビットのデジタル信号をテーブルに基づいて正しいデジタル信号に補償することができる。

【0039】

このように本実施形態によれば、信号電圧 V_{in} の下位ビットのデジタル変換に用いられるランプ波形発生回路14を、校正電圧 V_{cal} の生成にも用いることにより、従来別途備えられていた校正電圧を生成するための構成が不要となる。これにより、さらなる小型化を図ることができる。

30

【0040】

なお、本実施形態においては、下位ビットのデジタル変換において、電圧値が経時的に小さくなるランプ電圧 V_{ramp} を用いることとしたが、これに代えて、電圧値が経時的に大きくなるランプ電圧を用いることとしてもよい。この場合には、上位ビットのデジタル変換において、DAC回路16が最後に出力する電圧 V_{dac} が参照電圧 V_0 よりも小さくなるようにすればよい。すなわち、制御回路18は、コンパレータ17の出力が「high」であったときのDAC回路16のデジタルコードを記憶し、上位5ビット分のコンパレータ17による比較が終了した後に、最後に記憶したデジタルコードに対応する電圧 V_{dac} をもう一度生成させればよい。

40

【0041】

また、図7に示すような回路形態により、キャリブレーションを行ってもよい。この実施形態では、図8のフローチャートに示すように、キャリブレーション動作が開始されると、スイッチSWinputを「2」側、スイッチSWcalを「2」側へ切り替え(ステップS1)、最も大きな容量値32Cを有する容量26から順番に校正を行う(ステップS2~S7)。

【0042】

図9は、図8の容量26校正ルーチンS2を示している。図9に示すように、まず、ス

50

スイッチSW6をグランド電圧GNDに接続し、スイッチSW0～SW5を基準電圧Vrefに接続する(ステップS21)。このときのコンパレータ17の反転端子に入力される電圧V261を、ランプ波形発生回路14から電圧値が既知の校正電圧VcalをスイッチSWcalから入力することにより求める(ステップS22)。

【0043】

次に、スイッチSW6を基準電圧Vrefに接続し、スイッチSW0～SW5をグランド電圧GNDに接続する(ステップS23)。このときのコンパレータ17の反転端子に入力される電圧V262を、ランプ波形発生回路14から電圧値が既知の校正電圧VcalをスイッチSWcalから入力することにより求める(ステップS24)。

【0044】

次に、ステップS22, S24において取得された電圧261, 262から容量26の校正データを演算する(ステップS25)。具体的には、容量20～26の容量値の和をCtotとし、容量26の容量値をCtot/2 + C26、容量20～25の容量値の和をCtot/2 - C26とすると、電圧V261, V262は以下の式によってそれぞれ表わされる。

$$V_{261} = V_{ref} \times (C_{tot} / 2 - C_{26}) / C_{tot}$$

$$V_{262} = V_{ref} \times (C_{tot} / 2 + C_{26}) / C_{tot}$$

これにより、電圧V261と電圧V262との差は以下となる。

$$V_{262} - V_{261} = V_{ref} \times (2 \times C_{26} / C_{tot})$$

よって、容量26の製造誤差による変換誤差は、(V262 - V261) / 2と求められる、これを容量26による変換時の校正データとして用いる。

【0045】

続いて、図8の容量25校正ルーチンS3により容量25の校正を行う。図10に示すように、まず、スイッチSW6およびスイッチSW5をグランド電圧GNDに接続し、スイッチSW0～4を基準電圧Vrefに接続する(ステップS31)。このときのコンパレータ17の反転端子に入力される電圧V251を、ランプ波形発生回路14から電圧値が既知の校正電圧VcalをスイッチSWcalから入力することにより求める(ステップS32)。

【0046】

次に、スイッチSW5を基準電圧Vrefに接続し、スイッチSW0～4をグランド電圧GNDに接続する(ステップS33)。このときのコンパレータ17の反転端子に入力される電圧V252を、ランプ波形発生回路14から電圧値が既知の校正電圧VcalをスイッチSWcalから入力することにより求める(ステップS34)。

【0047】

次に、ステップS32, S34において取得された電圧251, 252から容量25の校正データを演算する(ステップS35)。具体的には、容量25の容量値をCtot/4 - C26/2 + C25、容量20～24の容量値の和をCtot/4 - C26/2 - C25とすると、電圧V251, V252は以下の式によってそれぞれ表わされる。

$$V_{251} = V_{ref} \times (3 \times C_{tot} / 4 - C_{26} / 2 - C_{25}) / C_{tot}$$

$$V_{252} = V_{ref} \times (3 \times C_{tot} / 4 - C_{26} / 2 + C_{25}) / C_{tot}$$

【0048】

これにより、電圧V251と電圧V252との差は以下となる。

$$V_{252} - V_{251} = V_{ref} \times (2 \times C_{25} / C_{tot})$$

よって、容量25の製造誤差による変換誤差は、(V252 - V251) / 2と求められる、これを容量25による変換時の校正データとして用いる。

同様にして容量24～21についても容量25, 26と同様の容量で処理を行って校正データを得た後、スイッチSWinputを「1」側、スイッチSWcalを「1」側へ切り替え、キャリブレーションを終了する(ステップS8)。

【0049】

10

20

30

40

50

また、本実施形態においては、固体撮像装置100を構成する回路が、2つの半導体基板100a, 100bに分けて形成されていることとしたが、これに代えて、図11に示されるように、1つの半導体基板100cに形成されていることとしてもよい。

図11に示される例では、水平シフトレジスタ5が省略され、各列の画素2からの信号電圧Vinが直接サンプルホールド回路12に入力されるようになっている。

【0050】

また、本実施形態においては、画素2の信号電圧Vinをデジタル変換する動作についてのみ説明したが、信号電圧Vinのデジタル変換に先立って画素2のノイズ電圧をデジタル変換することとしてもよい。

【0051】

画素2が有する信号電圧Vinをゼロにリセットする際にこのリセット動作に伴ってノイズ電圧が発生し、該ノイズ電圧がリセットされた後の画素2に保存される。したがって、次に画素2が受光して生成した信号電圧Vinはノイズ電圧に重畳され、これらの和が水平シフトレジスタ5によって読み出されることとなる。そこで、画素2をリセットした後にノイズ電圧を読み出し、その後に画素2が受光して生成された信号電圧Vinをノイズ電圧とともに読み出し、これらの差分から信号電圧Vinを算出することができる。

【0052】

ここで、固体撮像装置100は、図12に示されるように動作することとしてもよい。すなわち、画素アレイ3に配列されたm列の画素2のうち、1~2/m列目の画素2について、水平シフトレジスタ5からサンプルホールド回路12への電圧の出力動作、デジタル変換動作およびデジタル信号の出力動作を行う。そして、残りのm/2+1~m列目の画素2については、1~2/m列目の画素2よりも1ステップずつ遅れて動作を行う。

【0053】

図中、Rは画素2の電圧をゼロにリセットする期間、Nはリセット後の画素2のノイズ電圧を水平シフトレジスタ5に読み出す期間、Tは画素2が備えるフォトダイオードが蓄積した信号電荷を信号電圧Vinに変換する期間、Sは画素2の信号電圧Vinとノイズ電圧とを水平シフトレジスタ5に読み出す期間を示している。

このように画素2を列によって半分に分けて時間差で処理することにより、途切れなく処理を行うことができる。

【符号の説明】

【0054】

- 1 アナログデジタル変換器
- 2 画素
- 3 画素アレイ(画素部)
- 4 垂直シフトレジスタ
- 5 水平シフトレジスタ
- 6 配線
- 7 メモリ回路
- 8 パラレルシリアル変換回路
- 9 シリアルデジタル出力回路
- 10 電源回路
- 11 パルス発生回路
- 12 サンプルホールド回路(信号変換部)
- 13 信号変換回路(信号変換部)
- 14 ランプ波形発生回路(ランプ波形信号発生部)
- 15 カウンタ回路(カウンタ)
- 16 DAC回路(逐次比較容量群、電圧加算部)
- 17 コンパレータ(比較部)
- 18 制御回路(制御部)
- 19 ラッチ回路

10

20

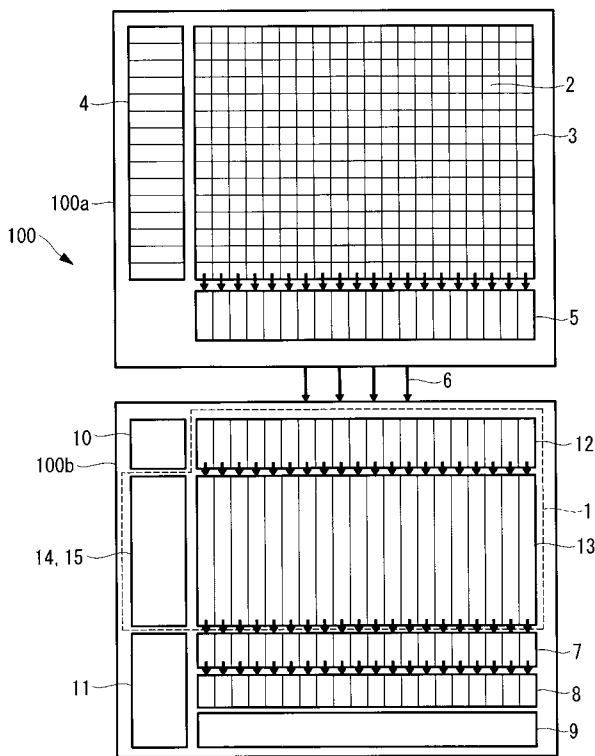
30

40

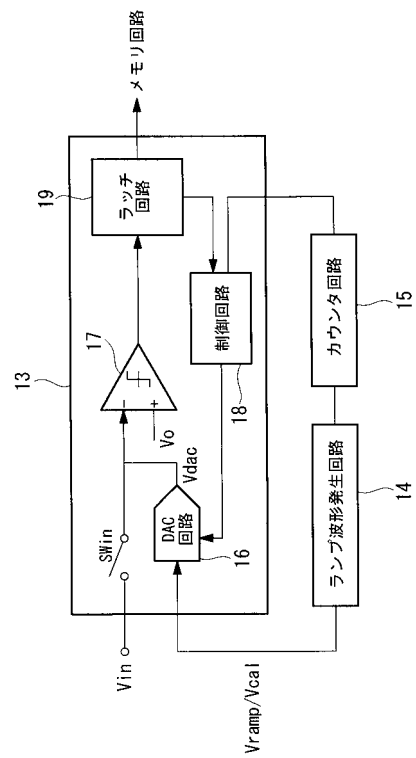
50

- 20 ~ 26 容量
- 100 固体撮像装置
- 100a, 100b, 100c 半導体基板
- SWin, SW0 ~ SW6 スイッチ
- Vin 信号電圧
- Vref 基準電圧
- Vo 参照電圧
- Vramp ランプ電圧 (ランプ波形信号)

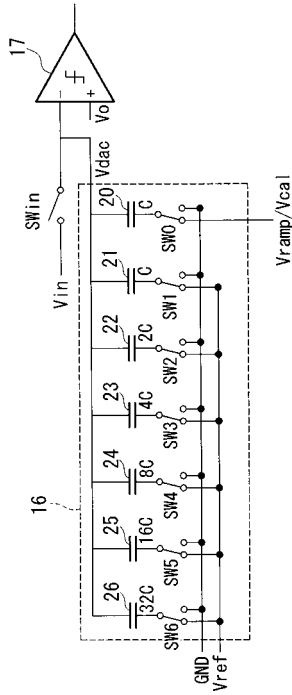
【図1】



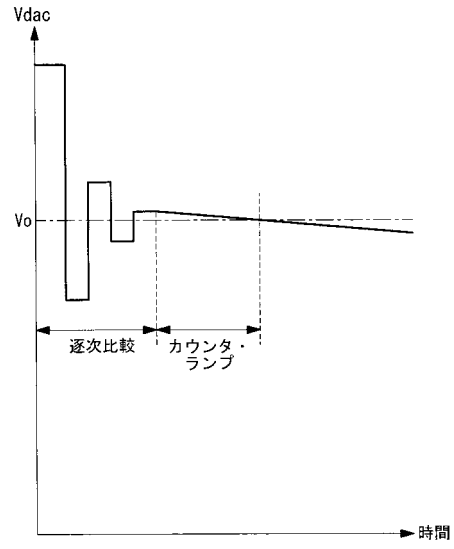
【図2】



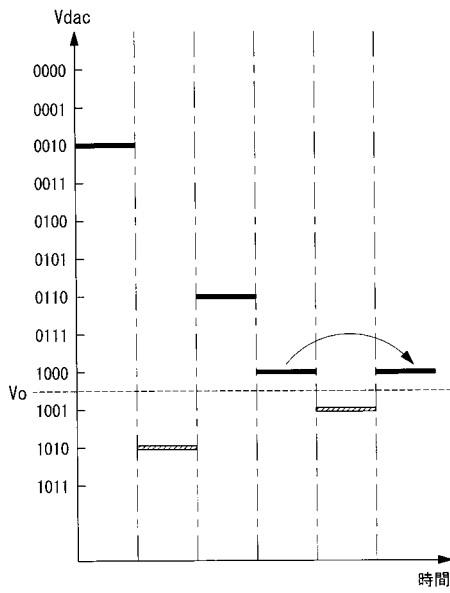
【 図 3 】



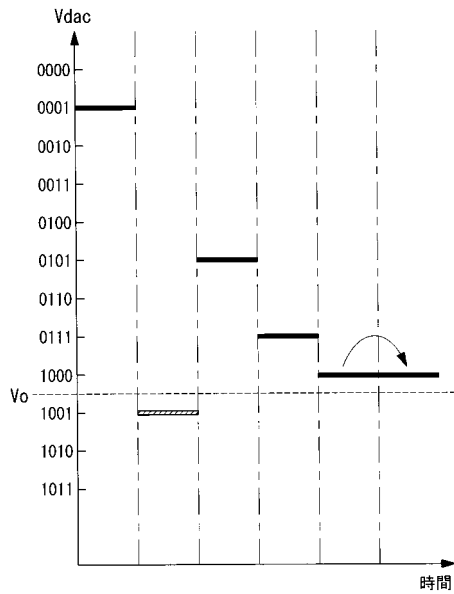
【 図 4 】



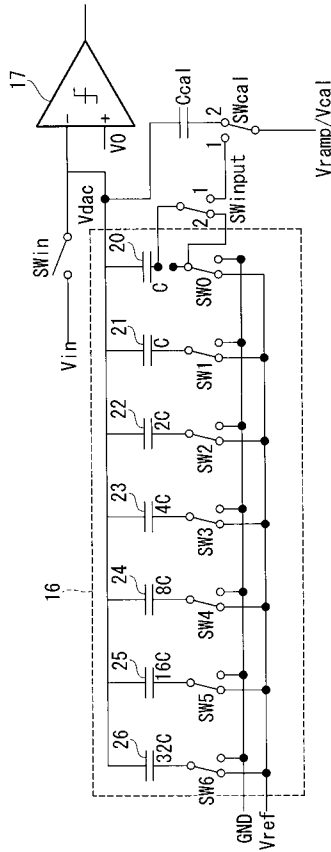
【 図 5 】



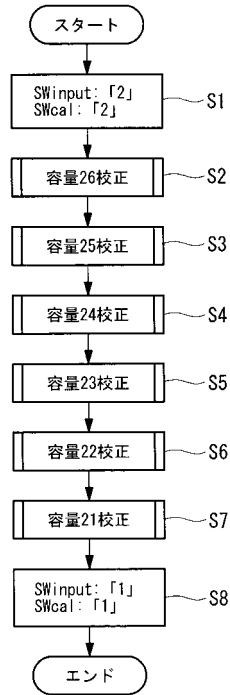
【 図 6 】



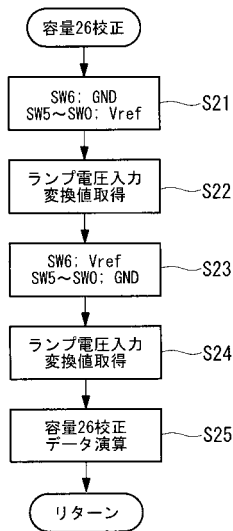
【図7】



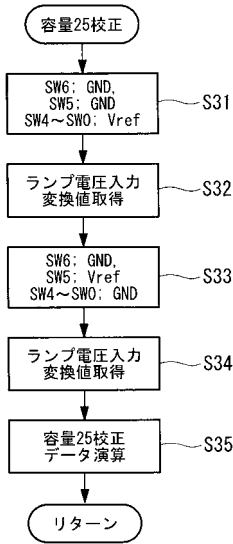
【図8】



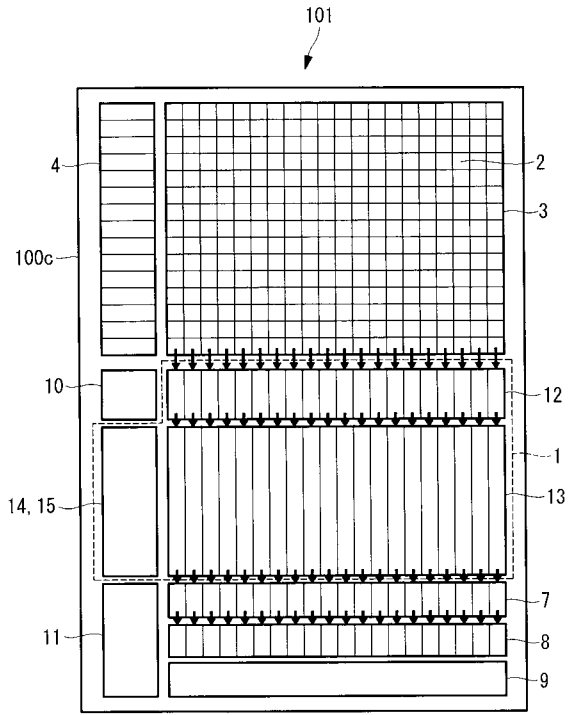
【図9】



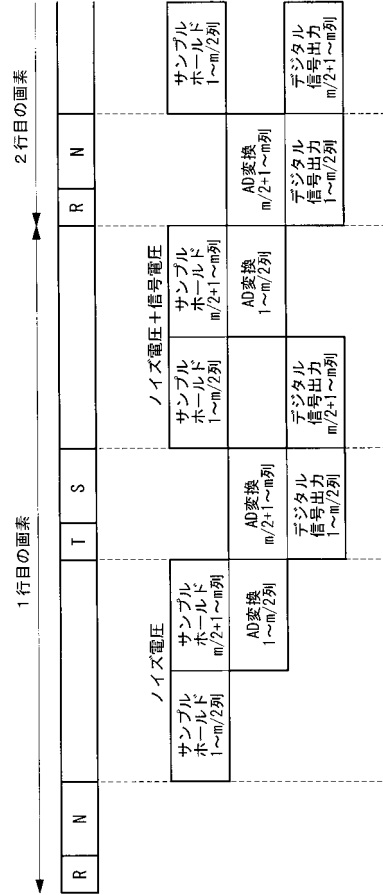
【図10】



【図 1 1】



【図 1 2】



フロントページの続き

(56)参考文献 特開2012-054913(JP,A)

特開2008-294613(JP,A)

国際公開第2010/109816(WO,A1)

Xiang Fang, Vijay Srinivasan, Jack Wills, John Granacki; Jeff LaCoss; John Choma, "CMOS 12 bits 50kS/s Micropower SAR and Dual-Slope Hybrid ADC", Circuits and Systems, 2009 . MWSCAS '09. 52nd IEEE International Midwest Symposium on, 2009年 8月, pp.180-183

(58)調査した分野(Int.Cl., DB名)

H03M 1/00 - 1/88

H04N 5/378